

18. ROM

第18章 目次

18.1	概要	615
18.1.1	ブロック図	616
18.2	PROMモード	617
18.2.1	PROMモードの設定	617
18.2.2	ソケットアダプタの端子対応とメモリマップ	617
18.3	PROMのプログラミング	620
18.3.1	書き込み／ベリファイ	621
18.3.2	書き込み時の注意	624
18.3.3	書き込み後の信頼性	625
18.4	フラッシュメモリの概要	626
18.4.1	フラッシュメモリの動作原理	626
18.4.2	モード端子の設定とROM空間	627
18.4.3	特長	628
18.4.4	ブロック図	629
18.4.5	端子構成	630
18.4.6	レジスタ構成	630

18.5	フラッシュメモリの各レジスタの説明	631
18.5.1	フラッシュメモリコントロールレジスタ (FLMCR)	631
18.5.2	消去ブロック指定レジスタ1 (EBR1)	634
18.5.3	消去ブロック指定レジスタ2 (EBR2)	635
18.5.4	RAMコントロールレジスタ (RAMCR)	637
18.6	オンボードプログラミングモード	639
18.6.1	ブートモード	639
18.6.2	ユーザプログラムモード	645
18.7	フラッシュメモリの書込み/消去	647
18.7.1	書込みモード	648
18.7.2	書込みベリファイモード	648
18.7.3	書込みのフローチャートとプログラム例	649
18.7.4	消去モード	652
18.7.5	消去ベリファイモード	652
18.7.6	消去のフローチャートとプログラム例	653
18.7.7	プレライトベリファイモード	667
18.7.8	プロテクトモード	668
18.7.9	NMI入力禁止条件	672
18.8	RAMによるフラッシュメモリのエミュレーション	673
18.9	フラッシュメモリのPROMモード	675
18.9.1	PROMモードの設定	675
18.9.2	ソケットアダプタの端子対応とメモリマップ	675
18.9.3	PROMモードの動作	678
18.10	フラッシュメモリの書込み/消去時の注意	685
18.11	マスクROM品発注時の注意	692

18.1 概要

H8/3048は128kバイト、H8/3047は96kバイト、H8/3045は64kバイト、H8/3044は32kバイトのROMを内蔵しています。ROMは、CPUと16ビット幅のデータバスで接続されており、アクセスはバイトデータ、リードデータにかかわらず2ステートで行われます。したがって、データの高速転送が可能です。

内蔵ROMの有効または無効の設定は表18.1に示すように、モード端子(MD₂~MD₀)により設定します。

表18.1 動作モードとROM

モード名	モード端子			内蔵ROM
	MD2	MD1	MD0	
モード1 (内蔵ROM無効拡張1Mバイトモード)	0	0	1	無効 (外部アドレス)
モード2 (内蔵ROM無効拡張1Mバイトモード)	0	1	0	
モード3 (内蔵ROM無効拡張16Mバイトモード)	0	1	1	
モード4 (内蔵ROM無効拡張16Mバイトモード)	1	0	0	
モード5 (内蔵ROM有効拡張1Mバイトモード)	1	0	1	有効
モード6 (内蔵ROM有効拡張16Mバイトモード)	1	1	0	
モード7 (シングルチップモード)	1	1	1	

なお、PROM版(H8/3048ZTAT)およびフラッシュメモリ版(H8/3048F-ZTAT)は、PROMモードに設定することにより汎用PROMライタを用いて、自由にプログラムの書き込みができます。

18.1.1 ブロック図

ROMのブロック図を図18.1に示します。

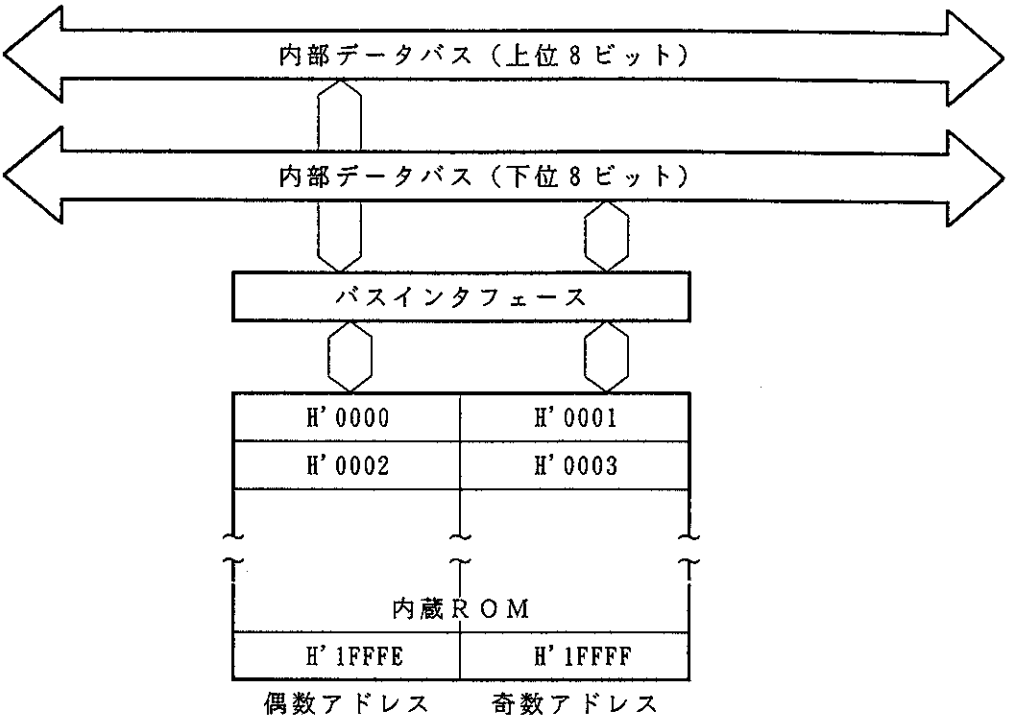


図18.1 ROMのブロック図 (H 8 / 3 0 4 8、モード 7 の場合)

18.2 PROMモード

18.2.1 PROMモードの設定

H8/3048のPROM版の場合、PROMモードに設定するとマイクロコンピュータとしての機能が停止して、HN27C101と同一の方法で内蔵PROMのプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。PROMモードの設定方法を表18.2に示します。

表18.2 PROMモード設定

端 子 名	設 定
モード端子 (MD ₂ 、MD ₁ 、MD ₀) の 3 端子	“Low” レベル
STBY端子	
P5 ₁ 、P5 ₀ 端子	“High”レベル

18.2.2 ソケットアダプタの端子対応とメモリマップ

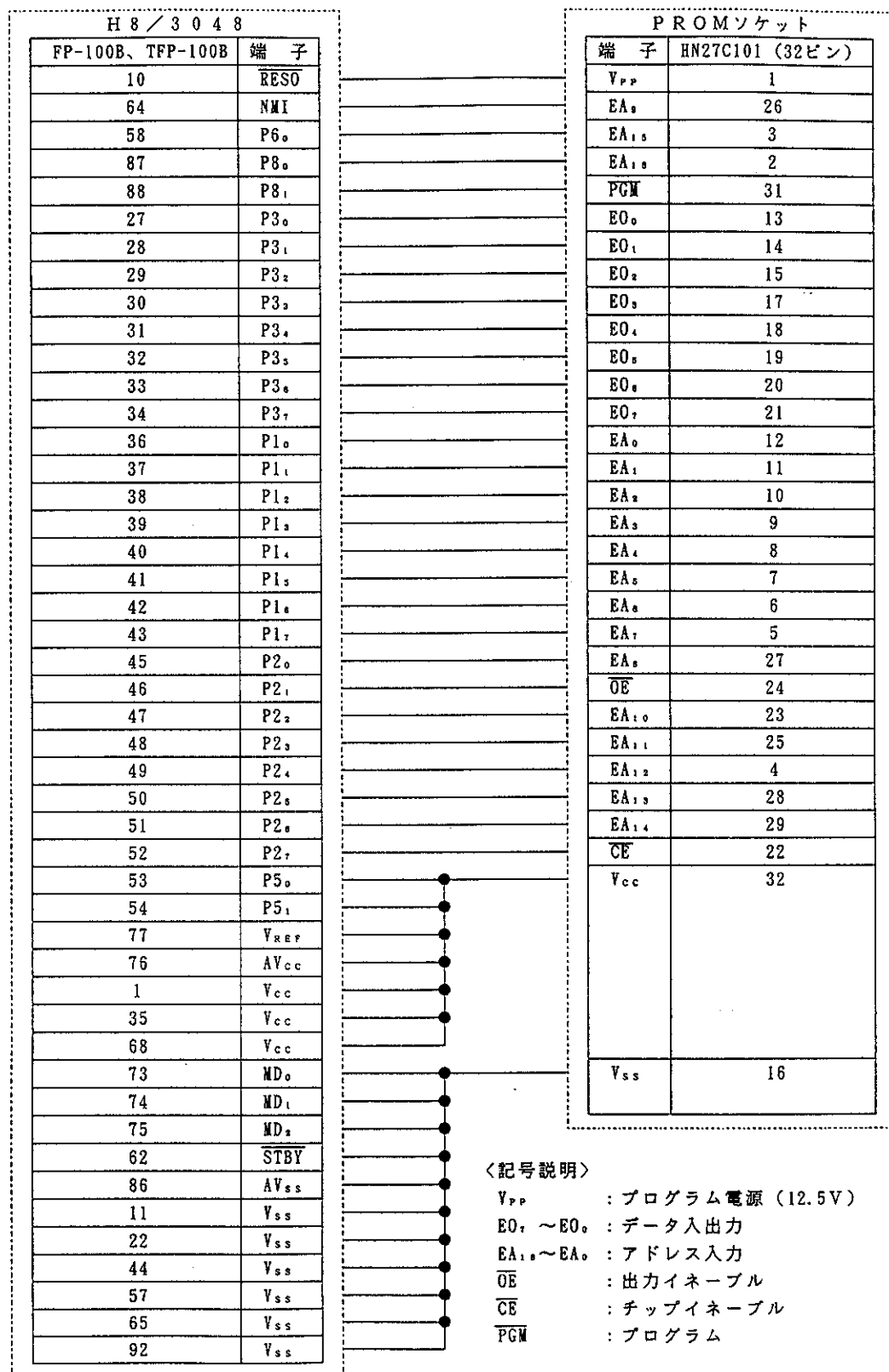
PROMのプログラムは、表18.3で示すように各パッケージに対応した、ソケットアダプタを付けて32ピンに変換し、汎用PROMライターで行います。ソケットアダプタの端子対応図を図18.2に示します。また、メモリマップを図18.3に示します。

表18.3 ソケットアダプタ

製 品 名	パッケージ名	ソケットアダプタの型名
H8/3048	100ピンQFP (FP-100B)	HS3042ESHS1H
	100ピンTQFP (TFP-100B)	HS3042ESNS1H

H8/3048のPROMの容量は、128kバイトです。PROMモードのときのメモリマップを図18.3に示します。内蔵PROM内の未使用のアドレス領域のデータは、H'FFとしてください。

H8/3048をPROMライターでプログラムする際に、アドレスはH'00000～H'1FFFFに設定してください。



【注】 図中に記載されていない端子はすべてオープンにしてください。
 本図は、端子対応を示すもので、ソケットアダプタの全回路を示すものではありません。新規に設計をする場合は、高速CMOS LSIとしての基板設計（電源電圧安定化、ノイズ対策など）が必要です。

図18.2 ソケットアダプタの端子対応図

MCUモードに
おけるアドレス

PROMモードに
おけるアドレス

H' 00000

H' 00000

内蔵PROM

H' 1FFFF

H' 1FFFF

図18.3 H8/3048のPROMモード時のメモリマップ

18.3 PROMのプログラミング

PROMモード時の書込み、ベリファイなどのモード選択は、表18.4に示すような設定によって行います。

表18.4 PROMモード時のモード選択

モード \ ピン	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	V_{PP}	V_{CC}	$\text{EO}_7 \sim \text{EO}_0$	$\text{EA}_{15} \sim \text{EA}_0$
書込み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

<記号説明>

L : “Low” レベル

H : “High” レベル

V_{PP} : “ V_{PP} ” レベル

V_{CC} : “ V_{CC} ” レベル

なお、書込み・読出しは標準のEPROM HN27C101と同じ仕様になっています。

ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしているPROMライタは使用できません。PROMライタを選択する場合には、1バイト毎の高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ずH'00000～H'1FFFFに設定してください。

18.3.1 書込み／ベリファイ

書込み／ベリファイは効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損なうことなく高速に書込みを行うことができます。未使用のアドレス領域のデータはH'FFです。

高速プログラミングの基本的なフローを図18.4に示します。

また、プログラミング時の電気的特性を表18.5、表18.6に、タイミングを図18.5に示します。

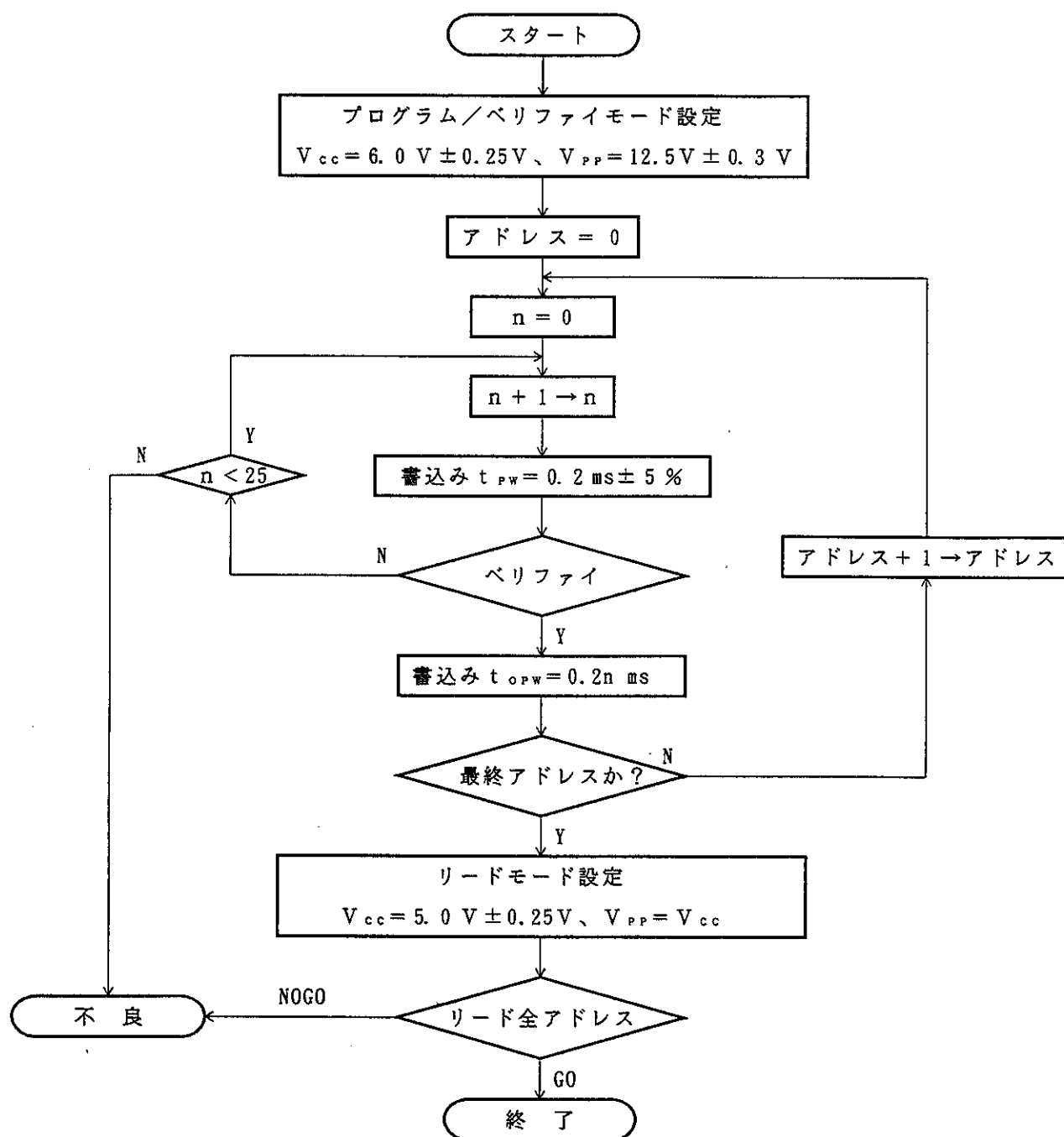


図18.4 高速プログラミングフローチャート

表18.5 DC特性

(条件: $V_{CC} = 6.0\text{ V} \pm 0.25\text{ V}$ 、 $V_{PP} = 12.5\text{ V} \pm 0.3\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C} \pm 5^\circ\text{C}$)

項 目	記 号	min	typ	max	単位	測定条件
入力“High”レベル電圧 EO ₇ ~EO ₀ 、EA ₁₆ ~EA ₀ 、 $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ 、 $\overline{\text{PGM}}$	V _{IH}	2.4	—	V _{CC} +0.3	V	
入力“Low”レベル電圧 EO ₇ ~EO ₀ 、EA ₁₆ ~EA ₀ 、 $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ 、 $\overline{\text{PGM}}$	V _{IL}	-0.3	—	0.8	V	
出力“High”レベル電圧 EO ₇ ~EO ₀	V _{OH}	2.4	—	—	V	I _{OH} =-200μA
出力“Low”レベル電圧 EO ₇ ~EO ₀	V _{OL}	—	—	0.45	V	I _{OL} =1.6mA
入力リーク電流 EO ₇ ~EO ₀ 、EA ₁₆ ~EA ₀ 、 $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ 、 $\overline{\text{PGM}}$	I _{LI}	—	—	2	μA	V _{IN} =5.25V/0.5V
V _{CC} 電流	I _{CC}	—	—	40	mA	
V _{PP} 電流	I _{PP}	—	—	40	mA	

表18.6 AC特性

(条件: $V_{CC} = 6.0\text{ V} \pm 0.25\text{ V}$ 、 $V_{PP} = 12.5\text{ V} \pm 0.3\text{ V}$ 、 $T_A = 25^\circ\text{C} \pm 5^\circ\text{C}$)

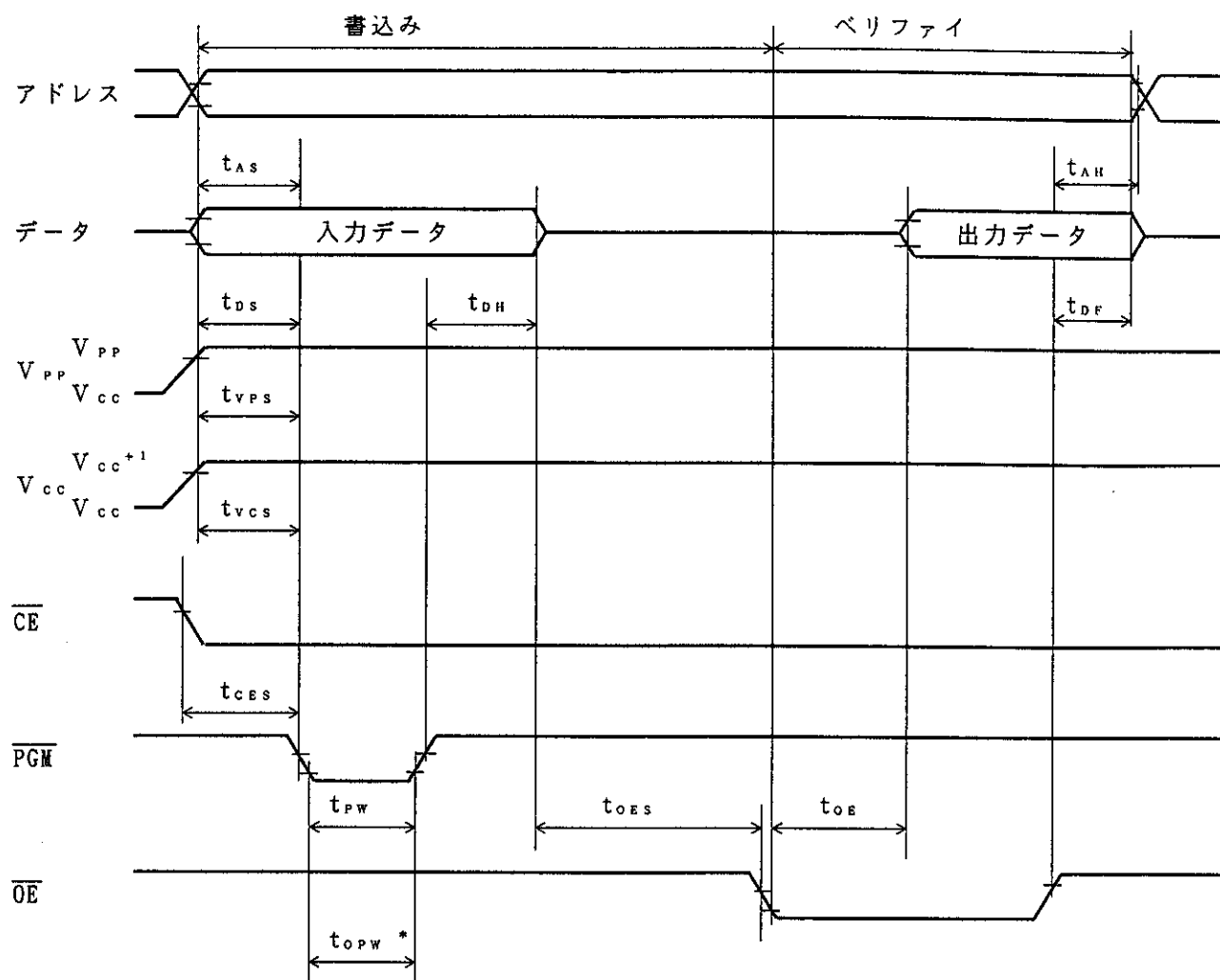
項 目	記 号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t _{AS}	2	—	—	μs	図18.5 *1
$\overline{\text{OE}}$ セットアップ時間	t _{OES}	2	—	—	μs	
データセットアップ時間	t _{DS}	2	—	—	μs	
アドレスホールド時間	t _{AH}	0	—	—	μs	
データホールド時間	t _{DH}	2	—	—	μs	
データ出力ディスエーブル時間	t _{DF} *2	—	—	130	ns	
V _{PP} セットアップ時間	t _{VPS}	2	—	—	μs	
プログラムパルス幅	t _{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の $\overline{\text{PGM}}$ パルス幅	t _{OPW} *3	0.19	—	5.25	ms	
V _{CC} セットアップ時間	t _{VCS}	2	—	—	μs	
$\overline{\text{CE}}$ セットアップ時間	t _{CES}	2	—	—	μs	
データ出力遅延時間	t _{OE}	0	—	150	ns	

【注】 *1 入力パルス・レベル: 0.8~2.2V

入力立上がり/立下がり時間 ≤ 20ns

タイミング参照レベル { 入力: 1.0V、2.0V
出力: 0.8V、2.0V

*2 t_{DF}は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。*3 t_{OPW}はフローチャートに記載した値で定義されます。



【注】* t_{OPW} はフローチャートに記載した値で定義します。

図18.5 PROM書き込み／ベリファイ・タイミング

18.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。

PROMモード時のプログラム電圧 (V_{PP}) は12.5Vです。

定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。

PROMライタのHN27C101の日立仕様にセットすると、 V_{PP} は12.5Vになります。

- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) H8/3048のPROMの容量は128kバイトです。アドレスは必ずH'00000~H'1FFFFに設定してください。

18.3.3 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150℃の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図18.6に推奨するスクリーニングフローを示します。

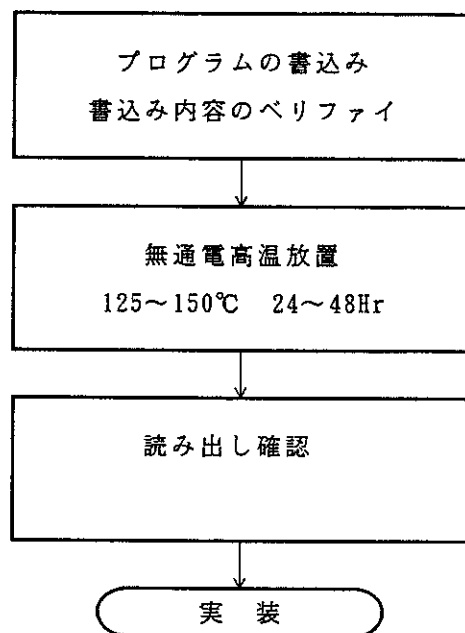


図18.6 推奨スクリーニングフロー

同じ、PROMライターでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROMライター、ソケットアダプタなどに異常がないか確認してください。

書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

18.4 フラッシュメモリの概要

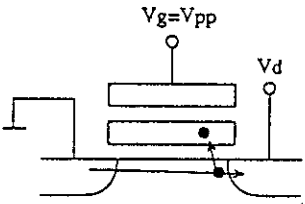
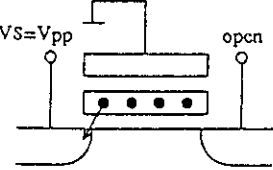
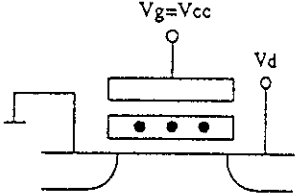
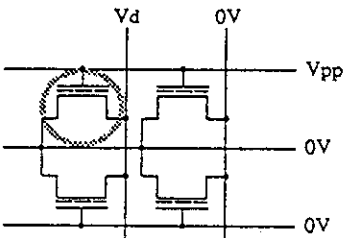
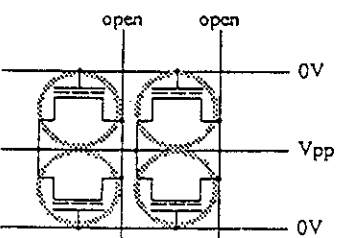
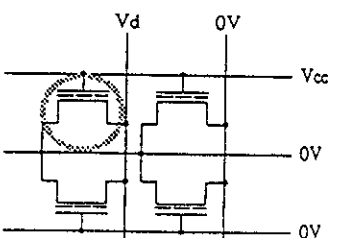
18.4.1 フラッシュメモリの動作原理

H8/3048Fに内蔵するフラッシュメモリの動作原理を表18.7に示します。

フラッシュメモリの書込みは、EPROMと同様、ゲートおよびドレインに高電圧をかけ、ドレイン近傍で発生したホットエレクトロンをフローティングゲートに吸い上げることにより行われます。その結果、書込み後のしきい値電圧は、消去時に比べ高くなります。消去は、ゲートを接地し、ソースに高電圧をかけ、トンネル効果によりフローティングゲートに蓄積した電子を引き抜くことにより行われます。消去後、しきい値電圧は低下します。読み出しは、EPROMと同様にゲートに高レベルの電圧を加え、しきい値電圧の高低に応じたドレイン電流量を検出することによって行われます。消去しすぎるとしきい値電圧が負になり、メモリセルが正常に動作しない場合があるので、消去時には注意が必要となります。

「18.7.6 消去のフローチャートとプログラム例」に消去制御に最適なフローチャートとプログラム例を示します。

表18.7 メモリセル動作原理

	書込み	消去	読み出し
メモリセル			
メモリアレイ			

18.4.2 モード端子の設定とROM空間

H8/3048Fは、128kバイトのフラッシュメモリを内蔵しています。ROMはCPUと16ビットデータバスで接続されています。CPUは、命令サイズがバイト/ワードにかかわらず、フラッシュメモリを2ステートでアクセスします。

フラッシュメモリは、メモリマップ上のアドレスH'00000~H'1FFFFに割り当てられています。この空間は、モード端子の設定で内蔵フラッシュメモリ空間と外部メモリ空間の切り換えができます。モード端子の設定とフラッシュメモリ空間の設定を表18.8に示します。

表18.8 モード端子の設定とROM空間

モード名	モード端子の設定			ROM空間の設定
	MD ₂	MD ₁	MD ₀	
モード0	0	0	0	設定禁止
モード1	0	0	1	外部メモリ空間
モード2	0	1	0	外部メモリ空間
モード3	0	1	1	外部メモリ空間
モード4	1	0	0	外部メモリ空間
モード5	1	0	1	内蔵フラッシュメモリ空間
モード6	1	1	0	内蔵フラッシュメモリ空間
モード7	1	1	1	内蔵フラッシュメモリ空間

フラッシュメモリの特長を以下に示します。

■ フラッシュメモリの5種類の動作状態

フラッシュメモリの動作状態として、プログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモード、ブレライトベリファイモードがあります。

■ 消去ブロックの指定

フラッシュメモリ空間の消去対象とするブロックを、対応するビットの設定により指定できます。大ブロックエリア(12k~16k バイト×8 ブロック)と小ブロックエリア(512バイト×8 ブロック)があります。

■ 書き込み、消去時間

フラッシュメモリの1バイトあたりの書き込み時間は50 μ s (typ)、全ブロック(128Kバイト)、消去時間は1s(typ)です。

■ 書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

■ オンボードプログラミングモード

フラッシュメモリの書き込み、消去、ベリファイを行うモードです。2種類の動作モード(ブートモード、ユーザプログラムモード)があります。

■ ビットレート自動合わせ込み

ブートモードのデータ転送時、ホストの転送ビットレートとH8/3048Fのビットレートの自動合わせ込みができます(9600bps, 4800bps, 2400bps)。

■ RAMによるフラッシュメモリのエミュレーション

フラッシュメモリにRAMの一部を重ね合わせることで、フラッシュメモリのリアルタイムな書き換えをエミュレートします。

■ PROMモード

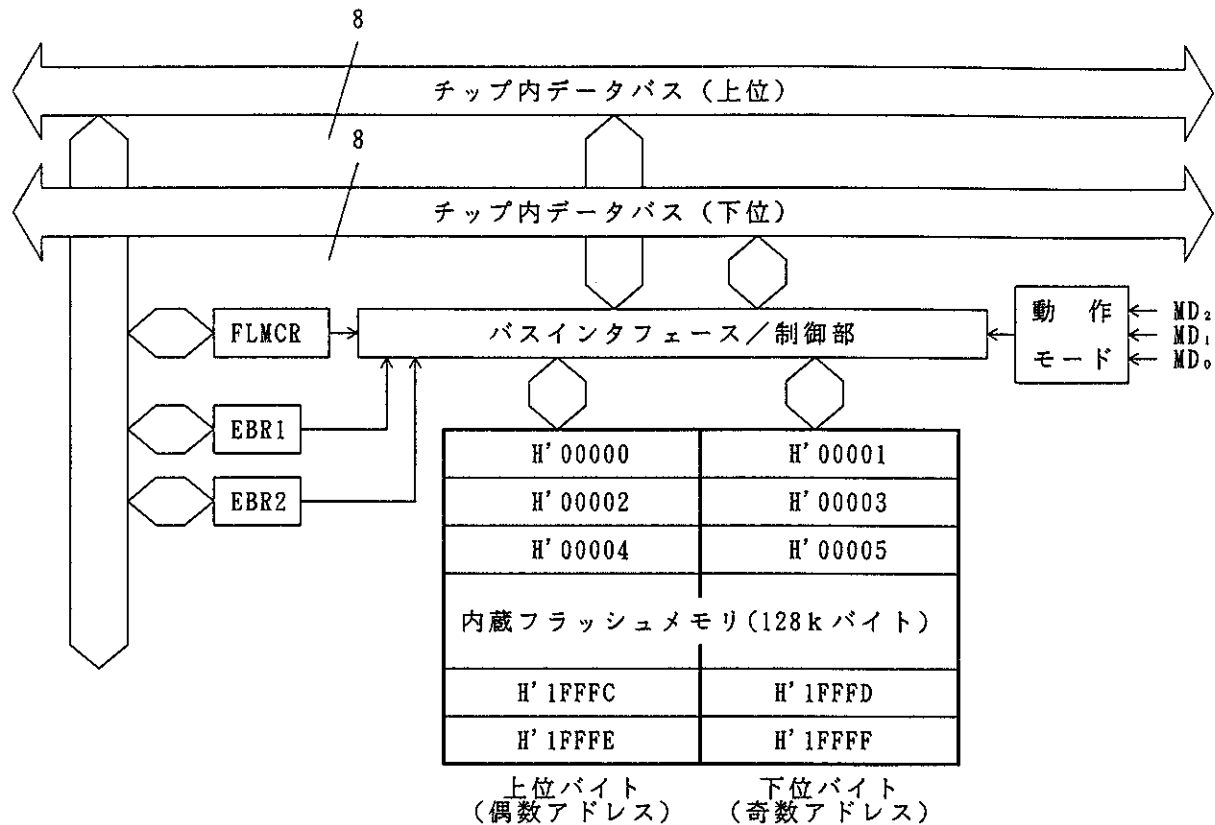
プログラムの書き込み、消去可能なモードとして、オンボードプログラミングモード以外にPROMモードがあり、汎用PROMライターを用いてフラッシュメモリに自由にプログラムを書込むことができます。

■ プロテクトモード

ソフトウェアプロテクトとハードウェアプロテクトの2つのモードがあり、フラッシュメモリの書き込み、消去、ベリファイのプロテクト状態を設定することができます。

18.4.4 ブロック図

フラッシュメモリのブロック図を図18.7に示します。



<記号説明>

- FLMCR : フラッシュメモリコントロールレジスタ
- EBR1 : 消去ブロック指定レジスタ 1
- EBR2 : 消去ブロック指定レジスタ 2

図18.7 フラッシュメモリのブロック図

18.4.5 端子構成

フラッシュメモリは表18.9に示す端子により制御されます。

表18.9 端子構成

端子名	略称	入出力	機能
プログラム電源	V _{PP}	電源	12.0Vを印加
モード2	MD ₂	入力	H 8 / 3 0 4 8 Fの動作モードを設定
モード1	MD ₁	入力	H 8 / 3 0 4 8 Fの動作モードを設定
モード0	MD ₀	入力	H 8 / 3 0 4 8 Fの動作モードを設定
トランスミットデータ	TxD _i	出力	シリアル送信データ出力
レシーブデータ	RxD _i	入力	シリアル受信データ入力

トランスミットデータ端子とレシーブデータ端子はブートモード時に使用します。

18.4.6 レジスタ構成

フラッシュメモリは表18.10に示すレジスタにより制御されます。

表18.10 レジスタ構成

アドレス	名称	略称	R/W	初期値
H'FF40	フラッシュメモリコントロールレジスタ	FLMCR	R/W ^{*2}	H'00 ^{*1}
H'FF42	消去ブロック指定レジスタ1	EBR1	R/W ^{*2}	H'00 ^{*1}
H'FF43	消去ブロック指定レジスタ2	EBR2	R/W ^{*2}	H'00 ^{*1}
H'FF48	RAMコントロールレジスタ	RAMCR	R/W	H'70

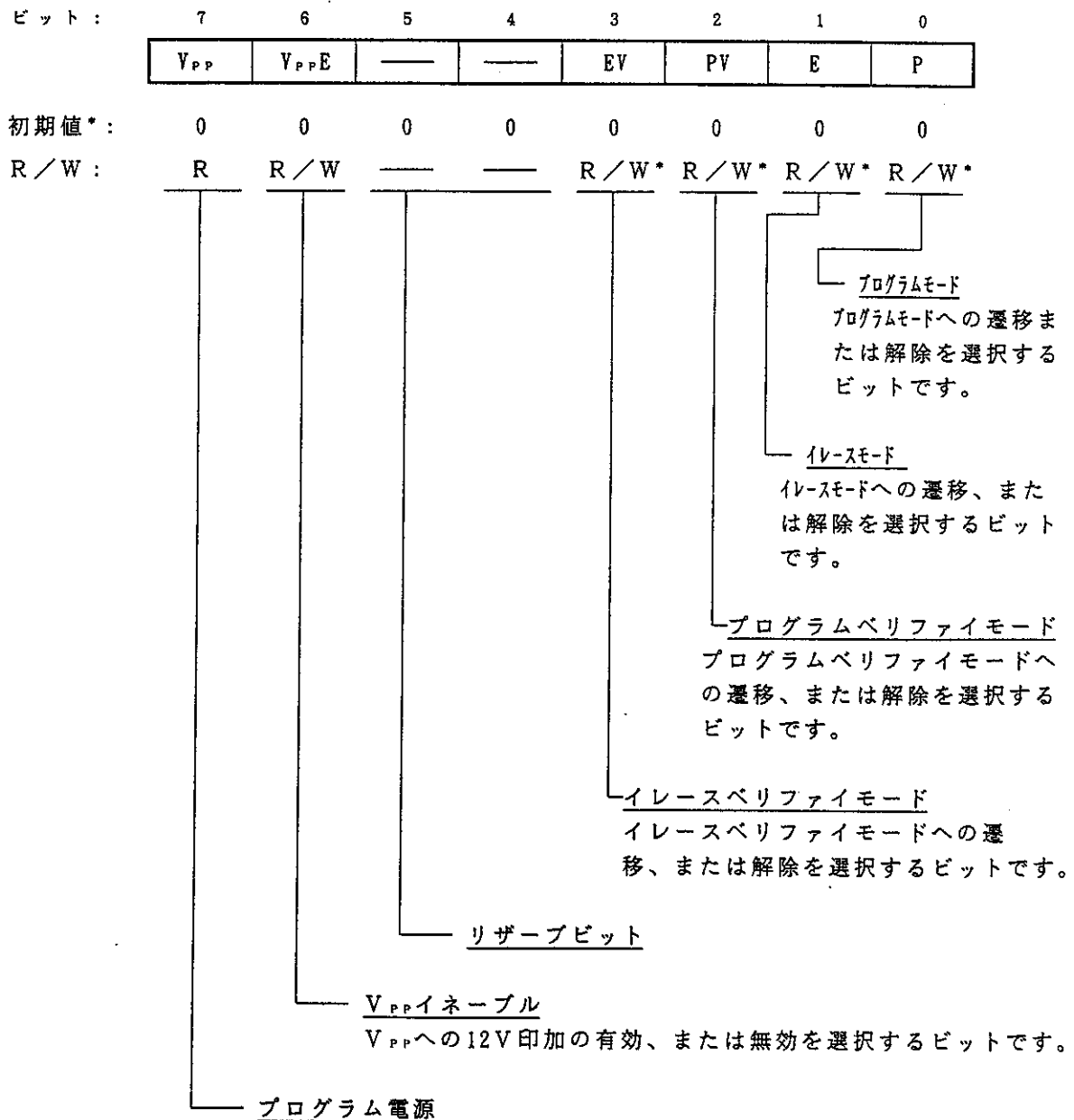
【注】^{*1} モード5、6、7（内蔵フラッシュメモリが有効）のとき初期値はH'00となります。

^{*2} モード1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

18.5 フラッシュメモリの各レジスタの説明

18.5.1 フラッシュメモリコントロールレジスタ (FLMCR)

フラッシュメモリコントロールレジスタ (FLMCR) は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。ビットをセットすることにより、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモードに遷移できます。FLMCR はリセット、またはスタンバイモード時、あるいは V_{PP} に 12V 印加されていないとき、H'00 にイニシャライズされます。ただし、 V_{PP} に 12V が印加されているときのリセット、またはスタンバイモード時は、H'80 になります。



【注】* モード 5、6、7 (内蔵フラッシュメモリが有効) のとき初期値は H'00 となります。
モード 1、2、3、4 (内蔵フラッシュメモリが無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

ビット7：プログラム電源（V_{PP}）

プログラム電源ビット（V_{PP}）は、V_{PP}端子の電圧を検出し、そのレベルを1 / 0 で表示するビットです。しきい値は、「21.3.1 DC特性」で指定する高電圧印加判定レベルV_Hです。V_H値は、V_{CC}+2V～11.4V間でばらつき、V_H以上の電圧が印加されると“1”と表示し、V_H以上の電圧が印加されていないと“0”と表示します。

本ビットは、フラッシュメモリに対する書き込み/消去動作時のハードウェアプロテクトの機能を制御します。ハードウェアプロテクトについては、18.7.8の(2)を参照してください。

なお、V_{PP}使用時の注意は「18.10 フラッシュメモリの書き込み/消去時の注意(4)」を参照してください。

ビット7 V _{PP}	説 明
0	<p>（クリア条件）（初期値）</p> <p>V_{PP}端子に高電圧印加判定レベルV_H以上の高電圧が印加されていないとき。通常動作モードであり、フラッシュメモリへの書き込み/消去ができない（ハードウェアプロテクトされている）ことを示します。</p>
1	<p>（セット条件）</p> <p>V_{PP}端子に高電圧印加判定レベルV_H以上の高電圧が印加されているとき。フラッシュメモリへの書き込み/消去が可能なようにハードウェアプロテクト機能が解除されていることを示します。*</p>

*：正しい書き込み/消去のためにはV_{PP}=12.0±0.6V（11.4～12.6V）に設定する必要があります。

ビット6：V_{PP}Eイネーブルビット（V_{PP}E）

V_{PP}への12V印加の有効、または無効を選択するビットです。書き込みおよび消去する場合、このビットをセットしてから5μs以上の待ち時間が必要です。また、本ビットをクリア後、フラッシュメモリをリードするには、フラッシュメモリリードセットアップ時間（t_{FRS}）の待ち時間が必要です。

ビット6 V _{PP} E	説 明
0	V _{PP} 端子の12V電源無効 （初期値）
1	V _{PP} 端子の12V電源有効

【注】 フラッシュメモリに使用する電源系は、V_{PP}Eビットにより切替えられます。切替え後、電源系が安定する迄の期間の動作は保証されません。このため、V_{PP}Eビットのセット／リセットの命令をフラッシュメモリからフェッチして実行することは禁止です。

ビット5～4：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3：イレースベリファイモード（EV）^{*1}

イレースベリファイモードへの遷移、または解除を選択するビットです。

ビット3	説 明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移

ビット2：プログラムベリファイモード（PV）^{*1}

プログラムベリファイモードへの遷移、または解除を選択するビットです。

ビット2	説 明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

ビット1：イレースモード（E）^{*1 *2}

イレースモードへの遷移、または解除を選択するビットです。

ビット1	説 明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移

ビット0：プログラムモード（P）^{*1 *2}

プログラムモードへの遷移、または解除を選択するビットです。

ビット0	説 明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移

【注】^{*1} 複数のビットを同時にセットしないでください。ビットをセットした状態で、V_{cc}、V_{pp}電源を切断しないでください。

^{*2} 各ビットのセットは、「18.7 フラッシュメモリの書き込み／消去」に示すアルゴリズムに従ってください。使用時の注意として「18.10 フラッシュメモリの書き込み／消去時の注意」を参照してください。Eビット、Pビットをセットした場合、プログラムの暴走に備えて、あらかじめウォッチドッグタイマの設定を行ってください。

18.5.2 消去ブロック指定レジスタ1 (EBR1)

消去ブロック指定レジスタ (EBR1) はフラッシュメモリの書込みおよび消去する大ブロックを選択する8ビットのレジスタです。リセット、またはスタンバイモード時、 V_{PP} に12V印加されていて V_{PP} Eビットが“0”のとき、あるいは V_{PP} に12V印加されていないとき、H'00にイニシャライズされます。EBR1のビットを“1”にセットすると対応するブロックが選択され、書込みおよび消去対象ブロックになります。消去ブロックの分割を図18.8に示します。

ビット:	7	6	5	4	3	2	1	0
	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* モード5、6、7（内蔵ROMが有効）のとき初期値はH'00となります。

モード1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

ビット7～0：ラージブロック7～0 (LB7～LB0)

ラージブロック7～0 (LB7～LB0) ブロックを書込みおよび消去対象ブロックとして選択するビットです。

ビット7～0	説 明
LB7～LB0	
0	LB7～LB0ブロックを選択していないとき (初期値)
1	LB7～LB0ブロックを選択しているとき

18.5.3 消去ブロック指定レジスタ 2 (E B R 2)

消去ブロック指定レジスタ 2 (E B R 2) は、フラッシュメモリの書込みおよび消去する小ブロックを選択する 8 ビットのレジスタです。リセット、またはスタンバイモード時、 V_{PP} に 12V 印加されていて V_{PP} E ビットが “0” のとき、あるいは V_{PP} に 12V 印加されていないとき、H'00 にイニシャライズされます。E B R 2 のビットを “1” にセットすると対応するブロックが選択され、書込みおよび消去対象ブロックになります。消去ブロックの分割を図 18.8 に示します。

ビット：	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* モード 5、6、7 (内蔵 R O M が有効) のとき初期値は H'00 となります。

モード 1、2、3、4 (内蔵 R O M が無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

ビット 7 ~ 0 : スモールブロック 7 ~ 0 (S B 7 ~ S B 0)

スモールブロック 7 ~ 0 (S B 7 ~ S B 0) ブロックを書込みおよび消去対象ブロックとして選択するビットです。

ビット 7 ~ 0	説 明	
S B 7 ~ S B 0		
0	S B 7 ~ S B 0 ブロックを選択していないとき	(初期値)
1	S B 7 ~ S B 0 ブロックを選択しているとき	

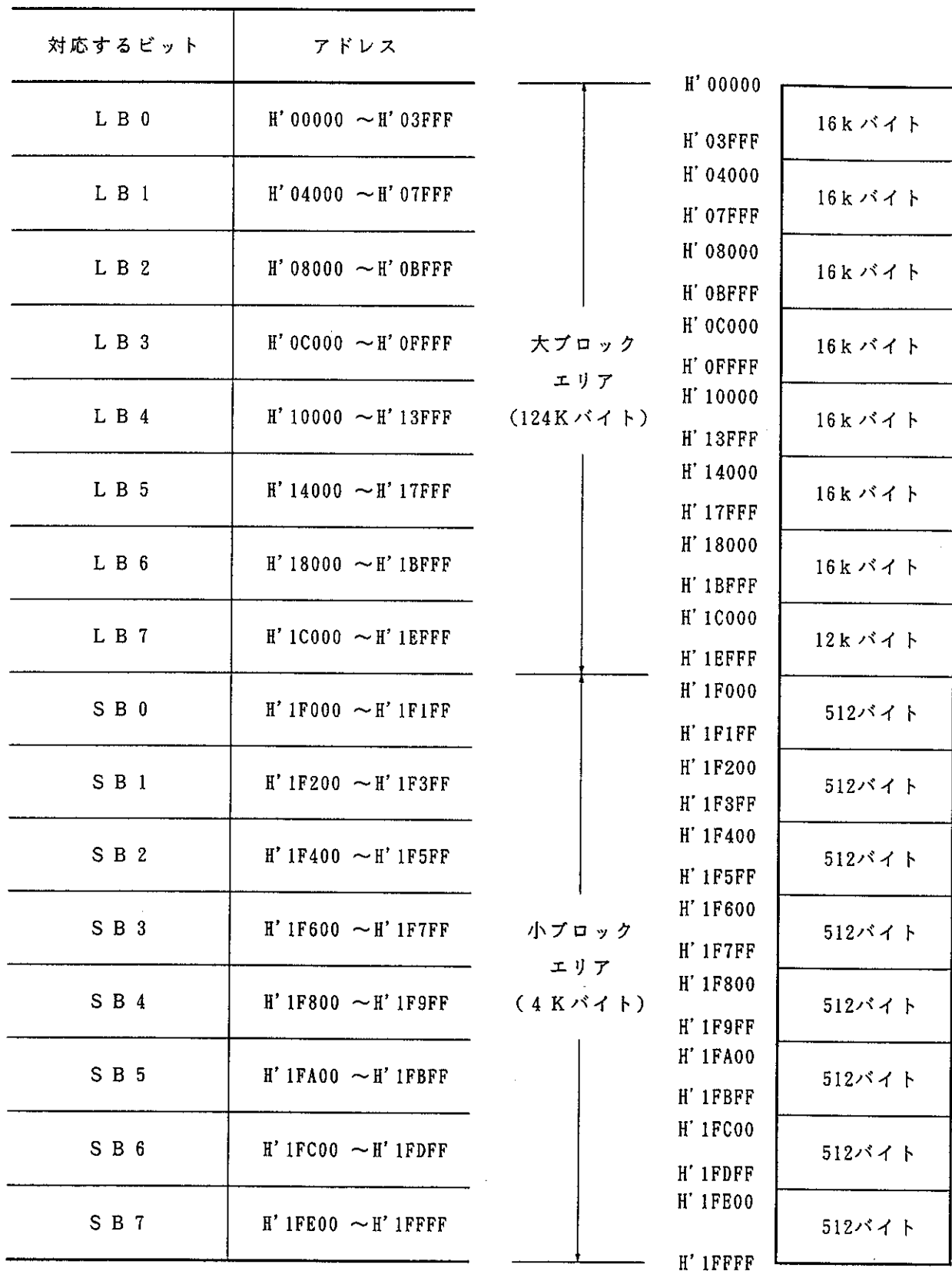


図18.8 消去ブロックの分割

18.5.4 RAMコントロールレジスタ (RAMCR)

RAMコントロールレジスタ (RAMCR) は、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用するRAMエリアを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値:	0	1	1	1	0	0	0	0
R/W:	R	—	—	—	R/W	R/W	R/W	R/W

ビット7:フラッシュメモリエラー (FLER)

ビット7は、フラッシュメモリへの書込み、消去中に異常が発生し、エラーが生じたことを示すビットです。このビット7がセットされると、フラッシュメモリはエラープロテクトモード^{*1}に移移します。

ビット7 FLER	説 明
0	フラッシュメモリへの書込み／消去プロテクト（エラープロテクト ^{*1} ）が無効（クリア条件） リセットまたはハードウェアスタンバイモードのとき（初期値）
1	フラッシュメモリへの書込み、消去中にエラーが発生し、エラープロテクト ^{*1} が有効となったことを示す（セット条件） (1) 書込み、消去中にフラッシュメモリをリード ^{*2} したとき（ベクタリードおよび命令フェッチを含む。ただし、フラッシュメモリ空間とオーバーラップしたRAMエリアのリードは除く）。 (2) 書込み、消去中の例外処理（ただし、リセット、トレース、不当命令、トラップ命令、ゼロ除算時の例外処理は除く）の実行直後。 (3) 書込み、消去中にSLEEP命令（ソフトウェアスタンバイモードを含む）を実行したとき。 (4) 書込み、消去中にバス開放したとき。

【注】^{*1} エラープロテクトの詳細は「18.7.8 プロテクトモード」を参照してください。

^{*2} このときリードした値は不定となります。

ビット6～4:リザーブビット

ビット6～4はリザーブビットです。ビット6～4をリードすると、常に1が読み出されます。ライトは無効です。

ビット3：RAMセレクト（RAMS）

ビット2～0と共に使用し、RAMエリアを設定します（表18.11）。リセット、またはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

1ライト時は、フラッシュメモリ全ブロックの書込み／消去プロテクト状態となります。

ビット2～0：RAM2～0

ビット3と共に使用し、RAMエリアを設定します（表18.11）。リセット、またはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

表18.11 RAMエリアの設定方法

RAMエリア	ビット3	ビット2	ビット1	ビット0
	RAMS	RAM2	RAM1	RAM0
H'FFF000～H'FFF1FF	0	0 / 1	0 / 1	0 / 1
H'01F000～H'01F1FF	1	0	0	0
H'01F200～H'01F3FF	1	0	0	1
H'01F400～H'01F5FF	1	0	1	0
H'01F600～H'01F7FF	1	0	1	1
H'01F800～H'01F9FF	1	1	0	0
H'01FA00～H'01FBFF	1	1	0	1
H'01FC00～H'01FDFF	1	1	1	0
H'01FE00～H'01FFFF	1	1	1	1

18.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリのプログラム、消去、ベリファイを行うことができます。本モードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。これらのモードは、モード端子（MD₂～MD₀）、V_{PP}端子により設定します。表18.12にオンボードプログラミングモードの設定方法を示します。V_{PP}の印加／切断時の注意については「18.10 フラッシュメモリの書き込み／消去時の注意」を参照してください。

表18.12 オンボードプログラミングモードの設定

モード設定		V _{PP}	MD ₂	MD ₁	MD ₀	備 考
ブートモード	モード5	12V	12V	0	1	0 : V _{IL} 1 : V _{IH}
	モード6		12V	1	0	
	モード7		12V	1	1	
ユーザプログラムモード	モード5		1	0	1	
	モード6		1	1	0	
	モード7		1	1	1	

18.6.1 ブートモード

ブートモードを使用する場合には、あらかじめフラッシュメモリへの書き込み用のユーザプログラムをホスト側のパソコン等に準備しておく必要があります。また、使用するSCIは、チャンネル1の調歩同期式モードに設定されています。H8／3048Fをブートモードに設定すると、リセット解除後、あらかじめ組み込まれているブートプログラムが起動され、ホストから送信されるデータの“Low”期間をまず測定し、ビットレートレジスタ（BRR）の値を決定します。次に、H8／3048F内蔵のシリアルコミュニケーションインタフェース1（SCI1）を用いて外部からのユーザプログラムの受信が可能となり、受信されたユーザプログラムは、RAMに書き込まれます。

書き込み終了後、内蔵RAMの先頭アドレス（モード5・7設定時H'FF300、モード6設定時H'FFF300）に分岐し、RAM上に書き込まれたプログラムを実行し、フラッシュメモリの書き込み、消去が可能となります。ブートモードの実行手順を図18.10に示します。

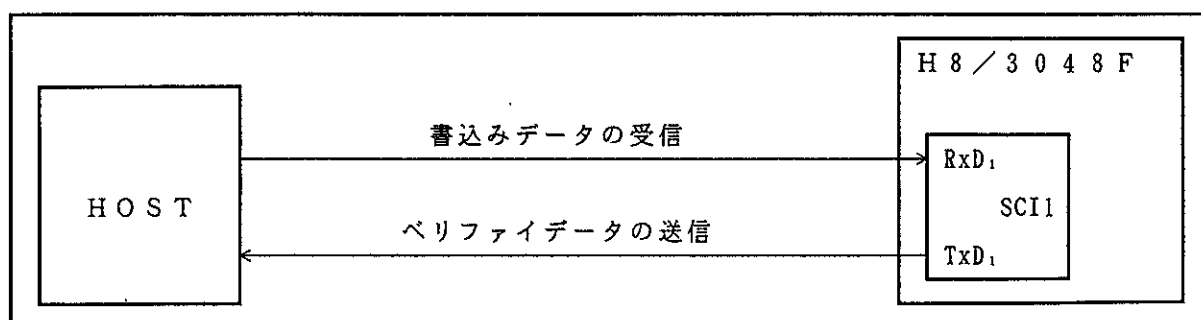
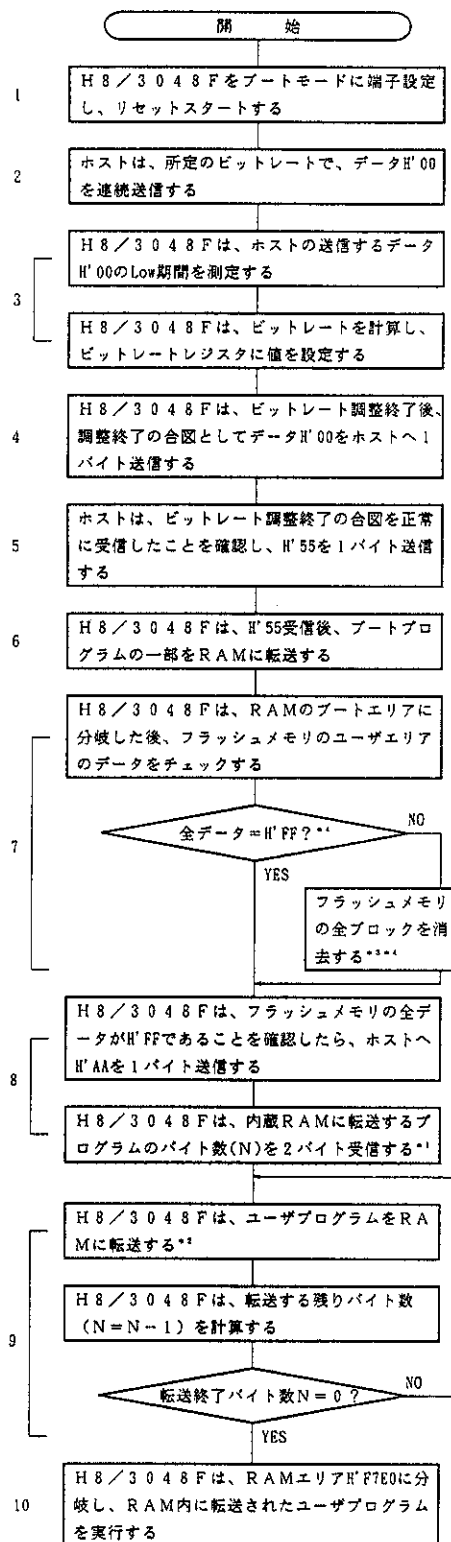


図18.9 ブートモードシステム構成図

■ ブートモードの実行手順

ブートモードの実行手順を以下に示します。



- 1 H8/3048Fをブートモードに設定し、リセットスタートします。
- 2 ホストは、所定のビットレート（2400、4800、9600）に設定し、転送するデータフォーマットは8ビットデータ、1ストップビットで、H'00のデータを連続的に送信してください。
- 3 H8/3048Fは、RxD_i端子の“Low”期間を繰り返し測定し、ホストが転送する調歩同期式通信のビットレートを計算します。
- 4 H8/3048Fは、SCIのビットレートの調整が終了すると、調整終了の合図としてデータH'00を1バイト送信します。
- 5 ホストは、H8/3048Fから送信される1バイトのビットレート調整終了の合図を受信し、この調整終了の合図が正常に受信されたことを確認し、H'55を1バイト送信してください。H8/3048Fは、正常に受信した合図としてH'AAを送信します。
- 6 H8/3048Fは、H'55を受信後、RAMのH'FFF300～H'FFFEFFのエリアにブートプログラムの一部を転送します。
- 7 H8/3048Fは、RAMのブートプログラムエリア（H'FFF300～H'FFFEFF）に分岐した後、フラッシュメモリに書き込まれたデータが存在するか確認します。すでにデータが書き込まれている場合は、全ブロック消去します。
- 8 H8/3048FはH'AAを1バイト送信します。その後ホストは、H8/3048Fに転送するユーザプログラムのバイト数を送信します。バイト数は、上位バイト、下位バイトの順で2バイト送信してください。以降は、順次ユーザの設定したプログラムを送信してください。H8/3048Fは、受信したバイト数およびユーザプログラムをペリフェイデータとして、1バイトごとに順次ホストへ送信（エコーバック）します。
- 9 H8/3048Fは、受信したユーザプログラムを内蔵RAMのH'FFF300～H'FFFEFFのエリアに順次書き込みます。
- 10 H8/3048Fは、内蔵RAMのH'FFF300に分岐し、書き込まれたユーザプログラムを実行します。

【注】*1 ユーザが使用できるRAMエリアは、3072バイトです。転送するバイト数を3072バイト以内に設定してください。また、転送バイト数は、必ず2バイト上位、下位の順に送信してください。

転送バイト数の例：256 バイト（H'0100）の場合

上位バイトH'01、下位バイトH'00

** ユーザプログラムのフラッシュメモリを制御する部分は、後述するフラッシュメモリの書き込み/消去のアルゴリズムに従ったプログラムに設定してください。

** メモリセルが正常に動作せず、消去ができなかった場合は、H8/3048Fは消去エラーとしてH'FFを1バイト送信し、消去動作とそれ以降の動作を停止します。

** H'000000～H'01FFFFが対象となります。

図18.10 ブートモードの動作フローチャート

■ S C I ビットレートの自動合わせ込み動作

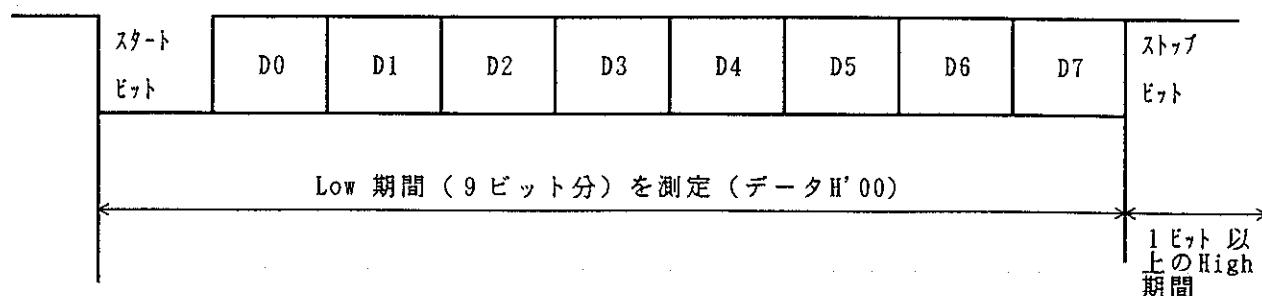


図18.11 ホスト送信データの“Low”期間の測定

ブートモードを起動すると、H 8 / 3 0 4 8 F は、ホストより送信される調歩同期式 S C I 通信のデータの“Low”期間を測定します（図18.11）。このデータフォーマットは、8 ビットデータ、1 ストップビット、パリティなしのフォーマットです。H 8 / 3 0 4 8 F は、測定した“Low”期間（9 ビット）よりホストの送信するビットレートを計算します。H 8 / 3 0 4 8 F は、ビットレートの調整が終わると、ビット調整終了合図としてホストへ1 バイトの H'00 データを送信します。ホストは、この調整終了合図を正常に受信したことを確認し、H 8 / 3 0 4 8 F へ H'55 を1 バイト送信してください。受信が正常に行われない場合は、再度ブートモードでリセット起動し、“Low”期間の測定を実行してください。ホストが送信するビットレート、および H 8 / 3 0 4 8 F のシステムクロックの周波数によってホストと H 8 / 3 0 4 8 F のビットレートに誤差が発生します。正常に S C I 動作を行うために、ホストの転送ビットレートを2400、4800または9600 b p s ^{*1} に設定してください。ホストの代表的な転送ビットレートと H 8 / 3 0 4 8 F のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表18.13に示します。このシステムクロックの範囲内でブートモードを実行してください。^{**}

表18.13 H 8 / 3 0 4 8 F のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート ^{*1}	H 8 / 3 0 4 8 F のビットレートの自動合わせ込みが可能な システムクロックの周波数
9600 b p s	8 M H z ～ 16 M H z
4800 b p s	4 M H z ～ 16 M H z
2400 b p s	2 M H z ～ 16 M H z

【注】^{*1} ホストのビットレートは2400、4800、9600 b p s の設定のみで、それ以外の設定は使用しないでください。

^{**} H 8 / 3 0 4 8 F は、表18.13 に示すビットレートとシステムクロックの組合せ以外にも、自動合わせ込みを行う場合がありますが、ホストと H 8 / 3 0 4 8 F のビットレートに誤差が生じ、その後の転送が正常に行われないことがあります。このため、ブートモードの実行は、表18.13 に示す組合せの範囲内で必ず行ってください。

■ ブートモード時のRAMエリアの分割

ブートモードでは、モード5・7設定時：H'FEF10～H'FF2FF、モード6設定時：H'FFE10～H'FFF2FF(H'3F0バイト)は、図18.12に示すようにブートプログラムで使用するエリアとしてリザーブされています。ユーザのプログラムを転送するエリアはモード5・7設定時：H'FF300～H'FFEFF、モード6設定時：H'FFF300～H'FFFEFF(H'C00バイト)です。ブートプログラムのエリアは、RAM内に転送したユーザプログラムの実行状態に移移すると使用できます。

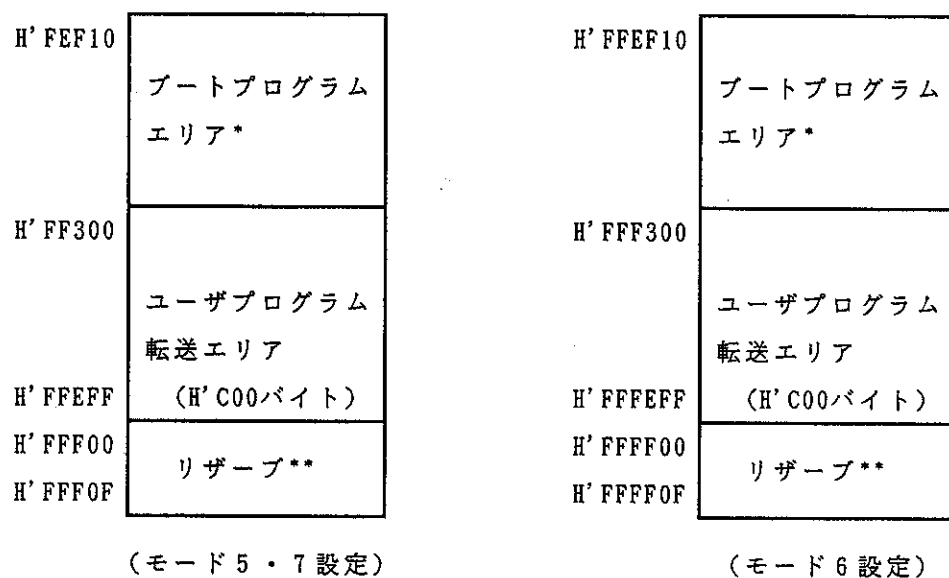


図18.12 ブートモード時のRAMエリア

【注】* RAM内に転送したユーザプログラム実行状態に移移（モード5・7設定時：H'FF300、モード6設定時：H'FFF300に分岐）するまで本エリアを使用できません。なお、ユーザプログラムに分岐後もRAM内のブートプログラムエリア（モード5・7設定時：H'FEF10～H'FF2FF、モード6設定時：H'FFE10～H'FFF2FF）にはブートプログラムがそのまま保持されていますので、注意してください。

** リザーブ領域は使用しないでください。

■ ブートモード使用時の注意事項

- (1) H8/3048Fは、ブートモードでリセット解除すると、SCI1のRxD_i端子の“Low”期間を測定します。RxD_i端子が“High”の状態のリセット解除してください。リセット解除後、H8/3048FがRxD_i端子へ入力させる“Low”期間を測定できるようになるまでは約100ステート必要です。
- (2) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データがH'FFでないとき）、フラッシュメモリの全ブロックを消去します。本モードを実行する場合は、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (3) フラッシュメモリのプログラム中、あるいは消去中に割込みを使用することはできません。
- (4) RxD_i端子およびTxD_i端子は、ボード上でプルアップして使用してください。

- (5) H8/3048Fは、ユーザプログラム(RAMエリアのH'F300)に分岐するときに内蔵SCI（チャンネル1）の送受信動作を終了（シリアルコントロールレジスタSCRのRE=0、TE=0）しますが、ビットレートレジスタBRR1には、合わせ込んだビットレートの値を保持しています。

また、このときトランスミットデータ端子TxD_iは、“High”レベル出力状態（ポート9データディレクションレジスタのP9IDDR=1、ポート9データレジスタのP9IDR=1）となっています。

さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このためユーザプログラムに分岐した直後に汎用レジスタのイニシャライズを必ず行ってください。特にスタックポインタ（SP）はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。

- (6) ブートモードへの遷移は表18.12のモード設定条件に従って、MD₂端子とV_{PP}端子に12Vを印加後にリセットスタートすることにより可能です。

この時、H8/3048Fはリセット解除（Lowレベル→Highレベル立ち上がり）のタイミング*1でモード端子の状態をマイコン内部にラッチし、ブートモード状態を保持します。

ブートモードを解除するためにはMD₂端子とV_{PP}端子への12V印加を解除した後にリセット解除*1することにより可能ですが、以下のような注意が必要です。

- (a) ブートモードから通常モード（V_{PP}≠12V、MD₂≠12V）へ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態をRES端子によるリセット入力によって解除する必要があります。この時、V_{PP}切断後からリセット解除して、リセットベクタをリードするまでの期間として、フラッシュメモリリードセットアップ時間（t_{FRS}）が必要です*2。

(b) ブートモードの途中でMD₂端子への12V印加を解除した場合は、 $\overline{\text{RES}}$ 端子によるリセット入力をしない限り、マイコン内部のブートモード状態は保持されており、ブートモードが継続されます。また、ブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、モード端子の状態にかかわらず内蔵のブートプログラムが再起動されます。

(c) ブートモードへの遷移時（リセット解除タイミング）及びブートモード動作中ではプログラム電圧V_{pp}は12V±0.6 Vの範囲を超えないようにしてください。これを超えると、ブートモードは正しく実行されません。また、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にV_{pp}を切断しないでください*²。

(7) リセット中（ $\overline{\text{RES}}$ 端子にLow レベルを入力している期間）にMD₂端子の入力レベルを0Vから12V、または12Vから0Vに変化させる場合、一瞬5V入力レベルに遷移することによりマイコン動作モードが切り替わります。このためアドレス兼用ポート及びバス制御出力信号（ $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ ）の状態が変化しますので、これらの端子はリセット中の出力信号として使用しないよう、マイコン外部で禁止する必要があります。

(8) V_{pp}およびMD₂端子への12V印加は、オーバシュートのピークが最大定格の13Vを超えないようにしてください。また、V_{pp}およびMD₂端子には、必ずバイパスコンデンサを接続してください。*¹

【注】*¹ モード端子の入力は、リセット解除のタイミングに対し、モードプログラミングセットアップ時間（t_{MDs}）を満足する必要があります。MD₂端子への12V印加／切断時ではMD₂端子に接続するプルアップ・プルダウン抵抗などの影響によって立下り・立上り波形に遅れが生じます。このためリセット解除のタイミングは、この遅れをボード上の実波形で確認してください。

*² V_{pp}の印加／切断の注意については「18.10 フラッシュメモリへの書き込み／消去時の注意」の(4)を参照してください。

18.6.2 ユーザプログラムモード

H 8 / 3 0 4 8 F をユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの消去、書込みが可能になります。したがって、あらかじめ基板上に V_{pp} 供給手段、および書換えデータ供給手段を設け、プログラムエリアの一部に書換え用プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書換えを行うことができます。

本モードの設定は、内蔵 ROM の有効なモード、モード 5、6、7 に設定し V_{pp} 端子に 12V 印加します。このモードの動作では、フラッシュメモリ以外の周辺機能は、モード 5、6、7 と同じ動作をします。

ただし、 V_{pp} 端子に 12V 印加中は、WDT のオーバフロー時にリセット出力はできません。WDT のリセット出力イネーブル (RSTOE) を 1 にセットしないでください。

なお、書込み、消去を行っている間、フラッシュメモリを読み出すことはできませんので、書換えプログラムを外部メモリ上に置くか、または書換えプログラムをいったん RAM エリアに転送し、RAM 内で実行してください。

■ ユーザプログラムモード実行手順例

RAM内で実行する場合のユーザプログラムモード実行手順を以下に示します。

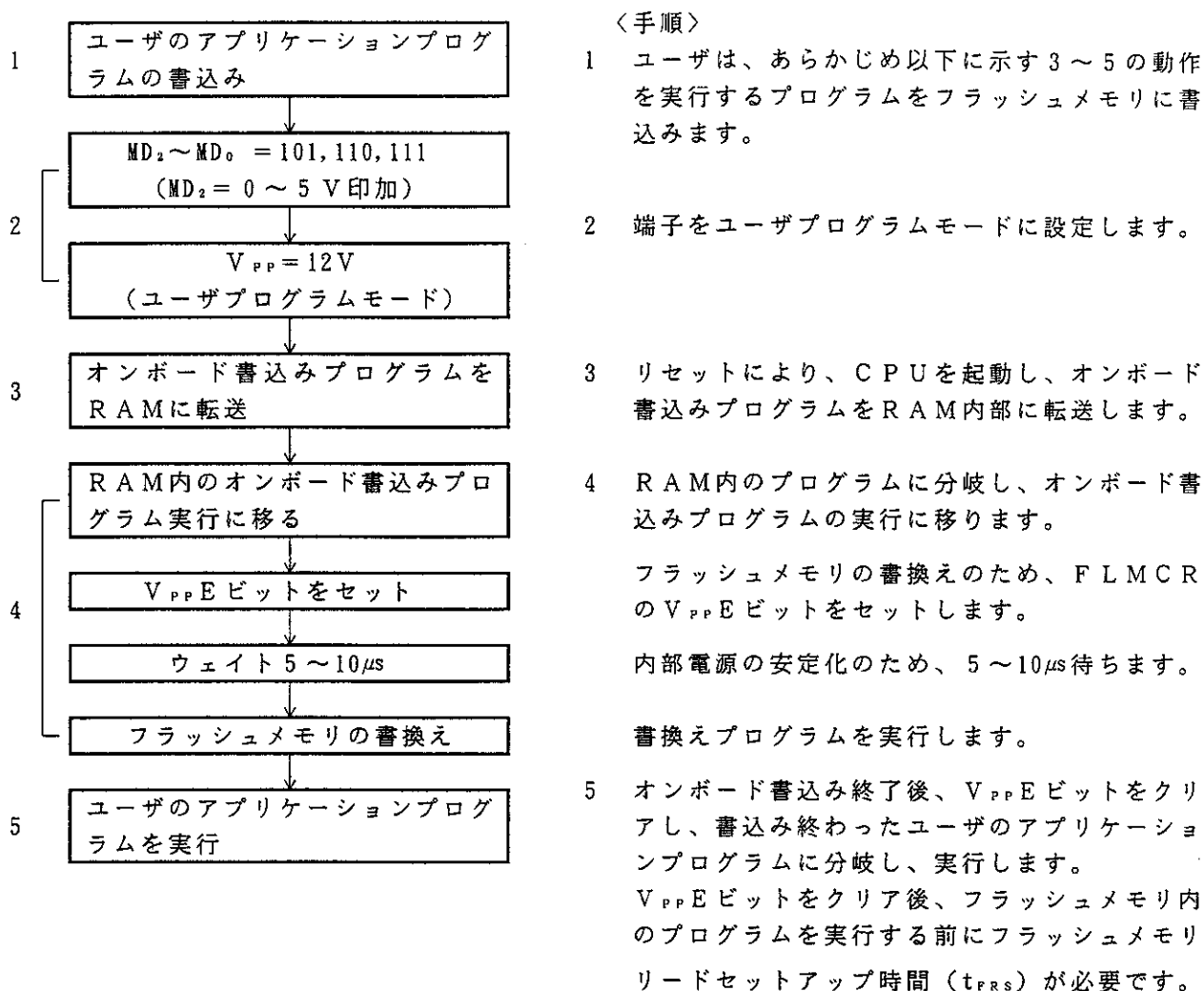


図18.13 ユーザプログラムモード動作例

【注】 プログラム暴走等による誤書込み、誤消去を防止するため、 V_{PP} に12Vを印加するのはフラッシュメモリに書込み、消去を行うときのみ（RAMによるフラッシュメモリのエミュレーション実行時も含む）とし、常時12Vを印加しないでください。また、書込み／消去時（12V印加時）は、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。プログラム暴走等によって過剰書込み、過剰消去になるとメモリセルが正常に動作しないことがあります。 V_{PP} の印加／切断時の注意については「18.10 フラッシュメモリの書込み／消去時の注意」を参照してください。

18.7 フラッシュメモリの書込み／消去

H8/3048Fに内蔵するフラッシュメモリは、CPUを用いてソフトウェアで書込み、消去を行う方式を採用しています。フラッシュメモリの動作モードと状態遷移図を図18.14に示します。書込み／消去モードには、書込みモード、消去モード、書込みベリファイモード、消去ベリファイモード、プレライトベリファイモードがあります。フラッシュメモリコントロールレジスタ（FLMCR）のPビット、Eビット、PVビット、EVビットのいずれかのビットをセットすることにより各動作モードに遷移することができます。また、FLMCRの全てのビットをクリアした状態でプレライトベリファイモードとなります。

フラッシュメモリは、書込み、あるいは消去を行っている間読み出すことはできません。フラッシュメモリの書込み、消去を制御するプログラムは、内蔵RAMあるいは外部メモリ上に置き、実行してください。以下に各動作モードの説明と、推奨する書込みフロー、消去フローおよびプログラム例を示します。書込み、消去のアルゴリズムは、各ステップごとに書込み／消去の処理時間を2倍にする高信頼性アルゴリズムを採用しています。

書込み、消去時の注意は「18.10 フラッシュメモリの書込み／消去時の注意」を参照してください。

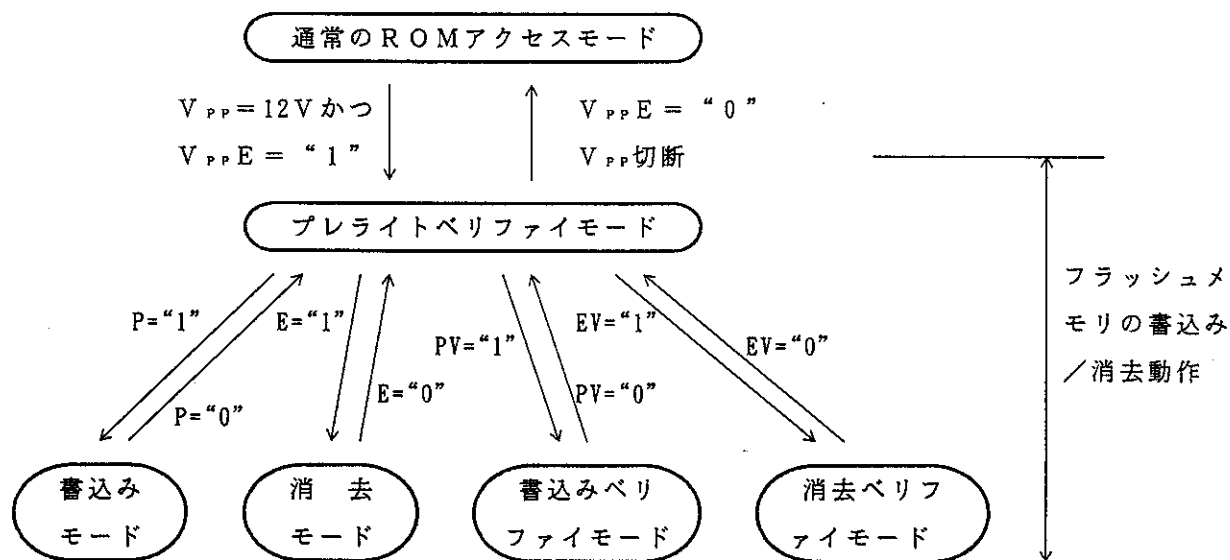


図18.14 フラッシュメモリ書込み／消去動作モードの状態遷移図

【注】 P、E、PV、EVビットは、同時にセット／クリアを行わないでください。

18.7.1 書込みモード

フラッシュメモリへのデータの書込みは、図18.15に示す書込みアルゴリズムに従って行ってください。この書込みアルゴリズムは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書込みを行うことができます。

データの書込みは、FLMCRのV_{PP}Eビットをセットし、5～10 μ sの待機時間を経過した後、フラッシュメモリの書込むエリアを消去ブロック指定レジスタ1、2（EBR1、EBR2）で設定し、書き込むアドレスにRAMと同様にデータをライトします。フラッシュメモリは、プログラムアドレスと、プログラムデータをアドレスラッチ、データラッチに各々ラッチします。FLMCRのPビットをセットし、動作モードをプログラムモードに設定します。Pビットをセットしている時間が書込み時間になります。一回目の書込み時間は、ソフトウェアタイマで、15.8 μ s以下になるように設定してください。また、プログラムの暴走等により、過剰時間書込みをするとデバイスにダメージを与えます。プログラムモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰に書込みを起こすことのないようにしてください。

18.7.2 書込みベリファイモード

書込みベリファイモードは、書込みモードでデータを書き込んだあとそのデータを読み出し、正常に書き込まれているかを確認するモードです。

書込み時間経過後、書込みモードを解除（Pビット＝0）し、書込みベリファイモード（PVビット＝1）に設定してください。書込みベリファイモードは、ラッチしたアドレスのメモリセルに書込みベリファイ電圧を印加します。この状態で、フラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、書込みベリファイモードに設定後、4 μ sの待機時間を置いて行ってください。書き込んだデータとベリファイデータを比較し、一致した場合、書込みベリファイモードを解除し、次のアドレスの書込みを行ってください。一致しなかった場合は、再度書込みモードに設定し、同様に書込み、書込みベリファイシーケンスを繰り返します。ただし、同一ビットに対する書込み、書込みベリファイシーケンスの繰り返しは、6回を越えないでください（トータル書込み時間が1msを越えないように回数を設定してください）。

18.7.3 書き込みのフローチャートとプログラム例

■ 1 バイト書き込みのフローチャート

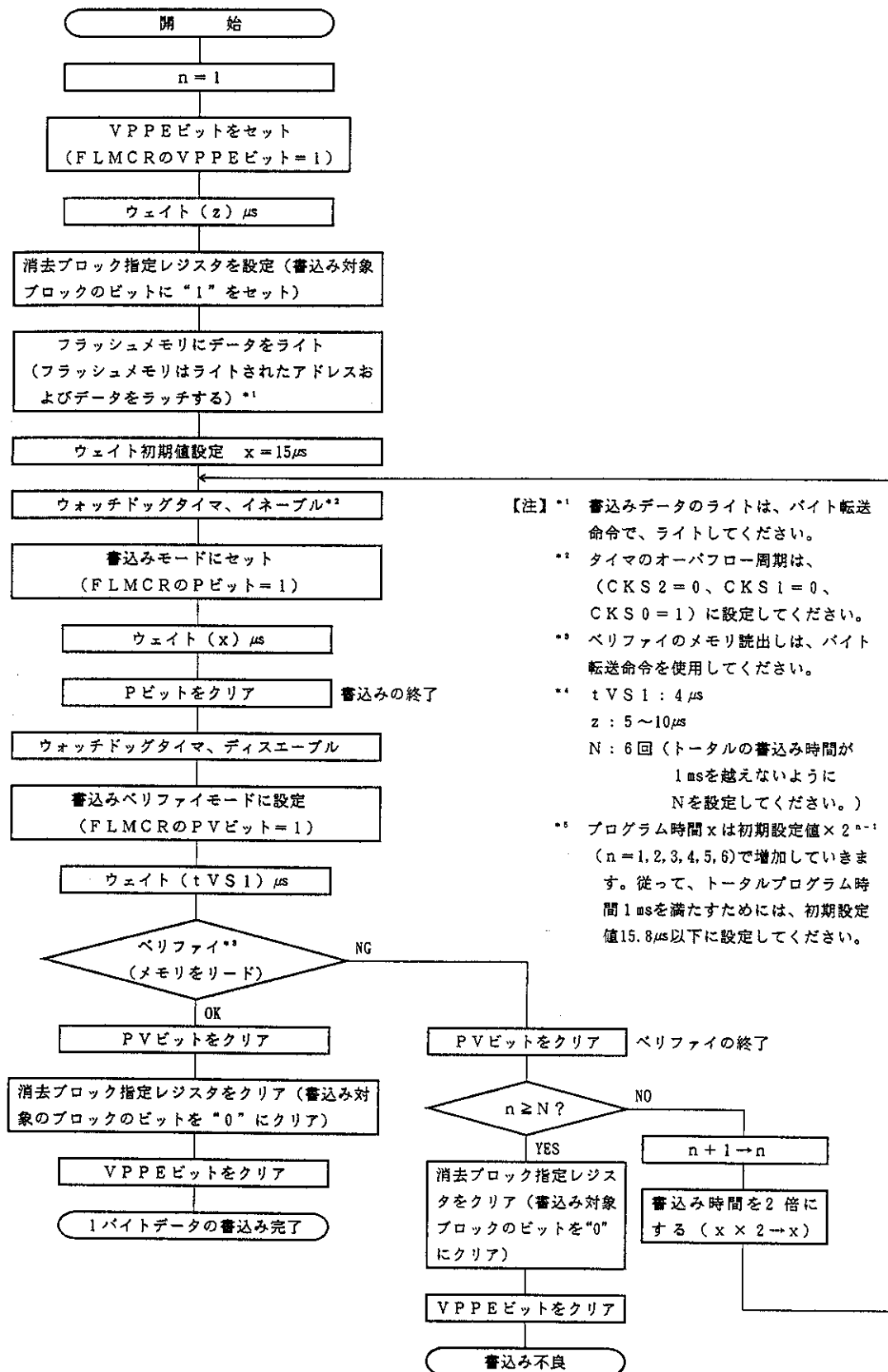


図18.15 書き込みフローチャート

■ 1 バイト書込みのプログラム例

使用レジスタと使用方法

R 0 : プログラムベリファイのフェイルカウントに用います。

R 1 : プログラムベリファイのループカウンタ値の設定に用います。

E R 2 : プログラムアドレスをロングワードデータで格納します。アドレス設定はH' 00000000～H' 0001FFFFが有効です。

R 3 H : プログラムデータをバイトデータで格納します。

R 4 : T C S R、F L M C Rの設定およびクリアに用います。

E 4 : プログラムループカウンタの初期値を格納します。

R 5 : F L M C Rのクリアに用います。

E 5 : プログラムループカウンタの値を格納します。

E R 2 (プログラムアドレス) およびR 3 H (プログラムデータ) の値を設定することにより、任意のデータを任意のアドレスに書込むことが可能です。

a、# bおよび# gの値は動作周波数によって異なります。表18.14の計算方法によって算出してください。

```
FLMCR: .EQU      FFFF40
EBR1:   .EQU      FFFF42
EBR2:   .EQU      FFFF43
TCSR:   .EQU      FFFFA8
```

```
PRGM:    MOV.W    #0001,  R0      ; プログラムベリファイフェイルカウント
          MOV.W    #g,      R1      ; プログラムループカウンタの設定
          MOV.W    #4140,   R4      ;
          MOV.B    R4L,     @FLMCR:8 ; VPPビットセット
LOOP0:    DEC.W    #1,      R1      ;
          BPL      LOOP0
          MOV.B    #**,     R0H     ;
          MOV.B    R0H,     @EBR*:8 ; EBR*セット
          MOV.B    R3H,     @ER2    ; ダミーライト
          MOV.W    #a,      E4      ; プログラムループカウンタの初期値設定
PRGMS:    MOV.W    #A579,   R4      ; WDTスタート
          MOV.W    R4,      @TCSR:16 ;
          MOV.W    E4,      E5      ; プログラムループカウンタ設定
          MOV.W    #4140,   R4      ;
          MOV.B    R4H,     @FLMCR:8 ; Pビットセット
LOOP1:    DEC.W    #1,      E5      ; プログラム
          BPL      LOOP1            ;
```

```

MOV.B    R4L,    @FLMCR:8 ; Pビットクリア
MOV.W    #A500,  R4      ;
MOV.W    R4,     @TCSR:16 ; WDTストップ

MOV.W    # b ,   R1      ; プログラムベリファイル-カウンタの設定
MOV.B    #44,    R4H     ;
MOV.B    R4H,    @FLMCR:8 ; PVビットセット
LOOP2:   DEC.W    #1,     R1      ; ウェイト
        BPL      LOOP2      ;
MOV.B    @ER2,   R1H     ; プログラムアドレスリード
CMP.B    R3H,    R1H     ; プログラムデータとリードデータの比較
BEQ      PVOK     ; プログラムベリファイの判定
PVNG:    MOV.B    #40,     R5H     ;
        MOV.B    R5H,    @FLMCR:8 ; PVビットクリア
        CMP.B    #06,    R0L     ; プログラムベリファイ 6 回実行?
        BEQ      NGEND     ; プログラムベリファイ 6 回実行ならば NGEND に分岐
        INC.B    R0L      ; プログラムベリファイフェイルカウンタ + 1 → R0L
        SHLL.W   E4       ; プログラムル-カウンタを 2 倍
        BRA      PRGMS     ; 再書き込み処理
PVOK:    MOV.W    #4000,   R5      ;
        MOV.B    R5H,    @FLMCR:8 ; PVビットクリア
        MOV.B    R5L,    @EBR*:8 ; EBR*クリア
        MOV.B    R5L,    @FLMCR:8 ; VPP E ビットクリア
        . . . . . 1バイトデータの書き込み完了
NGEND:   MOV.W    #4000,   R5      ;
        MOV.B    R5L,    @EBR*:8 ; EBR*クリア
        MOV.B    R5L,    @FLMCR:8 ; VPP E ビットクリア
書き込み不良

```

18.7.4 消去モード

フラッシュメモリの消去は、図18.16に示す消去アルゴリズムに従い行ってください。この消去アルゴリズムは、デバイスへの電圧ストレス、あるいはプログラムデータの信頼性を損なうことなく、消去を行うことができます。

フラッシュメモリの消去では、消去を開始する前に消去するブロックの全メモリデータが書き込まれた状態（全メモリデータ：H'00）にしてください。全メモリデータが書き込まれた状態でない場合は、後述するシーケンスに従い全メモリデータに0を書き込んでください。フラッシュメモリの消去するエリアの指定は、FLMCRのV_{pp}Eビットをセットし5～10 μ sの待機時間を経過した後、消去ブロック指定レジスタ1、2（EBR1、EBR2）で設定します。FLMCRのEビットをセットし、動作モードを消去モードに設定します。Eビットをセットしている時間が消去時間になります。消去は、過消去にならないよう、消去時間をソフトウェアタイマで分割して実行してください。プログラムの暴走等により、消去し過ぎるとしきい値電圧が負になりメモリセルが正常に動作しなくなりますので、消去モードに設定する前に、あらかじめウォッチドッグタイマを設定し、過消去を起こすことのないようにしてください。

18.7.5 消去ベリファイモード

消去ベリファイモードは、消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。消去時間経過後、消去モードを解除（Eビット=0）し、消去ベリファイモード（EVビット=1）に設定してください。設定した後、4 μ sの待機時間をとってください。消去ベリファイモードは、リードする前にリードするアドレスにデータH'FFをダミーライトしてください。このダミーライトにより、ラッチしたアドレスのメモリセルに消去ベリファイ電圧が印加されます。この状態でフラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、ダミーライト後、2 μ sの待機時間を経過した後行ってください。読み出したデータが消去されていた場合、次のアドレスをダミーライトし2 μ sの待機時間を経過した後消去ベリファイを行います。読み出したデータが未消去の場合は、再度消去モードに設定し、同様に消去、消去ベリファイシーケンスを最終アドレスまで繰り返します。ただし、この消去、消去ベリファイシーケンスの繰り返しは、602回を越えない範囲で全メモリデータが1になるまで行ってください。

18.7.6 消去のフローチャートとプログラム例

■ 1 ブロック消去のフローチャート

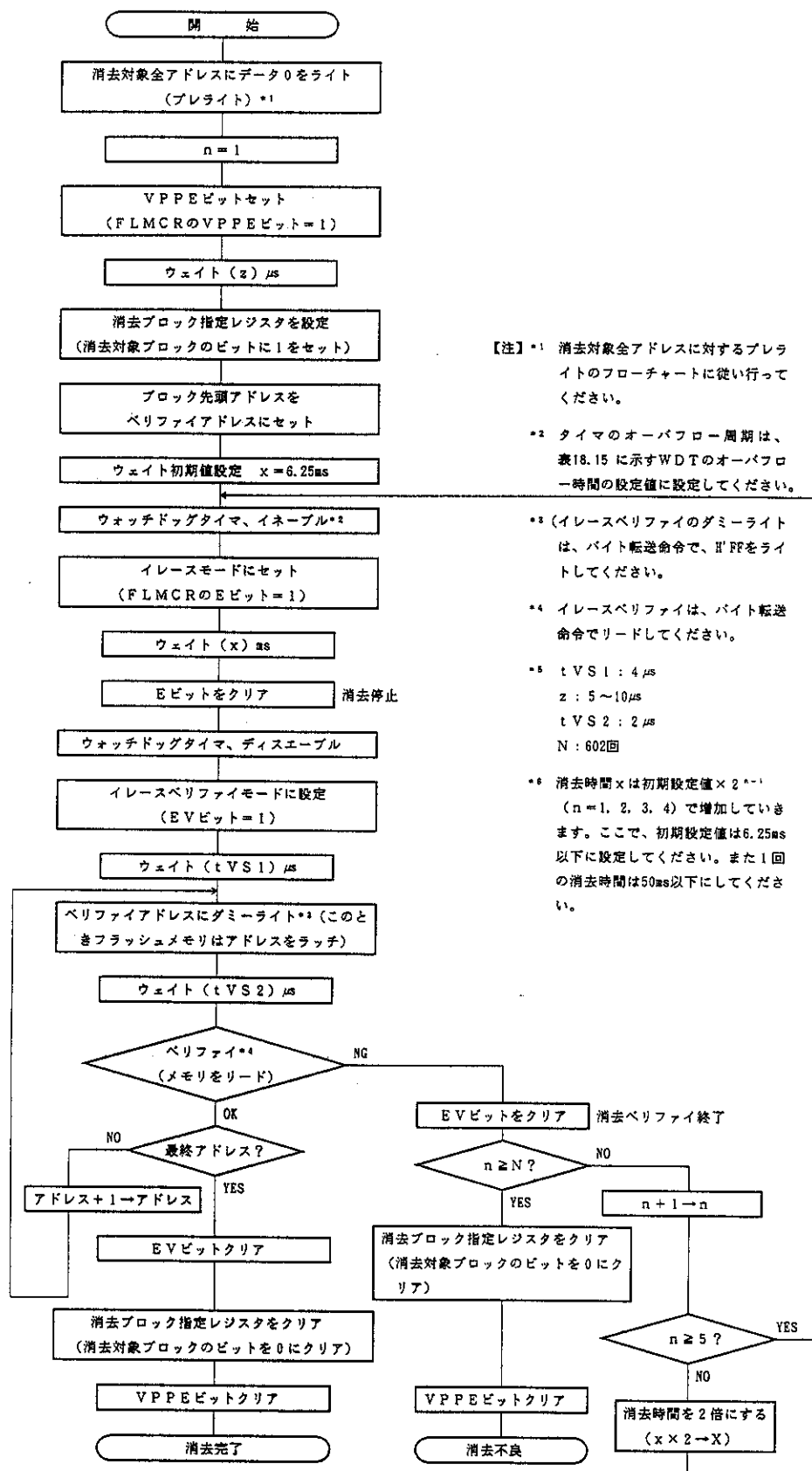


図18.16 消去フローチャート

■ プレライトのフローチャート

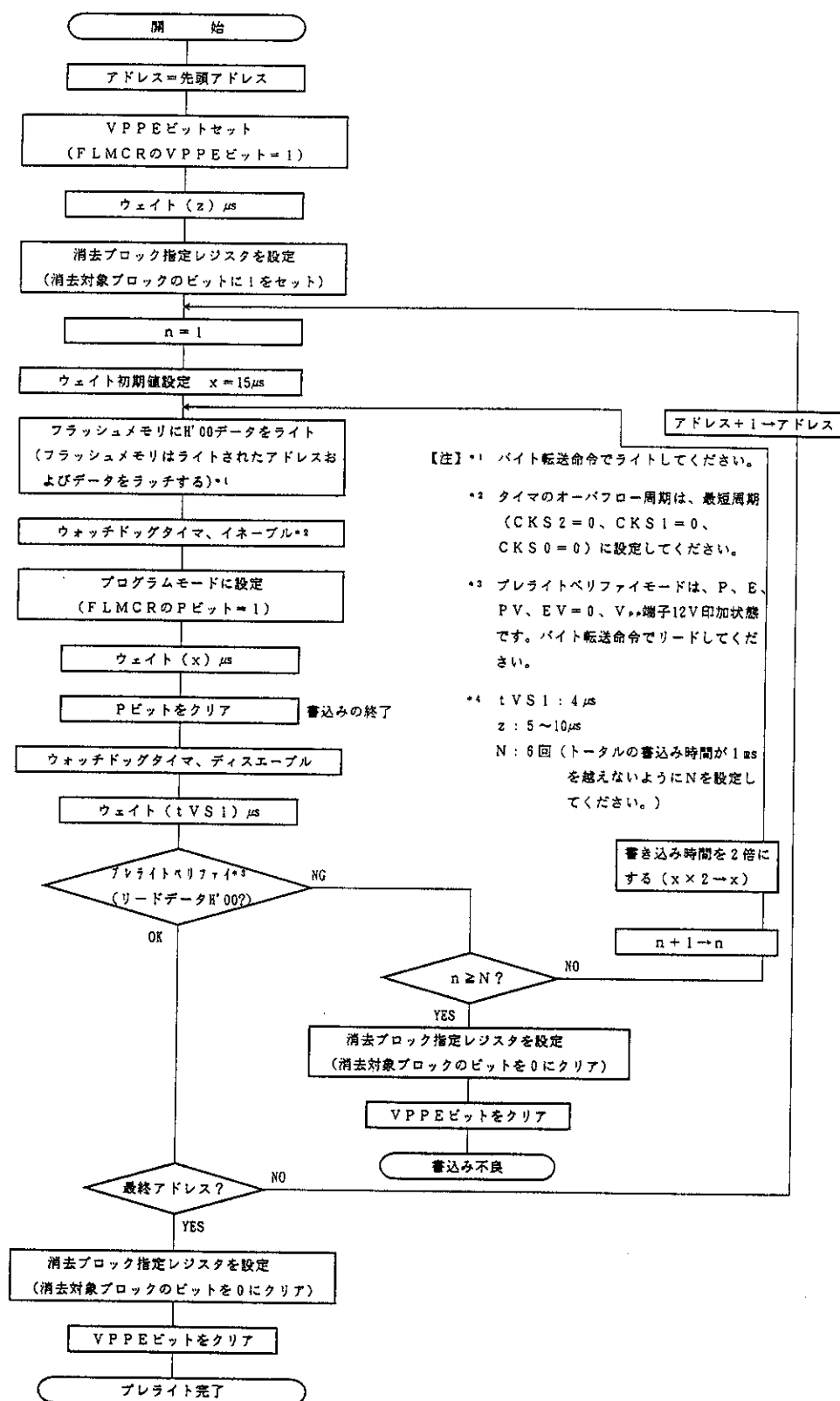


図18.17 プレライトフローチャート

■ 1 ブロック消去のプログラム例

使用レジスタと使用方法

R 0 : プレライトベリファイおよびイレースベリファイのフェイルカウンタに用います。

ER 1 : プレライトに用いるアドレスを格納します。

ER 2 : プレライトおよびイレースベリファイに用いるアドレスを格納します。

ER 3 : イレースベリファイに用いるアドレスを格納します。

ER 3 : イレースベリファイに用いるアドレスを格納します。

ER 4 : ループカウンタ値の設定に用います。

R 5 : 各レジスタの設定に用います。

R 6 : 各レジスタの設定に用います。

プログラム中の # a、# c、# d、# e、# f、# g、# h の値は動作周波数によって異なります。

表18.14および表18.15の計算方法によって算出してください。

```
FLMCR: .EQU      FFFF40
EBR1:  .EQU      FFFF42
EBR2:  .EQU      FFFF43
TCSR:  .EQU      FFFFA8
```

; # BLKSTRは消去するブロックの先頭アドレスを設定してください。

; # BLKENDは消去するブロックの最終アドレスを設定してください。

```
MOV.L    #BLKSTR:32, ER1    ; ER1:消去対象ブロックの先頭アドレス
```

```
MOV.L    #BLKEND:32, ER2    ; ER2:消去対象ブロックの最終アドレス
```

; プレライト実行

```
PREWRT: MOV.W    #g,        R4        ; ウェイトカウンタの設定
```

```
MOV.W    #4140,    R6            ;
```

```
MOV.B    R6L,      @FLMCR:8 ; Vppビットセット
```

```
LOOPRO: DEC.W    #1,        R4        ;
```

```
BPL      LOOPRO            ;
```

; 消去するブロックに対応するEBR1またはEBR2のビットをセットしてください。

```
MOV.B    #**,      R5H          ;
```

```
MOV.B    R5H,      @EBR*        ; EBR*セット
```

```
PREWRN: SUB.B    R0H,      R0H      ; R0: プレライトベリファイフェイルカウンタ
```

```
MOV.W    # a ,     E4            ; プレライト ループカウンタの初期値設定
```

```
PREWRS: MOV.B    #00,      R5H      ; データ#00をライト
```

```
MOV.B    R5H,      @ER1          ;
```

```
MOV.W    #A579,    R5            ; WDT スタート
```

```

MOV.W    R5,    @TCSR:16 ;
MOV.W    E4,    R4      ; フレライト ループカウンタ設定
MOV.W    #4140, R6      ;
MOV.B    R6H,    @FLMCR:8 ; ペットセット
LOOPR1: DEC.W    #1,    R4      ; フレライト
        BPL     LOOPR1      ;
MOV.B    R6L,    @FLMCR:8 ; ペットクリア
MOV.W    #A500,  R5      ; WDTストップ
MOV.W    R5,    @TCSR:16 ;
MOV.W    # c ,   R5      ; フレライトベリファイ ループカウンタの設定
LOOPR2: DEC.W    #1,    R5      ; ウェイト
        BPL     LOOPR2      ;
MOV.B    @ER1,   R5H      ; リードデータ=#00?
BEQ      PWVFOK      ; リードデータ=#00ならばPWVFOKに分岐
CMP.B    #05,    R0H      ; フレライトベリファイ 6 回実行?
BEQ      ABEND1      ; フレライトベリファイ 6 回実行ならばABEND1に分岐
SHLL.W   E4          ; フレライトループカウンタを 2 倍
INC.B    R0H        ; フレライトベリファイ フェイルカウンタ+1 -> R0H
BRA      PREWRS      ; 再フレライト処理
PWVFOK: CMP.L    ER2,    ER1    ; 最終アドレス?
        BEQ     ERASES      ;
        INC.L    #1,      ER1    ; アドレス+1 -> R1
        BRA     PREWRN      ; 最終アドレスでなければ次アドレスのフレライト

```

; イレース実行

```

ERASES: SUB.W    R0,      R0      ; R0:イレースベリファイ フェイルカウンタ
        MOV.L    #BLKSTR:32,ER3  ; ER3:消去対象ブロックの先頭アドレス
        MOV.W    # d ,     E4      ; イレースループカウンタ の初期値設定
ERASE:  CMP.W    #025A,    R0      ; R0 = 025A? (イレースベリファイ フェイルカウンタ603回?)
        BEQ      ABEND2      ; R0 = 025AならばABEND2に分岐
        INC.W    #1,      R0      ; イレースベリファイフェイルカウンタ+1 -> R0

        MOV.W    E4,      R4      ;
        MOV.W    # f ,     R5      ; WDTスタート
        MOV.W    R5,    @TCSR:16 ;
        MOV.B    #42,     R5H      ; Eビット セット
        MOV.B    R5H,     @FLMCR:8 ;
LOOPE:  PUSH.L    ER5
        POP.L     ER5

```

```

PUSH.L    ER5
POP.L     ER5
PUSH.L    ER5
POP.L     ER5
DEC.W     #1,      R4      ; イレス
BPL       LOOPE      ;
MOV.B     #40,     R5H     ;
MOV.B     R5H,     @FLMCR:8 ; EVビット クリア
MOV.W     #A500,   R5      ;
MOV.W     R5,      @TCSR:16 ; WDTストップ

; イレスベリファイ実行
MOV.B     #48,     R5H     ;
MOV.B     R5H,     @FLMCR:8 ; EVビット セット

MOV.W     # e ,    R4      ; R4: イレスベリファイ ループカウンタ
LOOPEV: DEC.W     #1,     R4      ;
BPL       LOOPEV     ; ウェイト

EVR2: MOV.B     #FF,    R4H     ;
MOV.B     R4H,     @ER3      ; ダミーライト
MOV.W     # h ,    R4      ; R4: イレスベリファイ ループカウンタ
LOOPDW: DEC.W     #1,     R4      ;
BPL       LOOPDW     ; ウェイト
MOV.B     @ER3+,   R4H     ; リード
CMP.B     #FF,     R4H     ; リードデータ = #FF?
BNE       RERASE     ; リードデータ ≠ #FFならばRERASEに分岐
CMP.L     ER2,     ER3      ; ブロック最終アドレス?
BGT       EVR2       ; ブロック最終アドレスでなければ次アドレス イレスベリファイ
BRA       OKEND      ; OKENDに分岐
RERASE: MOV.W     #4000,   R5      ;
MOV.B     R5H,     @FLMCR:8 ; EVビットクリア
DEC.L     #1,      ER3      ; イレスベリファイアドレス-1 -> R3
CMP.W     #0004    R0      ;
BGE       KEEP       ; イレス 4 回目?
SHLL.W    E4        ; イレスループカウンタを 2 倍
KEEP:  BRA       ERASE     ; 再イレス
OKEND: MOV.W     #4000,   R5      ;
MOV.B     R5H,     @FLMCR:8 ; EVビット クリア

```

```
MOV.W    #0000,    R5        ;  
MOV.W    R5,       @EBR1:16 ; EBR1とEBR2のクリア  
MOV.B    R5L,      @FLMCR:8 ; Vppビットクリア
```

・・・・・・・・・・・・・・・・・・・・・・1ブロック消去完了

```
ABEND1: MOV.W    #0000,    R5        ;  
MOV.W    R5,       @EBR1:16 ; EBR1とEBR2のクリア  
MOV.B    R5L,      @FLMCR:8 ; Vppビットクリア  
書込み不良
```

```
ABEND2: MOV.W    #0000,    R5        ;  
MOV.W    R5,       @EBR1:16 ; EBR1とEBR2のクリア  
MOV.B    R5L,      @FLMCR:8 ; Vppビットクリア  
消去不良
```

■ 複数ブロック消去のフローチャート

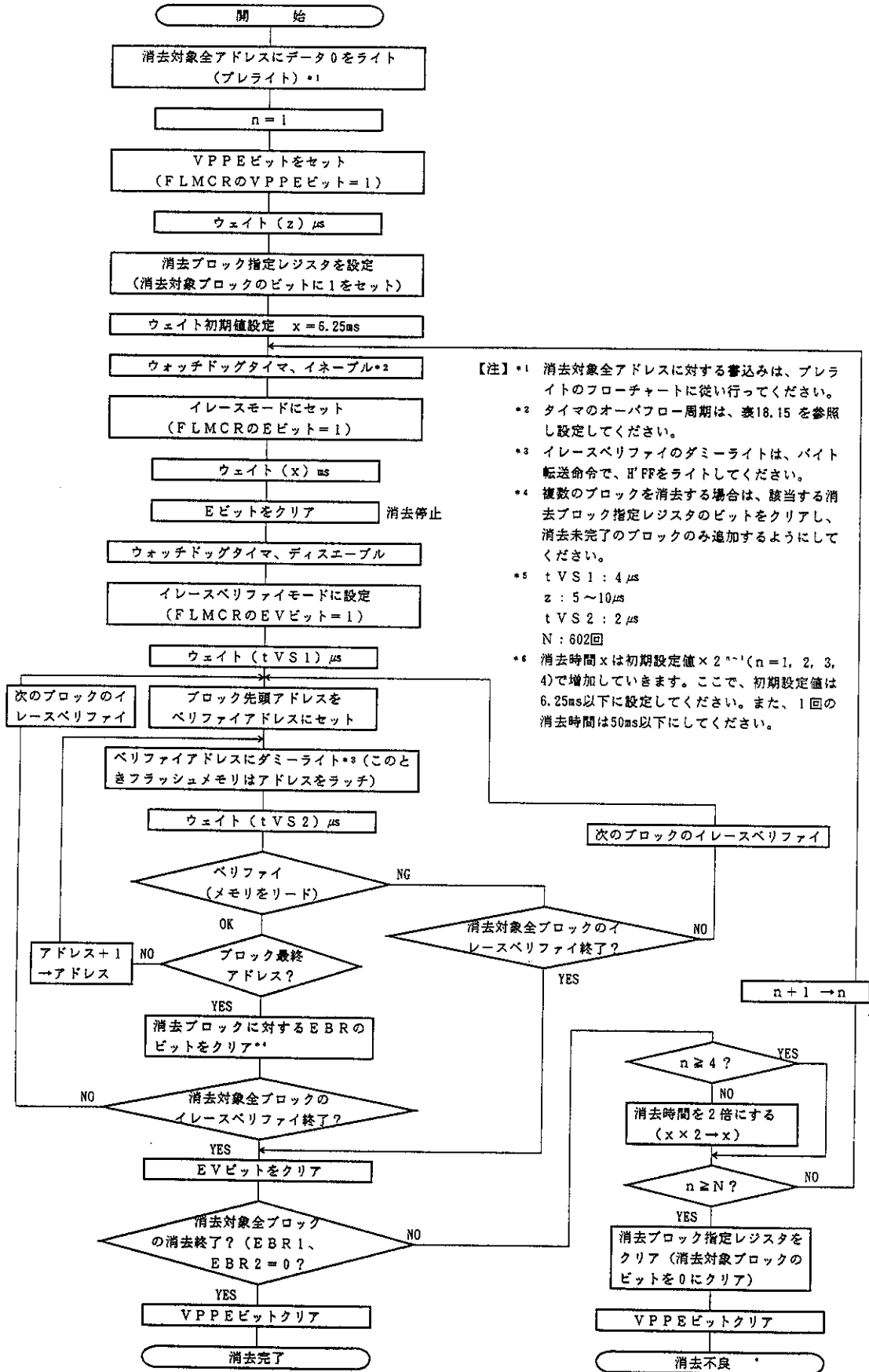


図18.18 複数ブロック消去フローチャート

■ 複数ブロック消去のプログラム例

使用レジスタと使用方法

R 0・R 6：イレースブロックの指定に用います。（後述の説明に従い設定してください。）

R 1 H：プレライトベリファイのフェイルカウントに用います。

R 1 L：R 0 の 0 ビットから 15 ビットをテストするのに使用します。

E R 2：プレライトおよびイレースベリファイ時に用いるアドレス格納番地を指定します。

E R 3：プレライトおよびイレースベリファイ時に用いるアドレスを格納します。

E R 4：プレライトおよびイレースベリファイ時に用いるアドレスを格納します。

E R 5：各種レジスタの設定に用います。

E 0・E 1：ループカウンタの設定に用います。

E 6：イレースベリファイのフェイルカウントに用います。

R 6 に設定する値により、任意のブロックを消去することが可能です。

R 6 の各ビットと、消去するブロックの対応とその具体例を以下に示します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R 6	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							

【具体例】L B 2、S B 7、S B 0を消去する場合

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R 6	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							

設定値 0 0 0 0 0 1 0 0 1 0 0 0 0 0 0 0 1

R 6 の設定は次のようになります。

```
MOV.W #0481, R6
```

```
MOV.W R6, @EBR1
```

プログラム中の # a、# c、# d、# e、# f、# g、# h の値は動作周波数によって異なります。表 18.14 および 表 18.15 の計算方法によって算出してください。

プログラム中の#RAMSTRは、ROM内の本プログラムをRAMに転送する際のRAM先頭アドレスを入れてください。

```
FLMCR:      .EQU    FFFF40
EBR1:       .EQU    FFFF42
EBR2:       .EQU    FFFF43
TCSR:       .EQU    FFFFA8
```

; R0の値を設定してください。

```
START: MOV.W    #FFFF,    R6          ; 消去するブロックの選択 (R6:EBR1/EBR2)
```

```
      MOV.W     R6,      R0          ; R0: EBR1/EBR2
```

```
      SUB.W     R1,      R1          ; R1L: R0のR1ビットテストを行うのに用いる
```

; #RAMSTRはプログラム転送先の先頭アドレス(RAM)を入れてください。(偶数に設定してください)

```
      MOV.L     #RAMSTR:32, ER2      ; 転送先の先頭アドレス (RAM)
```

```
      ADD.L     #ERVADR:32, ER2      ; #RAMSTR+#ERVADR→ER2
```

```
      SUB.L     #START:32, ER2       ; ER2: RAM内で用いるデータ領域のアドレス
```

```
PRETST: CMP.B   #10,      R1L        ; R1L=#10 ?
```

```
      BEQ       ERASES              ; R0の全ビットチェック終了ならERASESに分岐
```

```
      CMP.B     #08,      R1L        ;
```

```
      BCC       BC0                 ;
```

```
      BTST      R1L,      R0H        ;
```

```
      BNE       PREWRT              ;
```

```
      BRA       PWADD1              ;
```

```
BC0:   BTST      R1L,      R0L        ; R0のR1ビットをテスト
```

```
      BNE       PREWRT              ; R0のR1ビットが1ならばPREWRTに分岐
```

```
PWADD1: INC.B    R1L                ; R1L+1→R1L
```

```
      MOV.L     @ER2+,      ER3      ; ER2のダミー インクリメント
```

```
      BRA       PRETST
```

; プレライト実行

```
PREWRT: MOV.L     @ER2+,      ER3      ; ER3: プレライト スタートアドレス
```

```
      MOV.L     @ER2,      ER4      ; ER4: 次ブロックの先頭アドレス
```

```
      MOV.W     #g,      E5         ; ウェイトカウンタ
```

```
      MOV.W     #4140,     R5        ;
```

```
      MOV.B     R5L,      @FLMCR:8   ; VppEビットセット
```

```
LOOPPR0: DEC.W    #1,      E5        ;
```

```
      BPL       LOOPPR0             ;
```

```
      MOV.W     R6,      @EBR1:16    ; EBRセット (R6:EBR1/EBR2)
```

```
PREW:   MOV.B     #01,      R1H      ; プレライトベリファイ フェイルカウンタ
```

```
      MOV.W     #a,      E0         ; プレライトループカウンタ 初期値設定
```

```
PREWRS: MOV.B     #00      R5H      ; データ#00をライト
```

```
      MOV.B     R5H,      @ER3      ;
```

```

MOV.W    #A579,    E5        ;
MOV.W    E5,      @TCSR:16   ; WDT スタート
MOV.W    E0,      E1        ; プログラム ループカウンタの設定
MOV.W    #4140,    R5
MOV.B    R5H,     @FLMCR:8   ; Pビットセット
LOOPR1:  DEC.W    #1,      E1    ; プログラム
        BPL      LOOPR1      ;
MOV.B    R5L,     @FLMCR:8   ; Pビット クリア
MOV.W    #A500,    R5        ;
MOV.W    R5,      @TCSR:16   ; WDT ストップ

MOV.W    # c ,    R5        ; フレイトベリファイループカウンタ
LOOPR2:  DEC.W    #1,      R5    ;
        BPL      LOOPR2      ;

MOV.B    @ER3,    R5H       ; リードデータ=#00 ?
BEQ      PWVFOK          ; リードデータ=#00ならばPWVFOKに分岐

PWVFNG:  CMP.B    #06,     R1H   ; フレイトベリファイ 6 回実行 ?
        BEQ      ABEND1        ; フレイトベリファイ 6 回実行ならばABEND1に分岐
        INC.B    R1H          ; フレイトベリファイ フェイルカウンタ+1→R1H
        SHLL.W   E0          ; フレイトループカウンタを 2 倍
        BRA      PREWRS       ; 再フレイト処理

PWVFOK:  INC.L    #1,      ER3    ; アドレス+1→ER3
        CMP.L    ER4,     ER3    ; 最終アドレス ?
        BEQ      PWADD2        ;
        BRA      PREW          ;

PWADD2:  INC.B    R1L        ; R0のR1L+1ビットをテストするのに用いる
        BRA      PRETST       ; PRETSTに分岐

; イレース実行
ERASES:  MOV.W    R6,      @EBR1:16 ; EBR1/EBR2の設定

        SUB.W    E6,      E6      ; E6: イレースベリファイ フェイルカウンタ
MOV.W    # d ,    E0        ; イレースループカウンタの初期値設定

ERASE:   MOV.W    # f ,    R5      ;
        MOV.W    R5,      @TCSR:16 ; WDT スタート
        MOV.W    E0,      E1      ; イレース ループカウンタの設定
        MOV.W    #4240,    R5      ;
        MOV.B    R5H,     @FLMCR:8 ; Eビット セット
LOOPE:   PUSH.L   ER5
        POP.L    ER5
        PUSH.L   ER5
        POP.L    ER5
        PUSH.L   ER5
        POP.L    ER5

```

```

DEC.W    #1,      E1      ; イレス
BPL      LOOPE
MOV.B    R5L,     @FLMCR:8 ; Eビット クリア
MOV.W    #A500,   R5       ;
MOV.W    R5,      @TCSR:16 ; WDTストップ

; イレスベリファイ実行
EVR:     MOV.W    R6,      R0      ; R0: EBR1/EBR2
          SUB.W    R1,      R1      ; R1: R0のR1ビットテストを行うのに用いる

; #RAMSTRは本プログラムの転送先であるRAMの先頭アドレスを入れてください
MOV.L    #RAMSTR:32, ER2      ; 転送先の先頭アドレス (RAM)
ADD.L    #ERVADR:32, ER2      ; #RAMSTR+#ERVADR→ER2
SUB.L    #START:32,  ER2      ; ER2: RAM内で用いるデータ領域のアドレス

MOV.B    #48,     R5H         ;
MOV.B    R5H,     @FLMCR:8    ; EVビット セット

MOV.W    # e ,    R5          ; R5: イレスベリファイカウンタの設定
LOOPEV:  DEC.W    #1,      R5      ; プログラム
          BPL      LOOPEV        ; ウェイト

EBRTST:  CMP.B    #10,     R1L      ; R1L=#10 ?
          BEQ      HANTEI        ; R0の全ビットチェック終了ならHANTEIに分岐
          CMP.B    #08,     R1L      ;
          BCC      BC1           ;
          BTST     R1L,      R0H      ; R0H(EBR1)のR1ビットをテスト
          BNE      ERSEVF        ;
          BRA      ADD01         ;
BC1:     BTST     R1L,      R0L      ; R0L(EBR2)のR1ビットをテスト
          BNE      ERSEVF        ; R0のR1ビットが1ならばERSEVFに分岐

ADD01:   INC.B    R1L           ; R1L+1→R1L
          MOV.L    @ER2+,     ER3      ; R2のダミー インクリメント
          BRA      EBRTST

ERSEVF:  MOV.L    @ER2+,     ER3      ; ER3: イレスベリファイするブロック先頭アドレス
          MOV.L    @ER2,     ER4      ; ER4: 次ブロック先頭アドレス

EVR2:    MOV.B    #FF,      R5H      ;
          MOV.B    R5H,      @ER3      ; ダミーライト
          MOV.W    # h ,    R5        ; R5: イレスベリファイカウンタ
LOOPDW:  DEC.W    #1,      R5        ;
          BPL      LOOPDW        ; ウェイト
          MOV.B    @ER3+,     R5L      ; リード
          CMP.B    #FF,      R5L      ; リードデータ = #FF?
          BNE      ADD02         ; リードデータ = #FFでなければADD02へ分岐
          CMP.L    ER4,      ER3      ; ブロック 最終アドレス?
          BNE      EVR2         ; ブロック 最終アドレスでなければEVR2へ分岐

```

```

        CMP.B    #08,    R1L    ;
        BCC      BC2        ;
        BCLR     R1L,    R0H    ; R0H(EBR1)のR1Lビットをクリア
        BRA      ADD02      ;
BC2:    BCLR     R1L,    R0L    ; R0L(EBR2)のR1Lビットをクリア
ADD02:  INC.B    R1L        ; R1L+1→R1L
        BRA      EBRTST     ; 次の消去ブロックのイレースベリファイ

HANTEI; MOV.W    #4000,    R5    ;
        MOV.B    R5H,    @FLMCR:8 ; EVビットクリア
        MOV.W    R0,     @EBR1:16 ; イレースブロック完了のビットクリア

        BEQ      EOWARI     ; EBR1/EBR2が全て0ならば消去正常終了

        CMP.W    #025A,    E6    ; E6=025A? (イレースベリファイ回602回?)

        BEQ      ABEND2     ; E6=025AならばABEND2に分岐
        INC.W    #1,     E6    ; イレースベリファイ回カウンタ+1→E6
        CMP.W    #0004,    E6    ;
        BGE      KEEP      ; イレース4回目?
        SHLL.W    E0        ; イレースカウンタを2倍
KEEP:   BRA      ERASE      ; 再イレース

```

;-----< イレースベリファイ時のブロックアドレステーブル >-----

```

        .ALIGN    2
ERVADR: .DATA.L    00000000    ; #0000 LB0
        .DATA.L    00004000    ; #4000 LB1
        .DATA.L    00008000    ; #8000 LB2
        .DATA.L    0000C000    ; #C000 LB3
        .DATA.L    00010000    ; #10000 LB4
        .DATA.L    00014000    ; #14000 LB5
        .DATA.L    00018000    ; #18000 LB6
        .DATA.L    0001C000    ; #1C000 LB7
        .DATA.L    0001F000    ; #1F000 SB0
        .DATA.L    0001F200    ; #1F200 SB1
        .DATA.L    0001F400    ; #1F400 SB2
        .DATA.L    0001F600    ; #1F600 SB3
        .DATA.L    0001F800    ; #1F800 SB4
        .DATA.L    0001FA00    ; #1FA00 SB5
        .DATA.L    0001FC00    ; #1FC00 SB6
        .DATA.L    0001FE00    ; #1FE00 SB7
        .DATA.L    00020000    ; #20000 FLASH AREA END ADDRESS

```

```

EOWARI: MOV.B    #00,    R5L    ;
        MOV.B    R5L,    @FLMCR:8 ; VPP E ビットクリア
        消去完了
ABEND1: MOV.W    #0000,    R5    ;
        MOV.W    R5,     @EBR1:16 ; EBR1とEBR2のクリア
        MOV.B    R5L,    @FLMCR:8 ; VPP E ビットクリア
        書き込み不良

```

```
ABEND2: MOV.W    #0000,   R5      ;  
        MOV.W    R5,      @EBR1:16 ; EBR1とEBR2のクリア  
        MOV.B    R5L,     @FLMCR:8 ; V_PPE ビットクリア  
        消去不良
```

■ プログラム中のループカウンタ値およびWDTオーバーフロー時間の設定

プログラム例中のa～hは動作周波数によって設定が変わります。

10MHzの場合を表18.14に示します。その他の動作周波数のときは、以下に示す計算式により算出してください。ただし、fに関しては表18.15に従って設定をしてください。

表18.14 プログラム中のループカウンタ値 (10MHz)

変 数 動作周波数		a (f)	b (f)	c (f)	d (f)	e (f)	g (f)	h (f)
f = 10MHz	16進表示	H'0019	H'0007	H'0007	H'03B3	H'0007	H'0009	H'0004
	10進表示	25	7	7	947	7	9	4

(参) Program tVS1 tVS2 Erase tVS1 z tVS2
at write at pre-write at erase

【計算式】

$$a(f) \sim h(f) = \frac{\text{動作周波数 } f \text{ [MHz]}}{10} \times a(f=10) \sim h(f=10)$$

【計算例】 16MHzの場合

$$a(f) = \frac{16}{10} \times 25 = 40 \approx \text{H}'0028$$

$$b(f) = \frac{16}{10} \times 7 = 11.2 \approx \text{H}'000C$$

$$c(f) = \frac{16}{10} \times 7 = 11.2 \approx \text{H}'000C$$

$$d(f) = \frac{16}{10} \times 947 = 1515.2 \approx \text{H}'05EC$$

$$e(f) = \frac{16}{10} \times 7 = 11.2 \approx \text{H}'000C$$

$$g(f) = \frac{16}{10} \times 9 = 14.4 \approx \text{H}'000F$$

$$h(f) = \frac{16}{10} \times 4 = 6.4 \approx \text{H}'0007$$

表18.15 WDTオーバーフロー時間の設定

動作周波数 [MHz] \ 変数	f
10MHz以上～16MHz以下	H' A57F
2 MHz以上～10MHz未満	H' A57E
1 MHz以上～2 MHz未満	H' A57D

【注】ウォッチ・ドッグ・タイマ（WDT）の設定値は、WDTスタートからストップまでの間の書込み時間、消去時間を含んだ命令数で計算されています。このため、このプログラム例中のWDTスタートからストップまでの間に、さらに命令を追加しないでください。

18.7.7 プレライトベリファイモード

プレライトベリファイモードは、消去前にしきい値電圧を揃えるため、全ビット“0”書込み後に使用するベリファイモードです。

全ビットの書込みは、図18.17に示すプレライトのアルゴリズムに従いH'00を書き込んでください。これにより、書込み後のフラッシュメモリの全データをH'00にしてください*。所定の書込み時間経過後、書込みモードを解除（Pビット＝0）し、プレライトベリファイモード（P、E、PV、EVビット＝0）に設定してください。プレライトベリファイモードは、リードしたアドレスのメモリセルにプレライトベリファイ電圧を印加します。この状態でフラッシュメモリをリードすると、リードしたアドレスのデータが読み出されます。リード動作は、プレライトベリファイモードに設定後4 μ sの待機時間を置いて行ってください。

【注】プレライトのプログラム例は、消去フローのプログラム例を参照してください。

18.7.8 プロテクトモード

フラッシュメモリに対する書込み／消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの二つのモードがあります。以下にこのプロテクトモードについて解説します。

(1) ソフトウェアプロテクト

ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ（FLMCR）のPビットおよびEビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。このプロテクトの詳細を以下に示します。

項 目	説 明	機 能		
		書込み	消去	ベリファイ ^{*1}
ブロック指定プロテクト	<p>消去ブロック指定レジスタ（EBR1、EBR2）によりブロック別に書込み／消去プロテクトの設定が可能です。</p> <p>EBR1およびEBR2をH'00に設定すると全ブロックが書込み／消去プロテクト状態になります。</p>	不可	不可	可
エミュレーションプロテクト	RAMコントロールレジスタ（RAMCR）のRAMSビットをセットすることにより、全ブロックの書込み／消去プロテクト状態となります。	不可 ^{*2}	不可 ^{*3}	可 ^{*2}

【注】^{*1} プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモードです。

^{*2} フラッシュメモリとオーバーラップしたRAMエリアは除きます。

^{*3} 全ブロックが消去不可となり、ブロック別の指定はできません。

(2) ハードウェアプロテクト

ハードウェアプロテクトでは、フラッシュメモリに対する書込み、消去が強制的に禁止、中断された状態でフラッシュメモリコントロールレジスタ (FLMCR) および消去ブロック指定レジスタ (EBR1、EBR2) の設定はリセットされます。またエラープロテクトの場合はPビットおよびEビットをセット可能ですが、プログラムモードおよびイレースモードへは遷移しません。このハードウェアプロテクト状態の詳細を以下に示します。

項 目	説 明	機 能		
		書込み	消去	ベリファイ ^{*1}
プログラム 電圧 (V _{pp}) プロテクト	V _{pp} に12Vが印加されていないときには、FLMCR、EBR1、2はイニシャライズされ、書込み、消去が禁止された状態になります。このプロテクト状態にするためには、V _{pp} 電圧が電源電圧V _{cc} を越えないようにしてください。 ^{*3}	不可	不可 ^{*2}	不可
リセット、 スタンバイ プロテクト	リセット (ウォッチドッグタイマリセットを含む) およびスタンバイ時はFLMCR、EBR1、2はイニシャライズされ、書込み、消去が禁止された状態になります。ただし、RES端子によるリセットでは、電源投入時は最低20ms (発振安定時間) の間、RES端子をLOWレベルに保持しないと確実にリセット状態になりません。また、動作中のリセットは最低10システムクロック (10φ) サイクルの間RES端子をLOWレベルに保持する必要があります。	不可	不可 ^{*2}	不可
エラープロ テクト	フラッシュメモリへの書込み、消去中にマイコン動作中の異常を検出 (エラー発生 (FLER=1)) した場合に、エラープロテクトが有効となります。このとき、FLMCR、EBR1、2の設定は保持しますが、エラーが発生した時点で書込み、消去を強制的に中断します。プロテクトの解除はリセットまたはハードウェアスタンバイのみです。詳細については、次頁のエラープロテクトを参照してください。	不可	不可 ^{*2}	可

【注】^{*1} プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。

^{*2} 全ブロックが消去不可となり、ブロック別の指定はできません。

^{*3} 詳細については「18.10 フラッシュメモリの書込み/消去の注意」を参照してください。

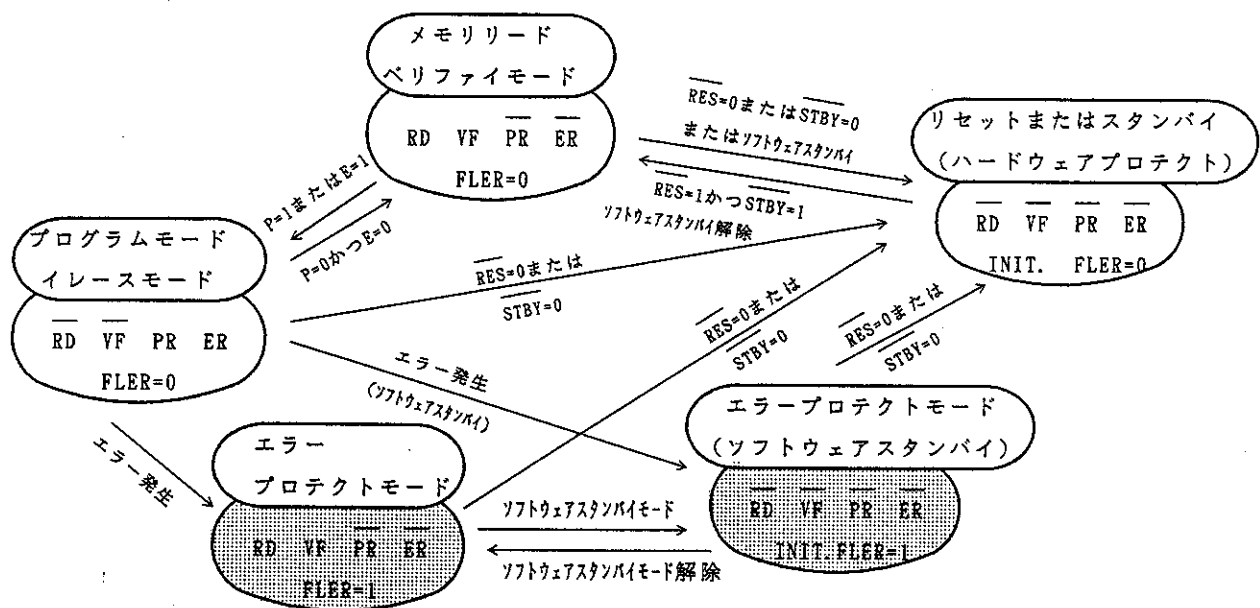
■ エラープロテクト

フラッシュメモリへの書込み、消去中（FLMCRのPビットまたはEビットがセットされた状態）に発生したマイコンの異常動作（書込み／消去アルゴリズムに従っていない動作）がフラッシュメモリエラー（RAMCRのFLERビットがセット）として検出された場合に、フラッシュメモリはエラープロテクト状態へ遷移します（これはフラッシュメモリの動作状態を示すもので、これによりマイコンの動作が影響を受けることはありません）。

このとき、フラッシュメモリコントロールレジスタ（FLMCR）および消去ブロックレジスタ（EBR1、2）の設定は保持*されていますが、エラーが発生した時点でプログラムモードまたはイレースモードを強制的に中断します。また、FLERビットがセットされた状態では、FLMCRのPビットまたはEビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただしFLMCRのPVビット、EVビットの設定は有効です。このため、エラープロテクト状態ではベリファイモードへの遷移は可能です。

このプロテクト状態の解除はリセットまたはハードウェアスタンバイモードのみです。

【注】* レジスタへのライトは可能です。ただし、ソフトウェアスタンバイモードに遷移した場合はレジスタはイニシャライズされます。



RD : メモリリード可
VF : ベリファイリード可
PR : プログラム可
ER : イレース可

RD : メモリリード不可
VF : ベリファイリード不可
PR : プログラム不可
ER : イレース不可

INIT. : レジスタ（FLMCR、EBR1、2）のイニシャライズ状態

図18.19 フラッシュメモリ状態遷移図

（モード5、6、7（内蔵ROMが有効）でプログラム電圧（V_{PP}）印加時）

このエラープロテクトモードはフラッシュメモリへの書込み、消去中にマイコンが暴走したり、書込み／消去アルゴリズムに従っていない動作をした場合に発生する異常を検出することによって、過書込みや過消去によるフラッシュメモリへのダメージを、極力防止することを目的とした機能です。

しかし、フラッシュメモリエラー（FLER）ビットのセット条件以外の異常動作に対してはこの機能は無効です。また、このプロテクト状態に遷移するまでに相当な時間が経過している場合は、すでにフラッシュメモリにダメージを与えている可能性があります。従って、この機能ではフラッシュメモリへのダメージを完全に防止することはできません。

このため、このような異常動作を防止するためには、プログラム電圧（V_{PP}）が印加された状態では書込み／消去アルゴリズムに従ってマイコンを正しく動作させることと、マイコンの異常をウォッチドックタイマ等でマイコン内部および外部で常に監視することが必要です。また、このプロテクトモードへ遷移した時点でのフラッシュメモリは誤書込み、誤消去等により誤ったデータが書込まれた状態であったり、強制停止によって書込みや消去が不十分であるため、必ずブートモードによる強制復帰を行ってください。

ただし、メモリ内に過消去状態のメモリセルが存在すれば、ブートモードが正常に起動されない場合があります（H8／3048Fの組み込みのブートプログラムは、フラッシュメモリエリアの一部にあり、メモリ内に過消去セルが存在するとブートプログラムも正常に読み出せなくなります）。

18.7.9 NMI入力禁止条件

フラッシュメモリへの書込み、消去中（FLMCRのPビットまたはEビットがセット）、およびブートモードのブートプログラム実行中（ただし内蔵RAMエリアに分岐するまでの期間^{*1}）はNMI入力が禁止されます。

これは、以下のような動作状態を回避するためのものです。

- (1) 書込み、消去中にNMI入力が発生することにより、書込み／消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書込み／消去中のNMI例外処理ではベクタリードが正常にできない^{*2}ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中にNMI入力が発生すると正常なブートモードのシーケンスが実行できなくなる。

また、エラープログラム状態でフラッシュメモリコントロールレジスタ（FLMCR）のPビットまたはEビットが保持された状態でもNMI入力は禁止状態となります。

しかし、V_{PP}印加状態ではNMI入力が禁止されていないため、マイコンの外部でNMI要求を制限する必要があります。

【注】^{*1} 内蔵RAMのブートプログラムエリア（H'FFEF10～H'FFF2FF番地）に分岐するまでの期間を示します（この分岐はユーザプログラムの転送が完了した直後に発生します）。このため、RAMエリアに分岐した後は、書込み消去以外の状態ではNMI入力が可能となります。

従って、ユーザプログラムによる初期書込み（ベクタテーブルおよびNMI処理プログラム等の書込み）が完了するまでは、マイコン外部でNMI要求を禁止する必要があります。

^{*2} この場合、以下の二つの理由によってベクタリードが正常に行われません。

- (1) 書込み、消去中（FLMCRのPビットまたはEビットがセット）にフラッシュメモリのリードを行っても正しい値を読みだすことはできません（値は不定）。
- (2) NMIベクタテーブルに値が書込まれていない場合、NMI例外処理が正しく実行されません。

18.8 RAMによるフラッシュメモリのエミュレーション

フラッシュメモリは、その消去や書込みに時間がかかるため、パラメータ等のデータをリアルタイムに書換えながらチューニングを行うといった使い方が難しい場合があります。このような場合、フラッシュメモリのリアルタイムな書換えをエミュレートするために、フラッシュメモリの小ブロックエリアにRAMの一部（H'FFF000～H'FFF1FF）を重ね合わせて使うことができます。このRAMエリアの変更は、RAMコントロールレジスタ（RAMCR）のビット3～0によって行います。また、RAMエリアの変更後は、フラッシュメモリに重ね合わせたエリアと本来のRAMエリア（H'FFF000～H'FFF1FF）の2エリアからアクセスできます。表18.16にRAMエリアの設定方法を示します。

RAMコントロールレジスタ（RAMCR）

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値*1：	0	1	1	1	0	0	0	0
R/W：	R	—	—	—	R/W	R/W	R/W	R/W

【注】*1 ビット7およびビット3～0は、リセットまたはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時には、イニシャライズされません。

表18.16 RAMエリアの設定方法

RAMエリア	ビット3	ビット2	ビット1	ビット0
	RAMS	RAM2	RAM1	RAM0
H'FFF000～H'FFF1FF	0	0 / 1	0 / 1	0 / 1
H'01F000～H'01F1FF	1	0	0	0
H'01F200～H'01F3FF	1	0	0	1
H'01F400～H'01F5FF	1	0	1	0
H'01F600～H'01F7FF	1	0	1	1
H'01F800～H'01F9FF	1	1	0	0
H'01FA00～H'01FBFF	1	1	0	1
H'01FC00～H'01FDFF	1	1	1	0
H'01FE00～H'01FFFF	1	1	1	1

■ フラッシュメモリのリアルタイムな書換えをエミュレートする例

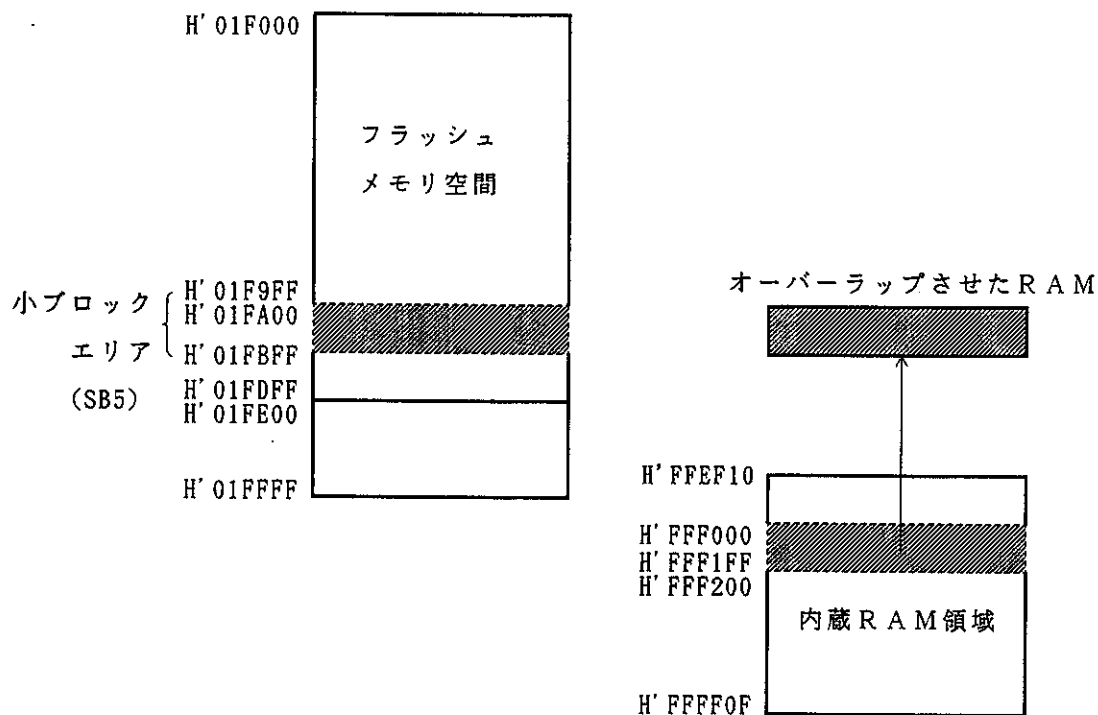


図18.20 RAMのオーバーラップ動作例

<手順>

1. SYSCRのRAMEビットを“1”にセットして内蔵RAMを有効にします。
2. リアルタイムな書換えを必要とするエリア（SB5）にRAMの一部（H' FFF000～H' FFF1FF）をオーバーラップさせます。（RAMCRのビット3～0を“1”、“1”、“0”、“1”にセットします。）
3. リアルタイムな書換えは、オーバーラップさせたRAMを使って行います。
4. 書換えデータ確定後、RAMのオーバーラップを解除します（RAMSビットをクリア）。
5. RAMのH' FFF000～H' FFF1FFに書き込まれたデータをフラッシュメモリ空間に書き込みます。

- 【注】
1. フラッシュメモリの小ブロックエリアにRAMの一部（H' FFF000～H' FFF1FF）を重ね合わせていた場合、この重ね合わせたフラッシュメモリのエリアは、アクセスできません。重ね合わせを解除することでアクセスできます。
 2. RAMSビットを“1”にセットすると、RAM2～0ビットの値にかかわらず、フラッシュメモリの全ブロックに対して書き込み／消去プロテクトが有効となります。この状態ではフラッシュメモリコントロールレジスタ（FLMCR）のPビットまたはEビットをセットしてもプログラムまたはイレースモードに移りません。このため、フラッシュメモリエリアに実際に書き込み、消去を行う場合はRAMSビットを“0”にクリアしてください。

18.9 フラッシュメモリのPROMモード

18.9.1 PROMモードの設定

内蔵ROMがフラッシュメモリのH8/3048Fでは、フラッシュメモリのプログラム、消去可能なモードとして、オンボードプログラミングモード以外にPROMモードがあります。PROMモードでは、汎用PROMライタを用いて内蔵ROMに自由にプログラムを書き込むことができます。

表18.17にPROMモードの設定方法を示します。このPROMモードでは表18.18に示すソケットアダプタを必ず使用してください。

表18.17 PROMモードの設定方法

端 子 名	設 定
モード端子：MD ₂ 、MD ₁ 、MD ₀	Lowレベルを印加
P8 ₀ 端子、P8 ₁ 端子、P9 ₂ 端子	
STBY端子、HWR端子	Highレベルを印加
P5 ₀ 端子、P5 ₁ 端子、P8 ₂ 端子	
RES端子	パワーオンリセット回路
XTAL、EXTAL端子	発振回路

18.9.2 ソケットアダプタの端子対応とメモリマップ

プログラム書込み／ベリファイは、汎用PROMライタに専用の100ピン－32ピン変換アダプタを取り付けて行います。表18.18にソケットアダプタの型名を示します。

図18.21にPROMモードのメモリマップを示します。また、図18.22にソケットアダプタの端子対応図を示します。

表18.18 ソケットアダプタ型名

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F3048F	100ピンプラスチックQFP(FP-100B)	HS3048ESHF1H
HD64F3048VF		
HD64F3048TF	100ピンプラスチックTQFP(TFP-100B)	HS3048ESNF1H
HD64F3048VTF		

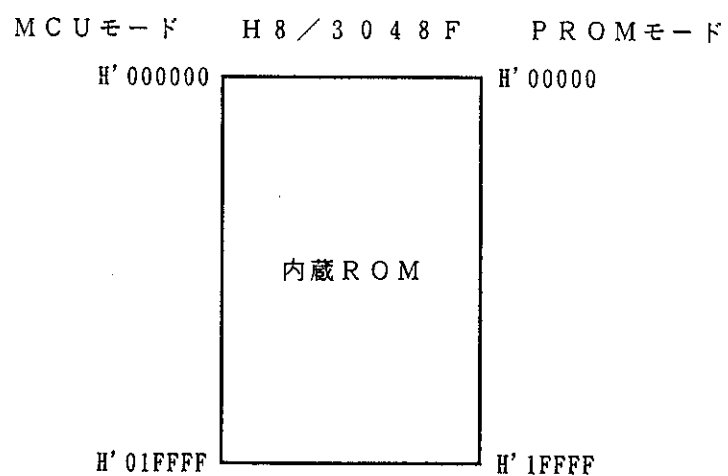
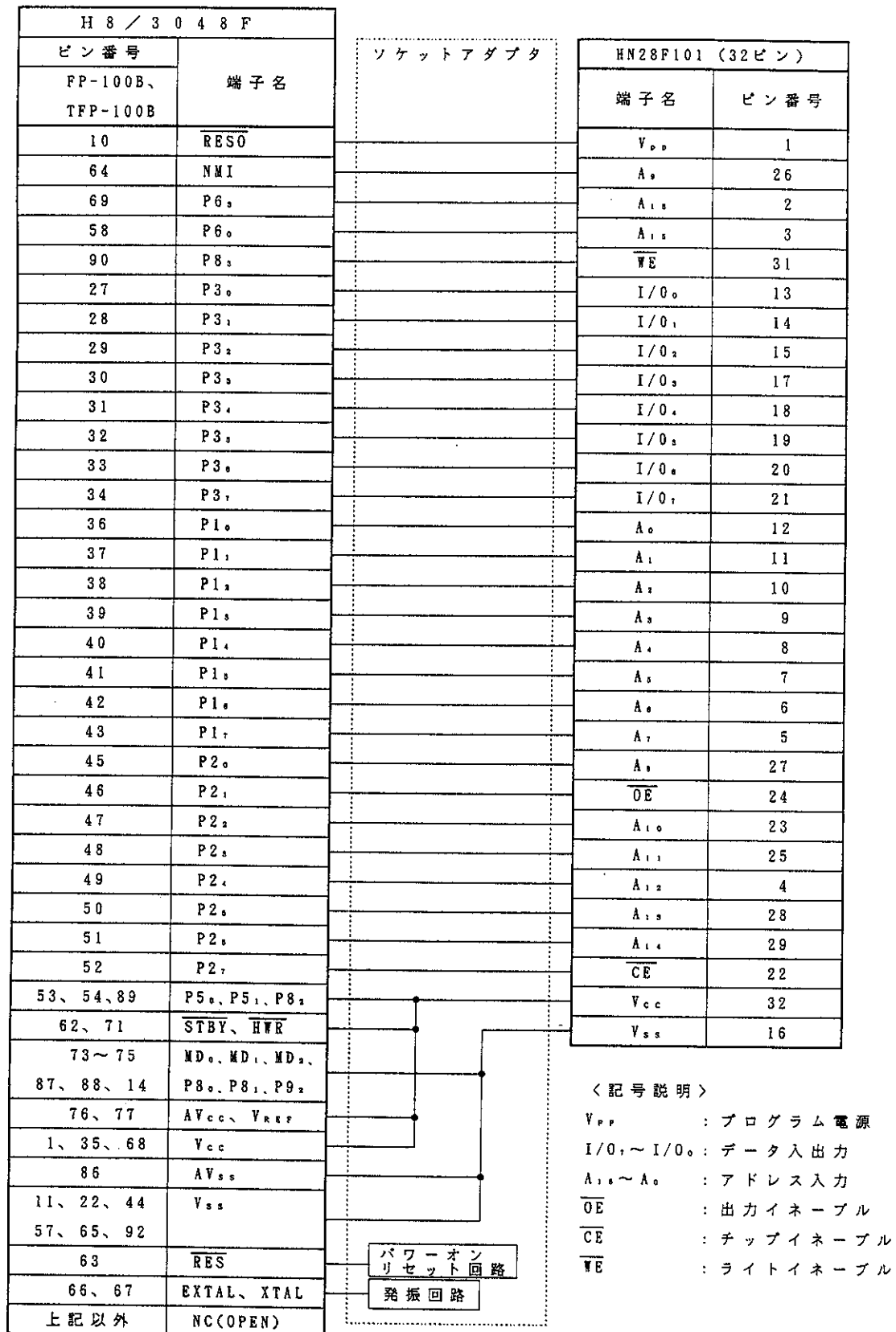


図18.21 PROMモード時のメモリマップ

- * F P - 1 0 0 B、T F P - 1 0 0 Bのピンピッチは、0.50mmと微細になっています。I Cソケットからの抜き差しについては、適当な治具を用いて行うのが適切です。治具例を表18.19に示します。

表18.19 治具例

メーカ	型 番
(株)エンプラス	HP-100(バキュームペン)



【注】本図は、端子対応を示すもので、ソケットアダプタの全回路を示すものではありません。新規に設計をする場合は、高速CMOS LSIとしての基板設計（電源電圧安定化、ノイズ対策など）と動作タイミング設計が必要です。

図18.22 ソケットアダプタの端子対応図

18.9.3 PROMモードの動作

PROMモードの書込み／消去／ベリファイの仕様は、標準のフラッシュメモリHN28F101と同じです。ただし、H8/3048Fは製品識別モードをサポートしていませんので、プログラマにデバイス名を自動設定することができません。表18.20にPROMモード時の各動作モードの設定方法を示します。

表18.20 PROMモード時の各動作モードの設定方法

モード \ ピン		V_{pp}	V_{cc}	\overline{CE}	\overline{OE}	\overline{WE}	$I/O_7 \sim I/O_0$	$A_{16} \sim A_0$
読出し	読出し	V_{cc}	V_{cc}	L	L	H	データ出力	アドレス入力
	アウトプットディスエーブル	V_{cc}	V_{cc}	L	H	H	ハイインピーダンス	
	スタンバイ	V_{cc}	V_{cc}	H	X	X	ハイインピーダンス	
コマンド 書込み	読出し	V_{pp}	V_{cc}	L	L	H	データ出力	
	アウトプットディスエーブル	V_{pp}	V_{cc}	L	H	H	ハイインピーダンス	
	スタンバイ	V_{pp}	V_{cc}	H	X	X	ハイインピーダンス	
	書込み	V_{pp}	V_{cc}	L	H	L	データ入力	

〈記号説明〉

L : Low レベル

V_{cc} : V_{cc} レベル

H : Highレベル

X : 任意

V_{pp} : V_{pp} レベル

表18.21 PROMモード時の各コマンド

コマンド	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読出し	1	書込み	X	H'00	読出し	RA	Dout
消去設定／消去	2	書込み	X	H'20	書込み	X	H'20
消去ベリファイ	2	書込み	EA	H'A0	読出し	X	EVD
自動消去設定 ／自動消去	2	書込み	X	H'30	書込み	X	H'30
プログラム設定 ／プログラム	2	書込み	X	H'40	書込み	PA	PD
プログラムベリファイ	2	書込み	X	H'C0	読出し	X	PVD
リセット	2	書込み	X	H'FF	書込み	X	H'FF

PA=プログラムアドレス、EA=消去ベリファイアドレス

RA=リードアドレス、PD=プログラムデータ

PVD=プログラムベリファイ出力データ、EVD=消去ベリファイ出力データ

■ 高速高信頼度プログラミング

H8/3048Fのフラッシュメモリの未使用領域のデータ（初期値）は、H'FFです。H8/3048Fのフラッシュメモリは、高速高信頼度プログラミング方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、より高速な書込みを行うことができます。

図18.23に高速高信頼度プログラミング方式の基本的なフローチャートを示します。

また、表18.22、表18.23にプログラミング時の電気的特性表を示します。

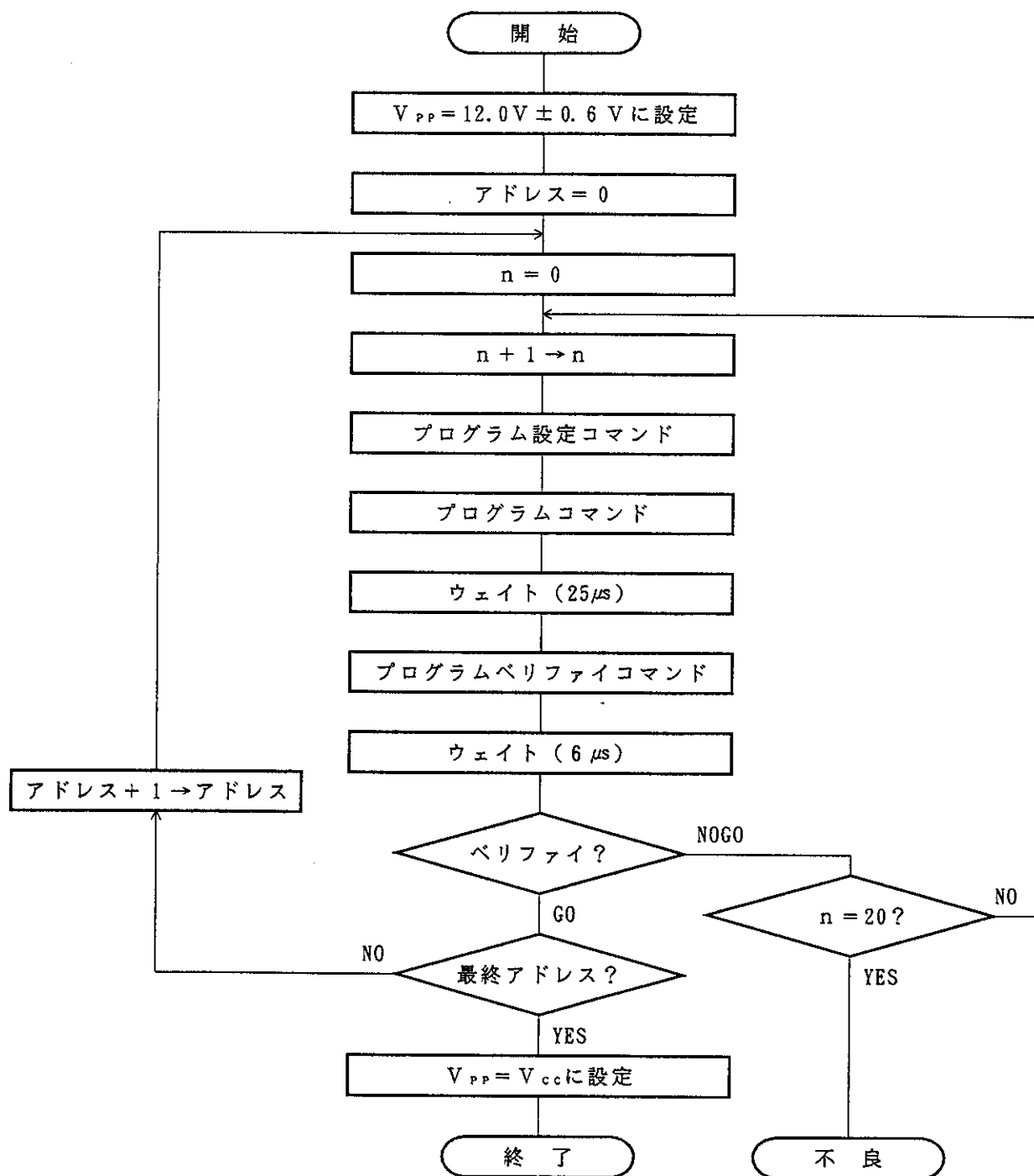


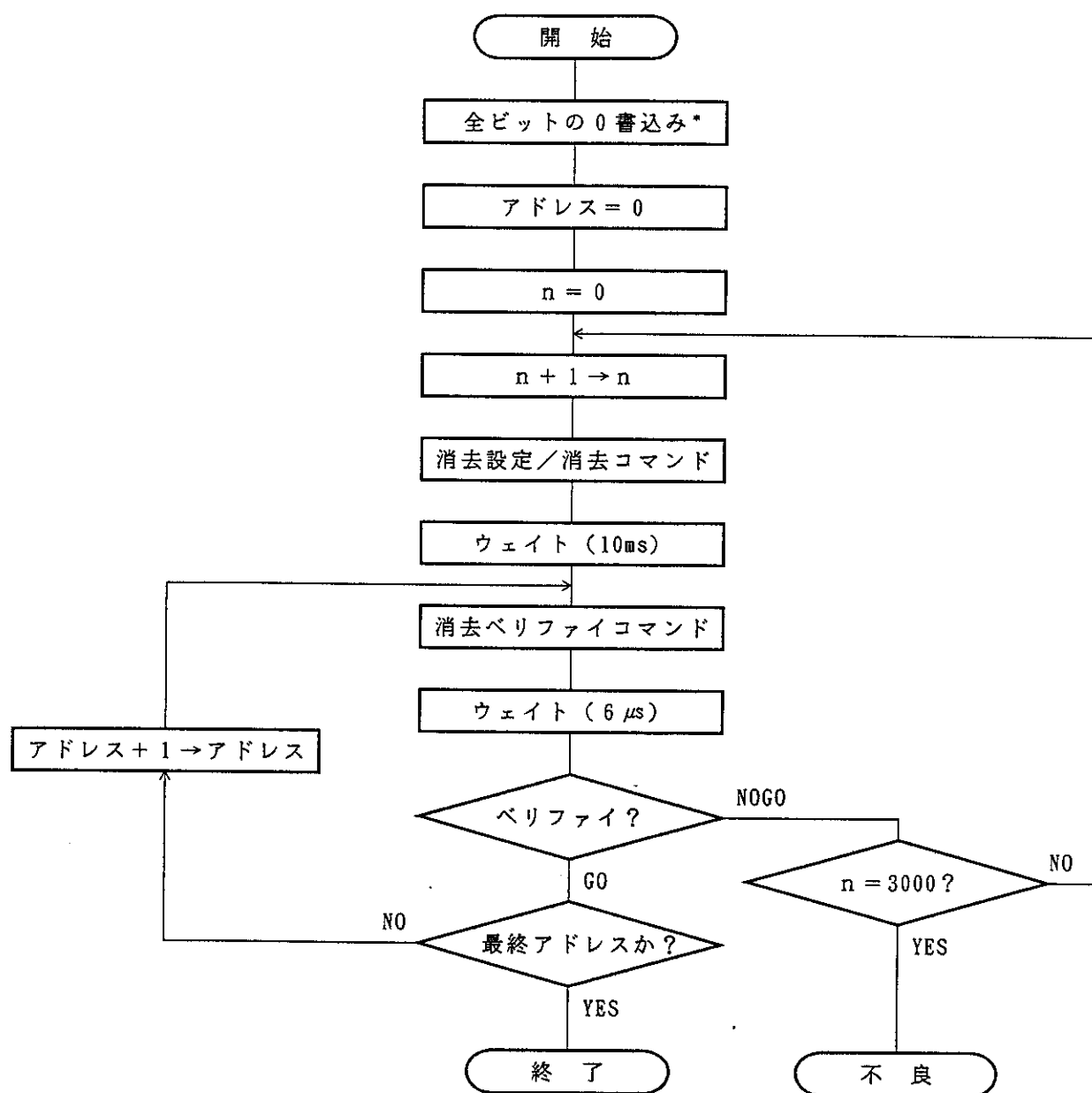
図18.23 高速高信頼度プログラミング

■ 高速高信頼度消去

H8/3048Fのフラッシュメモリは、高速高信頼度消去方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはデータの信頼性を損なうことなく、より高速な消去を行うことができます。

図18.24に高速高信頼度消去方式の基本的なフローチャートを示します。

また、表18.22、表18.23にプログラミング時の電気的特性表を示します。



【注】* 全ビットに対する書込みは、高速高信頼度プログラミングフローに従い行ってください。

図18.24 高速高信頼度消去

表18.22 PROMモード時のDC特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{PP}=12.0V \pm 0.6V$ 、 $V_{SS}=0V$ 、 $T_A=25^\circ C \pm 5^\circ C$)

項 目	記 号	min	typ	max	単位	測 定 条 件
入力High レベル電圧	$I/O_7 \sim I/O_0, A_{16} \sim A_0,$ $\overline{OE}, \overline{CE}, \overline{WE}$	V_{IH}	2.2	—	$V_{CC} + 0.3$	V
入力Low レベル電圧	$I/O_7 \sim I/O_0, A_{16} \sim A_0,$ $\overline{OE}, \overline{CE}, \overline{WE}$	V_{IL}	-0.3	—	0.8	V
出力High レベル電圧	$I/O_7 \sim I/O_0$	V_{OH}	2.4	—	—	V $I_{OH} = -200 \mu A$
出力Low レベル電圧	$I/O_7 \sim I/O_0$	V_{OL}	—	—	0.45	V $I_{OL} = 1.6mA$
入力リーク 電流	$I/O_7 \sim I/O_0, A_{16} \sim A_0,$ $\overline{OE}, \overline{CE}, \overline{WE}$	I_{LI}	—	—	2	μA $V_{in} = 0 \sim V_{CC}V$
V_{CC} 電流	読出し時	I_{CC}	—	40	80	mA
	プログラム時	I_{CC}	—	40	80	mA
	消去時	I_{CC}	—	40	80	mA
V_{PP} 電流	読出し時	I_{PP}	—	—	200	μA $V_{PP} = 5.0V$
			—	10	20	mA $V_{PP} = 12.6V$
	プログラム時	I_{PP}	—	20	40	mA
	消去時	I_{PP}	—	20	40	mA

【注】 最大定格は「21.1 絶対最大定格」を参照してください。最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。*

* V_{PP} は、オーバシュートのピークを含めて13V以下にしてください。

表18.23 PROMモード時のAC特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^\circ C \pm 5^\circ C$)

項 目	記 号	min	typ	max	単位	測定条件
コマンド書込みサイクル	t_{CWC}	120	—	—	ns	図18.25 図18.26 * 図18.27
アドレスセットアップ時間	t_{AS}	0	—	—	ns	
アドレスホールド時間	t_{AH}	60	—	—	ns	
データセットアップ時間	t_{DS}	50	—	—	ns	
データホールド時間	t_{DH}	10	—	—	ns	
\overline{CE} セットアップ時間	t_{CES}	0	—	—	ns	
\overline{CE} ホールド時間	t_{CEH}	0	—	—	ns	
V_{PP} セットアップ時間	t_{VPS}	100	—	—	ns	
V_{PP} ホールド時間	t_{VPH}	100	—	—	ns	
\overline{WE} 書込みパルス幅	t_{WEP}	70	—	—	ns	
\overline{WE} 書込みパルスHigh時間	t_{WEH}	20	—	—	ns	
コマンド書込み前の \overline{OE} セットアップ時間	t_{OEWS}	0	—	—	ns	
ベリファイ前の \overline{OE} セットアップ時間	t_{OERS}	6	—	—	μs	
ベリファイアクセス時間	t_{VA}	—	—	500	ns	
ステータスポーリング前の \overline{OE} セットアップ時間	t_{OEPS}	120	—	—	ns	
ステータスポーリングアクセス時間	t_{SPA}	—	—	120	ns	
プログラム時の待機時間	t_{PPW}	25	—	—	ns	
消去時の待機時間	t_{ET}	9	—	11	ms	
出力ディエーブル時間	t_{DF}	0	—	40	ns	
自動消去時のトータル時間	t_{AET}	0.5	—	30	s	

【注】 V_{PP} が5Vから12Vに、または12Vから5Vに遷移中は、 \overline{CE} 、 \overline{OE} 、 \overline{WE} ピンは、Highレベルにしてください。

* 入力パルスレベル0.45~2.4V

入力立上がり/立下がり時間 $\leq 10ns$

タイミング参照レベル $\left\{ \begin{array}{l} \text{入力: } 0.8V、2.0V \\ \text{出力: } 0.8V、2.0V \end{array} \right.$

18.10 フラッシュメモリの書込み／消去時の注意

- (1) 規定された電圧、タイミングで書込みをしてください。

フラッシュメモリのプログラム電圧 (V_{PP}) は、12.0Vです。

PROMライタの設定をHN28F101にセットすると V_{PP} を12.0Vにセットできます。

最大定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。特に V_{PP} およびMD2端子はオーバシュートのピークが最大定格の13Vを超えないようにしてください。また、PROMライタのオーバシュートなどに十分注意してください。

- (2) 書込み前に、必ず、正しくPROMライタに装着されていることを確認してください。

PROMライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊されることがあります。

- (3) 書込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書込み不良となることがあります。

- (4) プログラム電圧 (V_{PP}) の印加／切断時の注意

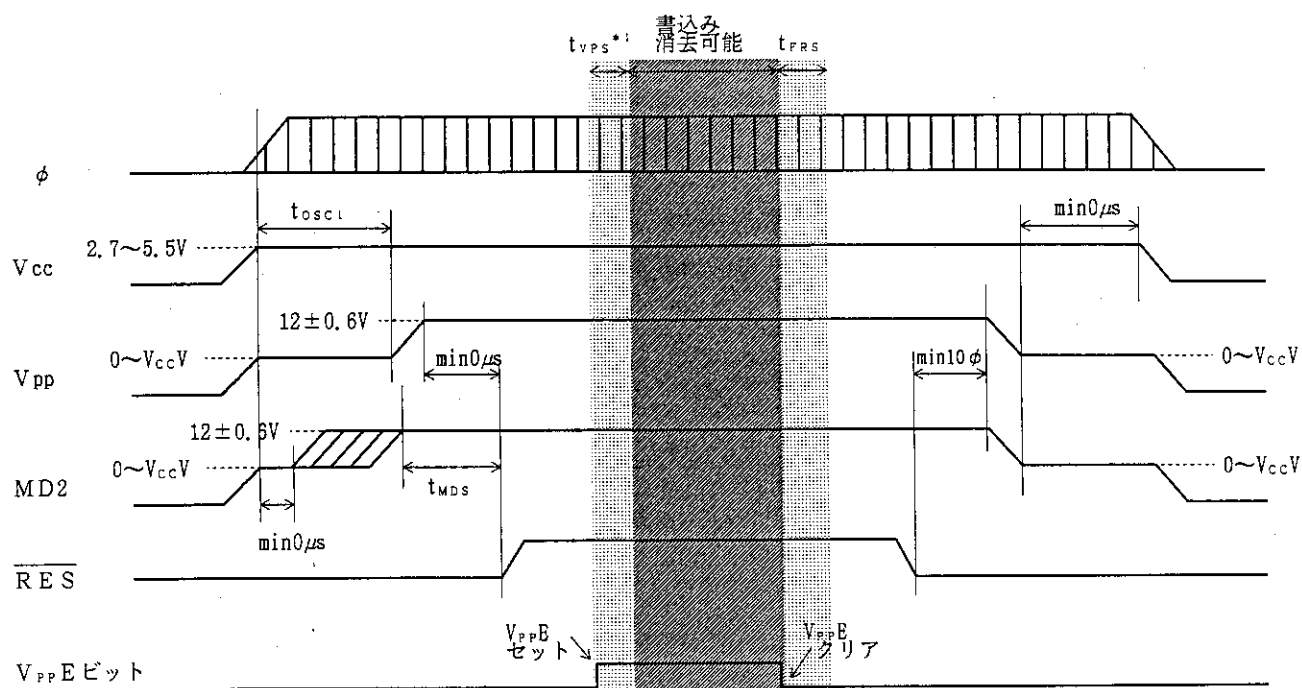
- (a) プログラム電圧 (V_{PP}) の印加は V_{CC} 確定後でかつマイコンの動作が確定した状態で行ってください。また、 V_{PP} 切断も V_{CC} を切断する前でかつマイコンの動作が確定している状態で行ってください。

マイコンの V_{CC} 電圧が定格電圧 ($V_{CC}=2.7\sim 5.5V$) を満足しない状態 ($V_{CC}=0V$ の状態も含む) で V_{PP} 電圧を印加／切断すると、マイコン動作が不確定の状態であるために、フラッシュメモリに誤って書込み、消去を行ってしまう可能性があります (フラッシュメモリへのプロテクトが機能できないため)。また、 V_{CC} 電圧が定格電圧 ($V_{CC}=2.7\sim 5.5V$) を満足する状態でも、発振が安定していない、または発振が停止 (スタンバイを除く) している場合や、マイコンが暴走している場合、同じように誤書込み、誤消去の可能性があります。 V_{CC} 電源投入時は発振安定時間 ($t_{osc1}=20ms$) を確保し、マイコンが確実にリセット状態またはリセット解除状態となった後に V_{PP} を印加してください。

この V_{CC} 、 V_{PP} 電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。このタイミングが守れない場合は、フラッシュメモリへの誤書込み、誤消去の他に、メモリの永久破壊となることがありますので十分注意してください。

(b) V_{PP} 端子に 12.0 ± 0.6 Vの電圧を印加し、フラッシュメモリコントロールレジスタ (FLMCR) の V_{PP} Eビットをセット／クリアすることで、FLMCRの V_{PP} Eビットはセット／クリアされます。

V_{PP} Eビットをセットした後、消去ブロック指定レジスタ (EBR1、2)、FLMCRのEV、PV、E、Pビットへのライトは可能となります。したがって、 V_{PP} 端子に電圧印加し、 V_{PP} Eビットをセットした後5～10 μ sの待機時間を経過してから書込み、消去を行ってください。また、 V_{PP} の電源切断は、FLMCRのPビットおよびEビットをクリアし、 V_{PP} Eビットをクリアした状態 (FLMCRへの誤アクセスによりセットされることのない状態)で行ってください。



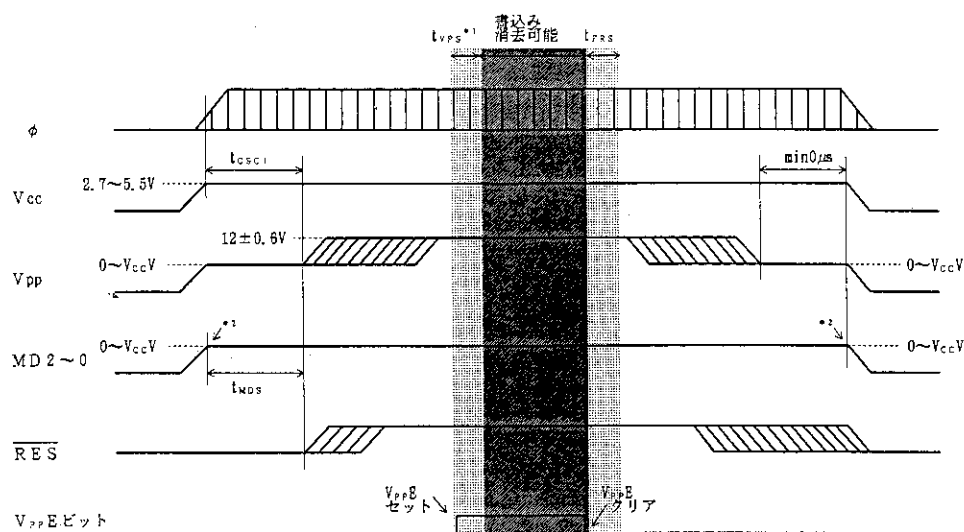
フラッシュメモリアクセス禁止期間

フラッシュメモリ書換可能期間

(フラッシュメモリ上のプログラム実行禁止およびペリフェイ以外のデータ読み出し禁止)

*1 t_{vps} : 5～10 μ s

図18.28 電源投入／切断タイミング (ブートモード)



フラッシュメモリアクセス禁止期間

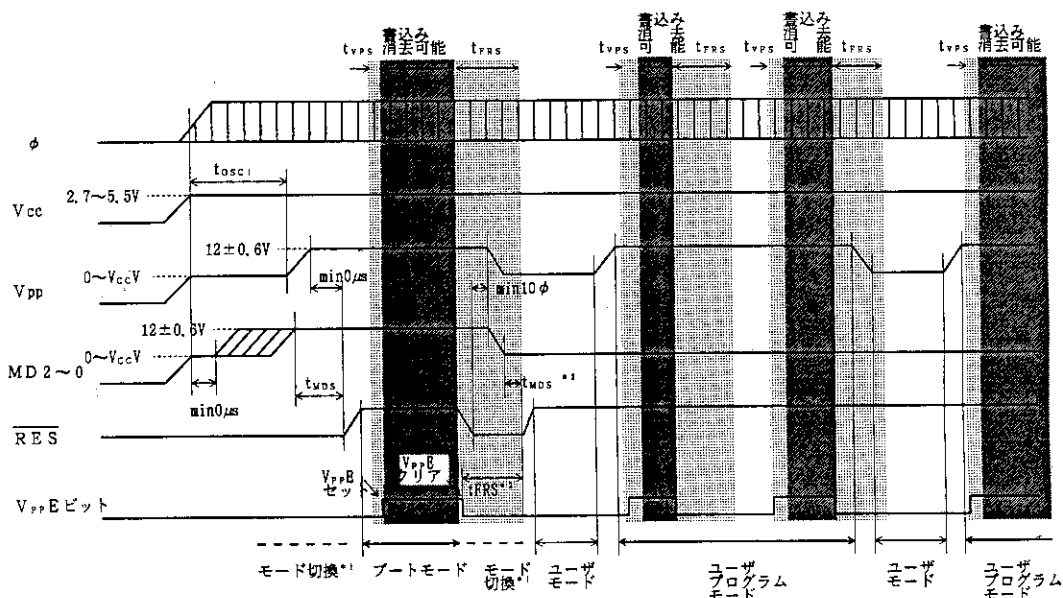
フラッシュメモリ書換可能期間

(フラッシュメモリ上のプログラム実行禁止およびベリファイ以外のデータ読み出し禁止)

*1 t_{vps} : 5 ~ 10 μs

*2 モード端子 (MD 2 ~ 0) はパワーオン後からパワーオフまでは、プルダウンまたはプルアップして、レベルを必ず固定してください。

図18.29 電源投入/切断タイミング (ユーザプログラムモード)



フラッシュメモリアクセス禁止期間

フラッシュメモリ書換可能期間

(フラッシュメモリ上のプログラム実行禁止およびベリファイ以外のデータ読み出し禁止)

*1 ブートモードへの遷移時またはブートモードから他のモードへ遷移する場合は、RES入力によるモード切替が必要です。この切替期間 (RES端子にLowレベルを入力している期間) は、端子出力の状態が変化します。このためこの切替期間中はこれらの端子を出力信号として使用しないようにしてください。

*2 ブートモードから他のモードへ遷移する場合、RES解除のタイミングに対して、フラッシュメモリリードセットアップ時間 t_{FRS} およびモードプログラミングセットアップ時間 t_{MDS} が必要です。

図18.30 モード遷移タイミング (例: ブートモード \Rightarrow ユーザモード \leftrightarrow ユーザプログラムモード)

- (5) V_{PP} 端子に常時12Vを印加しないでください。

プログラム暴走等による誤書込み、誤消去を防止するため、 V_{PP} に12Vを印加するのは、フラッシュメモリに書込み、消去を行う時のみ（これはRAMによるフラッシュメモリのエミュレーション実行時も含む）としてください。 V_{PP} 端子に常時12Vを印加するようなシステム構成は避けてください。

また、書込み／消去時（12V印加時）は、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

プログラム暴走等によって過剰書込み、過剰消去になるとメモリセルが正常に動作しないことがあります。

- (6) プログラム電圧（ V_{PP} ）の12V印加は、WDTのリセット出力（RES0端子）がディスエーブルされている状態で行ってください。

WDTのリセット出力中（RES0端子がLow出力）に12Vを印加すると、過大電流が流れ、リセット出力の素子を永久破壊しますので注意してください。 V_{PP} ／RES0端子に12V印加時は、WDTのリセットコントロール／ステータスレジスタ（RSTCSR）のリセット出力イネーブルビット（RESOE）を1にセットしないでください。

V_{PP} ／RES0端子に外部で V_{CC} プルアップ抵抗を挿入する場合は、 V_{PP} 印加時に V_{CC} 側への逆電流を防止するためのダイオードを挿入する必要があります（図18.31）。

- (7) V_{PP} ／RES0端子をWDTのリセット出力として使用する場合（12Vを印加していないとき）

V_{PP} ／RES0端子に接続するバイパスコンデンサおよび V_{CC} プルアップ抵抗等の影響によって、リセット出力の立上がり、立下がりの波形に遅れが生じますので注意してください。

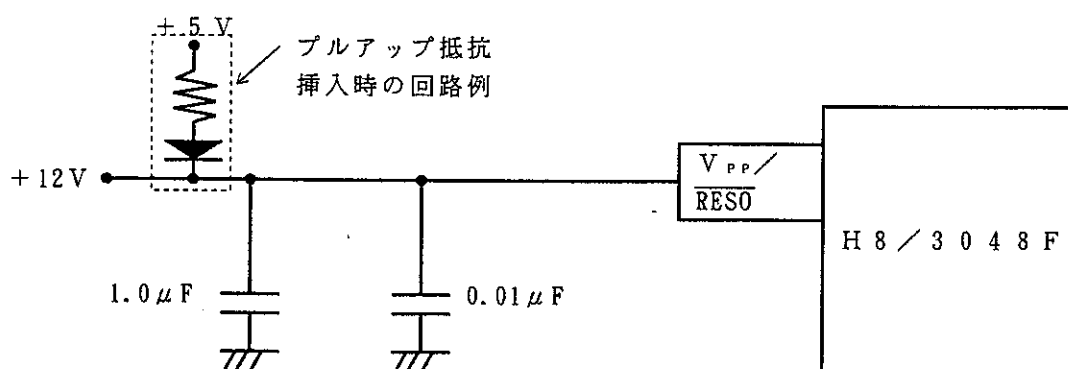


図18.31 V_{PP} 電源回路設計例

(8) 実装基板開発時の注意点－ V_{PP} およびモードMD2端子の処理

① V_{PP} およびモードMD2端子は、フラッシュメモリの消去／プログラム時に標準12Vの高電圧を印加します。本端子の電圧は、オーバシュートやノイズも含め、最大定格電圧13Vを越えないように、以下の点について注意してください。

(a) オーバシュートやノイズ除去のために、バイパスコンデンサを挿入してください。これらは、極力LSIの V_{PP} およびモードMD2端子の近くに配置してください。

1.0 μF ；電源のリップルなど低周波成分のゆらぎを安定化します。

0.01 μF ；誘導ノイズなど、高周波成分をバイパスさせます。

(b) V_{PP} およびモードMD2端子の配線は、極力短くするなど、誘導ノイズを低く抑えてください。特に、新規ボード設計時には、ジャンパー線などでノイズが多くなることがあります。この場合も、最大定格を越えないよう、電源波形をモニタして対策してください。

(c) 最大定格電圧は、 V_{SS} 端子の電位を基準にしています。本端子の電位が電流の変動などにより振動すると、相対的に V_{PP} およびモードMD2端子の電圧が最大定格電圧を越えることがあります。基準電位の安定化には充分注意してください。

【注】ユーザシステムの12V電源を接続する場合、電流容量に注意してください。

電流容量の小さな電源の場合、LSIの動作電流の変化に追従できず電圧の降下や上昇、あるいは振動を生じ、定格の動作電圧を得られないことがあります。また、電流容量の大きな電源や、12V電圧をスイッチなどで急峻に投入する場合には、電源配線の持つインダクタンス成分や電源特性によって最大定格を越える電圧が生じることがありますので注意してください。

実使用前には、上記の問題がないよう電源波形を確認してください。

② V_{PP} およびモードMD2端子は、フラッシュメモリの書込み／消去時に12V印加します。一方、通常動作時に V_{CC} ラインへプルアップして使用する場合には、12V印加時に V_{CC} ラインへの逆電流を防止するため、ダイオードを挿入してください。

【注】通常動作時、12Vを印加するモードMD2端子を“0”に設定する場合は抵抗でプルダウンしてください。

回路例を、図18.32に示します。

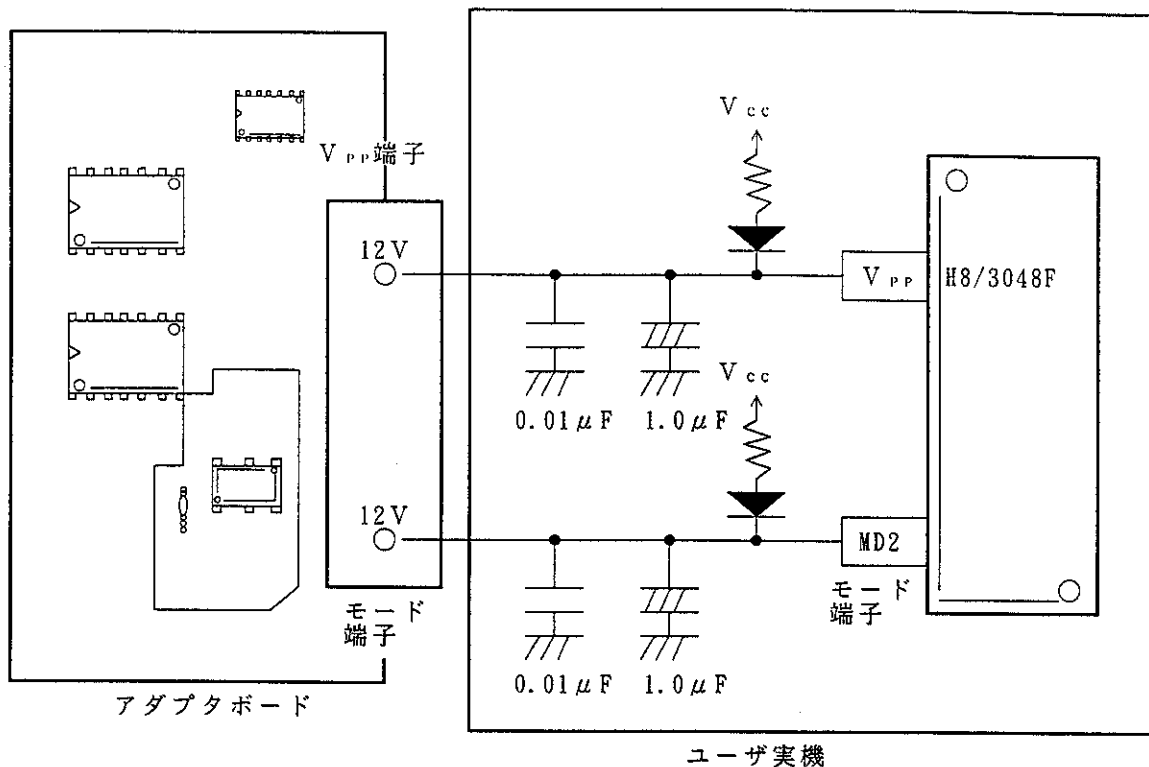


図18.32 実装基板設計例（アダプタボードとの接続）

（V_{pp}端子とモード端子の設定が“1”の場合）

- (9) V_{pp}Eビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

V_{pp}Eビットのセット／クリア時は、フラッシュメモリデータを正常に読み出すことができません。またV_{pp}Eビットをセット後、V_{pp}イネーブル・セットアップ時間（t_{VPS}:510μs）の待ち時間を置いてからフラッシュメモリのデータを書換えすることができますが、ベリファイ（プログラム、イレース、プレライトフロー中のベリファイ）以外の目的で、フラッシュメモリをアクセスすることはできません。フラッシュメモリ上のプログラム実行とデータの読み出しは、V_{pp}Eビットをクリアした後、フラッシュメモリリードセットアップ時間を置いて行ってください。

- (10) フラッシュメモリのプログラム中または消去中に割込みを使用しないでください。

V_{pp}印可状態では書込み／消去動作を最優先とするため、NMIを含む全ての割込み要求を禁止してください。

- (11) V_{pp}フラグはV_{pp}端子に印可される電圧を判定し、セット／クリアされます。この判定レベル（しきい値電圧）は約V_{cc}+2V～11.4Vの範囲になっています。

フラグがセットされた時点でフラッシュ・メモリ・コントロール・レジスタ（FLMCR）、消去ブロック指定レジスタ（EBR1、EBR2）へのライトは可能となりますが、V_{pp}電源投入時

- (10) V_{PP} フラグは V_{PP} 端子に印加される電圧を判定し、セット／クリアされます。この判定レベル（しきい値電圧）は約 $V_{CC}+2V \sim 11.4V$ の範囲になっています。

V_{PP} フラグがセットされた時点でフラッシュメモリコントロールレジスタ（FLMCR）、消去ブロック指定レジスタ（EBR1、EBR2）へのライトは可能となりますが、 V_{PP} 電源投入時には V_{PP} 電圧がプログラム電圧 $12.0 \pm 0.6V$ の範囲に確定していない場合があります。このため V_{PP} がプログラム電圧範囲に確定するまでは、実際の手書き、消去は行わないようにしてください。

書き込み、消去時のプログラム電圧範囲は $12.0 \pm 0.6V$ （ $11.4V \sim 12.6V$ ）です。この範囲を超えると正しい書き込み、消去を行うことはできません。また書き込み、消去を行わない場合は、誤書き込み、誤消去を防止するため V_{PP} 電圧は電源電圧 V_{CC} を超えないようにしてください。

- (12) V_{PP} イネーブルビット（ V_{PPE} ）クリア後から、フラッシュメモリをリードする前にフラッシュメモリリードセットアップ時間（ t_{FRS} ）* が必要です。

ブートモードまたはユーザプログラムモードから通常モード（ $V_{PP} \neq 12V$ 、 $MD_2 \neq 12V$ ）に遷移する場合、 V_{PPE} ビットをクリアして、フラッシュメモリをリードするまでの期間としてこのセットアップ時間が必要です。

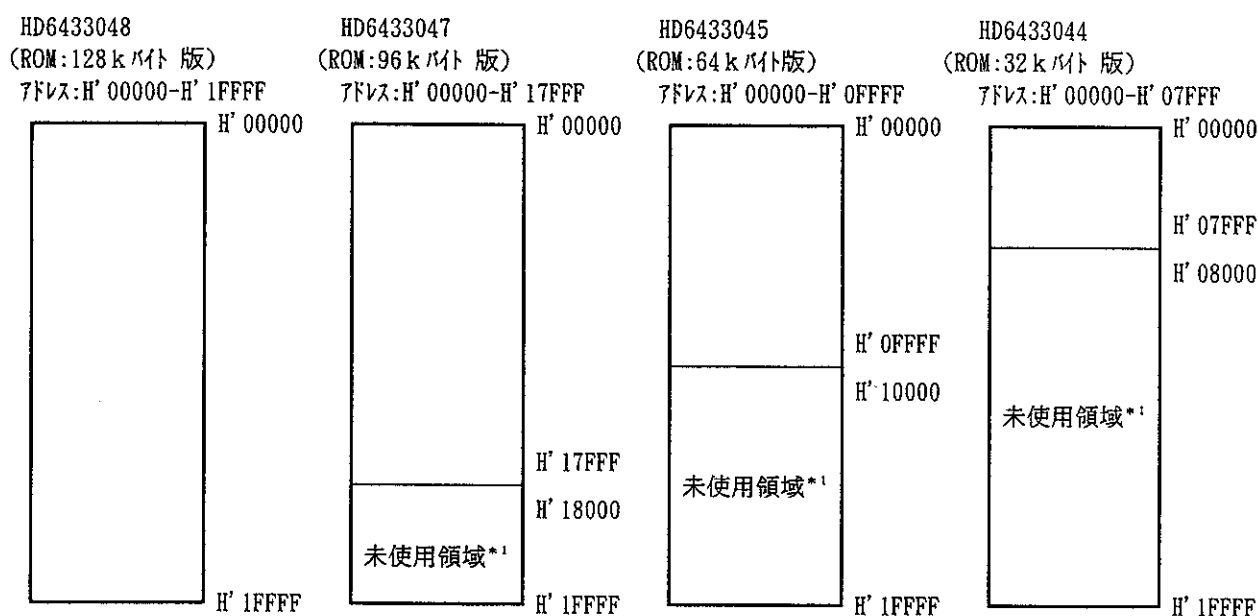
また、ブートモードから他のモードへ遷移する場合は、 \overline{RES} 解除のタイミングに対してモードプログラミングセットアップ時間（ t_{MDS} ）が必要です。

【注】* フラッシュメモリリードセットアップ時間は V_{PPE} ビットクリア後から、フラッシュメモリをリードするまでの期間を規定します（図18.30）。また、外部クロック使用（EXTAL入力）時の電源投入後と、スタンバイモードからの復帰時もフラッシュメモリをリードする前にフラッシュメモリリードセットアップ時間が必要です。

18.11 マスクROM品発注時の注意

マスクROM品の発注時には、下記に注意してください。

- (1) EPROMを使用して発注する場合は、128kバイトEPROMを使用してください。
- (2) ROMデータは、下記の領域をオールH'FFに満たし、128kバイト版と同じデータ量として発注するようにお願いいたします。これは、EPROMを使用して発注する場合とデータ電送を使用して発注する場合のどちらにも適用します。



【注】*：この領域のデータは、オールH'FFにしてください。

図18.33 ROMアドレスとデータ