

12. ウォッチドッグタイマ

第12章 目次

12.1	概要	467
12.1.1	特長	467
12.1.2	ブロック図	468
12.1.3	端子構成	468
12.1.4	レジスタ構成	469
12.2	各レジスタの説明	470
12.2.1	タイマカウンタ (TCNT)	470
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	471
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	474
12.2.4	レジスタ書換え時の注意	476
12.3	動作説明	478
12.3.1	ウォッチドッグタイマ時の動作	478
12.3.2	インターバルタイマ時の動作	479
12.3.3	オーバフローフラグ (OVF) セットタイミング	479
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	480
12.4	割込み	481
12.5	使用上の注意	481

12.1 概要

H8/3048シリーズは、ウォッチドッグタイマ（WDT）を内蔵しています。WDTには、システムの監視を行うウォッチドッグタイマとインターバルタイマの2つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ（TCNT）の値が書き換えられずオーバーフローすると、本LSIに対してリセット信号を発生します。

また、インターバルタイマは、TCNTがオーバーフローするごとにインターバルタイマ割込みを発生することができます。

12.1.1 特長

WDTの特長を以下に示します。

■ 8種類のカウント入力クロックを選択可能

$\phi/2$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$

■ インターバルタイマとして使用可能

■ TCNTがオーバーフローするとリセット信号または割込みを発生

ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割込みを発生します。

■ ウォッチドッグタイマの発生したリセット信号により、本LSI全体を内部リセット、同時にリセット信号を外部に出力可能

ウォッチドッグタイマ時にTCNTのオーバーフローによってリセット信号を発生すると、本LSI全体は内部リセットされます。同時に、RES0端子からリセット信号を外部に出力し、システム全体をリセットすることができます。

12.1.2 ブロック図

図12.1にWDTのブロック図を示します。

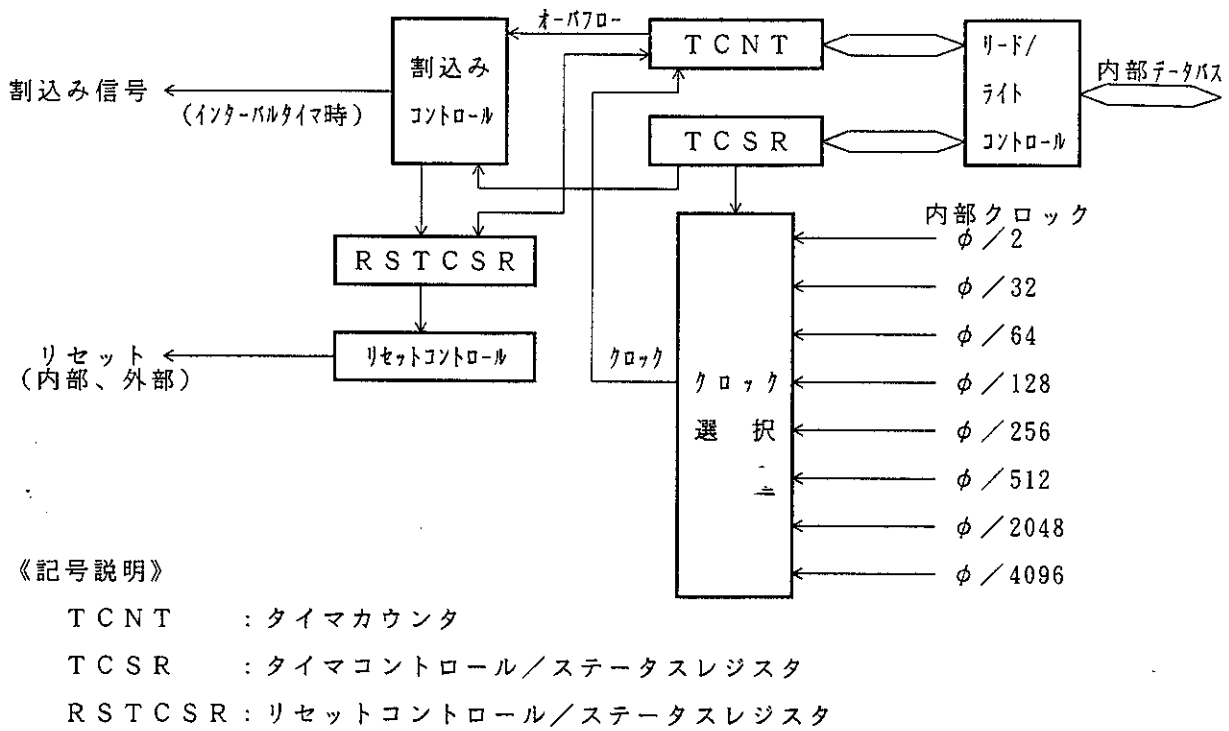


図12.1 WDTのブロック図

12.1.3 端子構成

WDTで使用する出力端子を表12.1に示します。

表12.1 端子構成

名称	略称	入出力	機能
リセット出力	$\overline{RES0}$	出力*	ウォッチドッグタイマのリセット信号の外部出力

【注】* オープンドレイン出力端子です。

12.1.4 レジスタ構成

表12.2にWDTのレジスタ構成を示します。

表12.2 レジスタ構成

アドレス* ¹		名 称	略 称	R/W	初期値
ライト時* ²	リード時				
H'FFA8	H'FFA8	タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* ³	H'18
	H'FFA9	タイマカウンタ	TCNT	R/W	H'00
H'FFAA	H'FFAB	リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* ³	H'3F

【注】*¹ アドレスの下位16ビットを示しています。

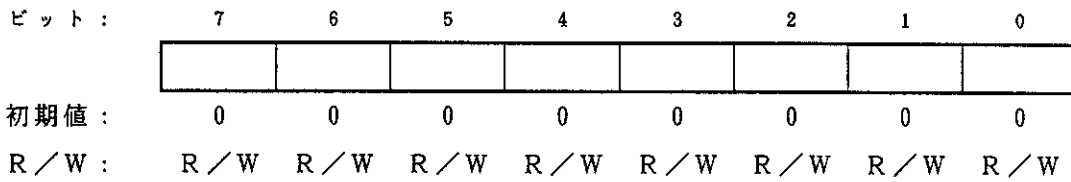
*² このアドレスから始まるワードデータとしてライトしてください。

*³ ビット7は、フラグをクリアするための“0”ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)

TCNTは、8ビットのリード/ライト*可能なアップカウンタです。



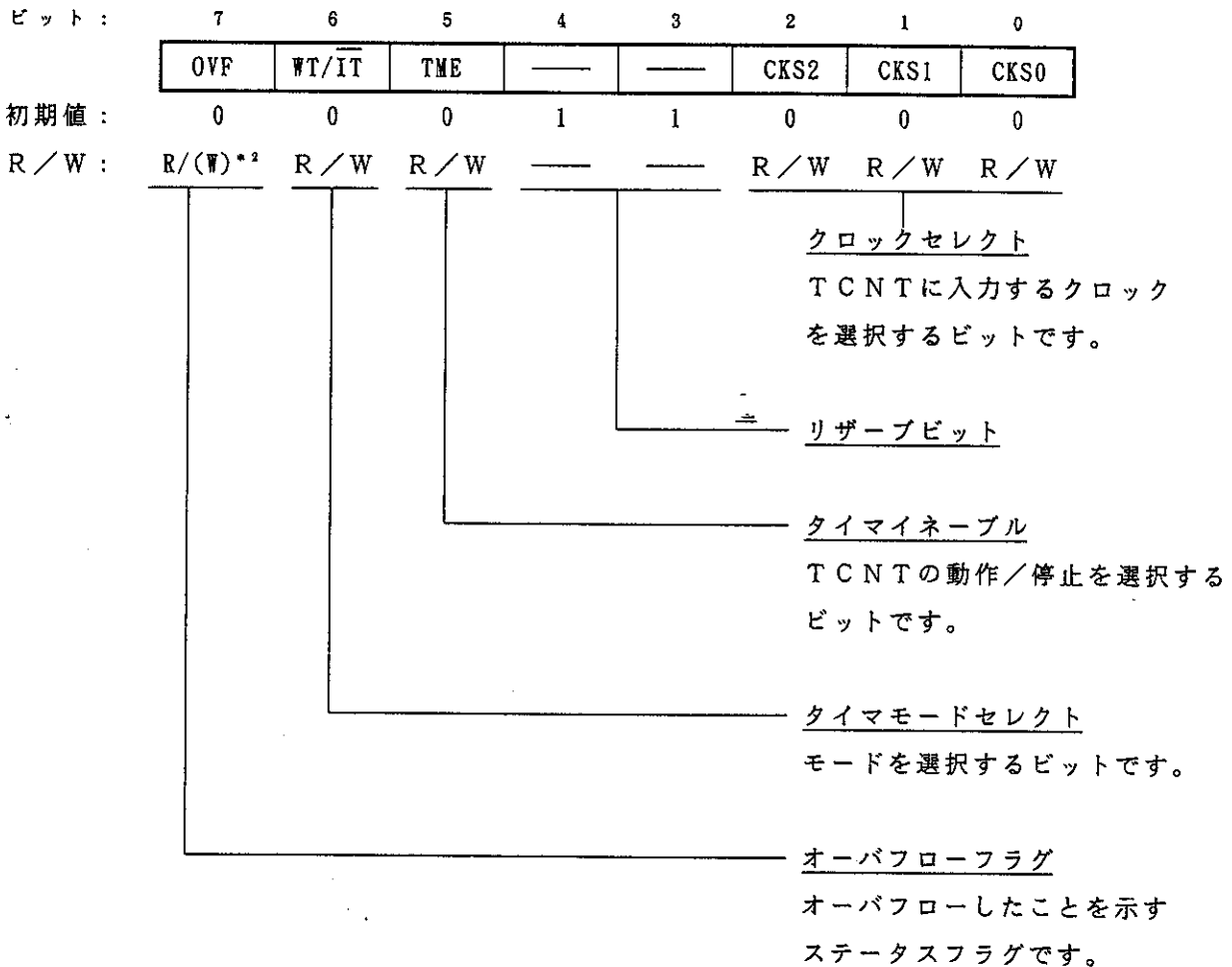
TCSRのTMEビットを“1”にセットすると、TCSRのCKS2～CKS0ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNTの値がオーバフロー (H'FF→H'00) すると、TCSRのOVFフラグが“1”にセットされます。

また、TCNTはリセット、またはTME = “0” のときH'00にイニシャライズされます。

【注】* TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書換え時の注意」を参照してください。

12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、8ビットのリード/ライト*1可能なレジスタで、TCNTに入力するクロックの選択、およびモードの選択などを行います。



ビット7～5はリセット、またはスタンバイモード時に各ビットとも“0”にイニシャライズされます。ビット2～0は、リセット時に各ビットとも“0”にイニシャライズされます。なお、ビット2～0はソフトウェアスタンバイモード時には、イニシャライズされずにソフトウェアスタンバイモードに移る直前の値を保持します。

【注】*1 TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書換え時の注意」を参照してください。

*2 フラグをクリアするための“0”ライトのみ可能です。

ビット7：オーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

ビット7	説 明
OVF	
0	〔クリア条件〕 OVF = “1” の状態で、OVFフラグをリード後、OVFフラグに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCNTがH'FF→H'00に変化したとき

ビット6：タイマモードセレクト（WT/ \overline{IT} ）

WDTをウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時はTCNTのオーバフローでインターバルタイマ割込み要求を発生します。また、ウォッチドッグタイマ時はTCNTのオーバフローでリセット信号を発生します。

ビット6	説 明
WT/ \overline{IT}	
0	インターバルタイマを選択：インターバルタイマ割込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット5：タイマイネーブル（TME）

TCNTの動作/停止を選択します。WT/ \overline{IT} = 1の場合、SYSCRのソフトウェアスタンバイビット（SSBY）を0にクリアしてからTMEを1にセットしてください。また、SSBYを1にセットするときはTMEを0にクリアしてください。

ビット5	説 明
TME	
0	TCNTをH'00にイニシャライズし、カウント動作は停止 (初期値)
1	TCNTはカウント動作、CPUへの割込み要求を許可

ビット4、3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

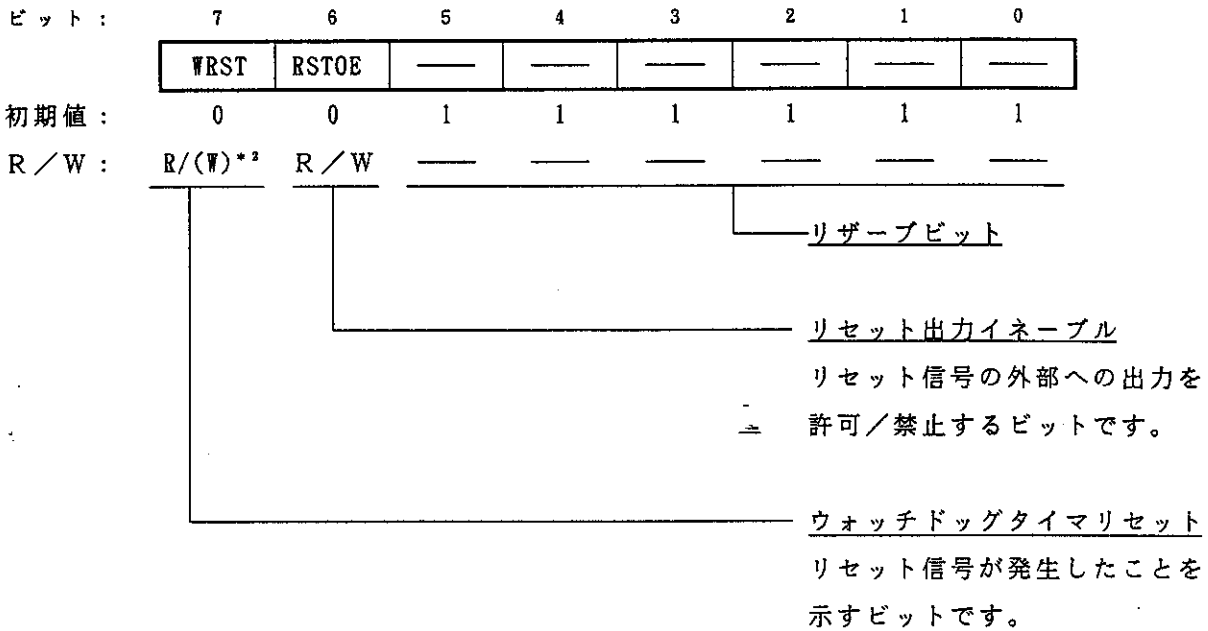
ビット2～0：クロックセレクト2～0（CKS2～0）

システムクロック（ ϕ ）を分周して得られる8種類の内部クロックからTCNTに入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	$\phi / 2$ (初期値)
0	0	1	$\phi / 32$
0	1	0	$\phi / 64$
0	1	1	$\phi / 128$
1	0	0	$\phi / 256$
1	0	1	$\phi / 512$
1	1	0	$\phi / 2048$
1	1	1	$\phi / 4096$

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSRは8ビットのリード/ライト*1可能なレジスタで、ウォッチドッグタイマのオーバーフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。



ビット7、6は、RES端子によるリセット信号でイニシャライズされます。ウォッチドッグタイマのオーバーフローによるリセット信号ではイニシャライズされません。

【注】*1 RSTCSRは、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書換え時の注意」を参照してください。

*2 ビット7は、フラグをクリアするための“0”ライトのみ可能です。

ビット7：ウォッチドッグタイマリセット (WRST)

ウォッチドッグタイマ時にTCNTがオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本LSI全体が内部リセットされます。同時に、RSTOEビットが“1”にセットされていると、このリセット信号をRES0端子から“Low”レベルを外部に出力し、システム全体のイニシャライズを行うことができます。

ビット7	説明
WRST	
0	〔クリア条件〕 (初期値) (1)RES端子によるリセット信号 (2)WRST = “1” の状態で、WRSTフラグをリード後“0”をライトしたとき
1	〔セット条件〕 ウォッチドッグタイマ時に、TCNTがオーバーフローし、リセット信号が発生したとき

ビット6：リセット出力イネーブル (RSTOE)

ウォッチドッグタイマ時にTCNTがオーバーフローして発生したリセット信号のRES0端子からの出力の許可/禁止を選択します。

ビット6	説明
RSTOE	
0	リセット信号の外部出力を禁止 (初期値)
1	リセット信号の外部出力を許可

ビット5～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

12.2.4 レジスタ書換え時の注意

WDTのTCNT、TCSR、RSTCSRは、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

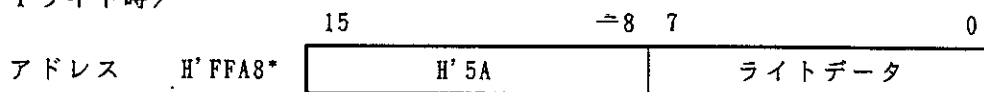
(1) TCNT、TCSRへのライト

TCNT、TCSRへライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図12.2にTCNT、TCSRへのライトデータを示します。

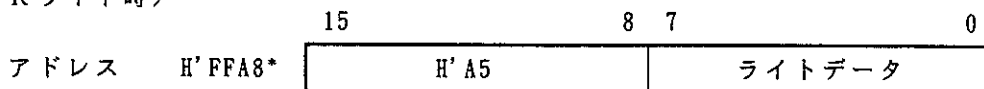
ライト時のアドレスは、TCNT、TCSRとも同一アドレスになっています。そのため、TCNT、TCSRへライトするときは、下位バイトをライトデータに、上位バイトをH'5A (TCNTのとき) またはH'A5 (TCSRのとき) にしてワード転送を行います。

これにより、下位バイトのデータがTCNT、またはTCSRへライトされます。

<TCNTライト時>



<TCSRライト時>



【注】* アドレスの下位16ビットを示しています。

図12.2 TCNT、TCSRへのライトデータ

(2) RSTCSRへのライト

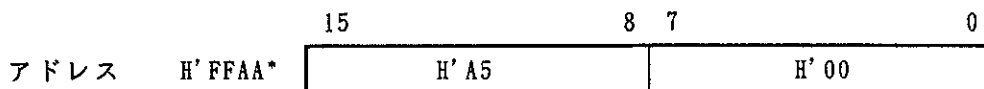
-RSTCSRへライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図12.3にRSTCSRのライトデータを示します。

WRSTビットへ“0”をライトする場合、上位バイトをH'A5、下位バイトをH'00としてワード転送を行います。これにより、下位バイトのデータ(H'00)がRSTCSRのWRSTビットへライトされ、WRSTビットが“0”にクリアされます。

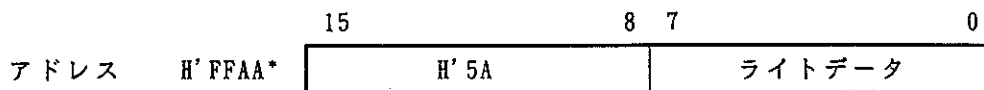
RSTOEビットへライトする場合、上位バイトをH'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータがRSTOEビットへライトされます。

<WRSTビットへ“0”をライトするとき>



<RSTOEビットライト時>



【注】* アドレスの下位16ビットを示しています。

図12.3 RSTCSRへのライトデータ

(3) TCNT、TCSR、RSTCSRのリード

TCNT、TCSR、RSTCSRをリードする場合、アドレスH'FFA8にTCSR、H'FFA9にTCNT、H'FFABにRSTCSRが割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表12.3にTCNT、TCSR、RSTCSRのリードを示します。

表12.3 TCNT、TCSR、RSTCSRのリード

アドレス*	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT
H'FFAB	RSTCSR

【注】* アドレスの下位16ビットを示しています。

12.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時のWDTの動作について説明します。

12.3.1 ウォッチドッグタイマ時の動作

図12.4にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSRのWT/ITビット、TMEビットをそれぞれ“1”にセットします。

プログラムではTCNTがオーバーフローする前に、ソフトウェアでTCNTの値を書き換えて（通常はH'00をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNTの値が書き換えられず、オーバーフローすると、518ステート期間、本LSI内部をリセットします。

WDTによるリセット信号は、RES0端子から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132ステート期間出力されます。外部への出力の許可/禁止は、RSTCSRのRSTOEビットによって選択します。

WDTによるリセットとRES端子によるリセットは、同一ベクタです。そのため、RES端子によるリセットか、WDTによるリセットかは、RSTCSRのWRSTビットをチェックすることによって判別してください。

また、RES端子によるリセットとWDTのオーバーフローによるリセットが同時に発生した場合は、RES端子によるリセットが優先されます。

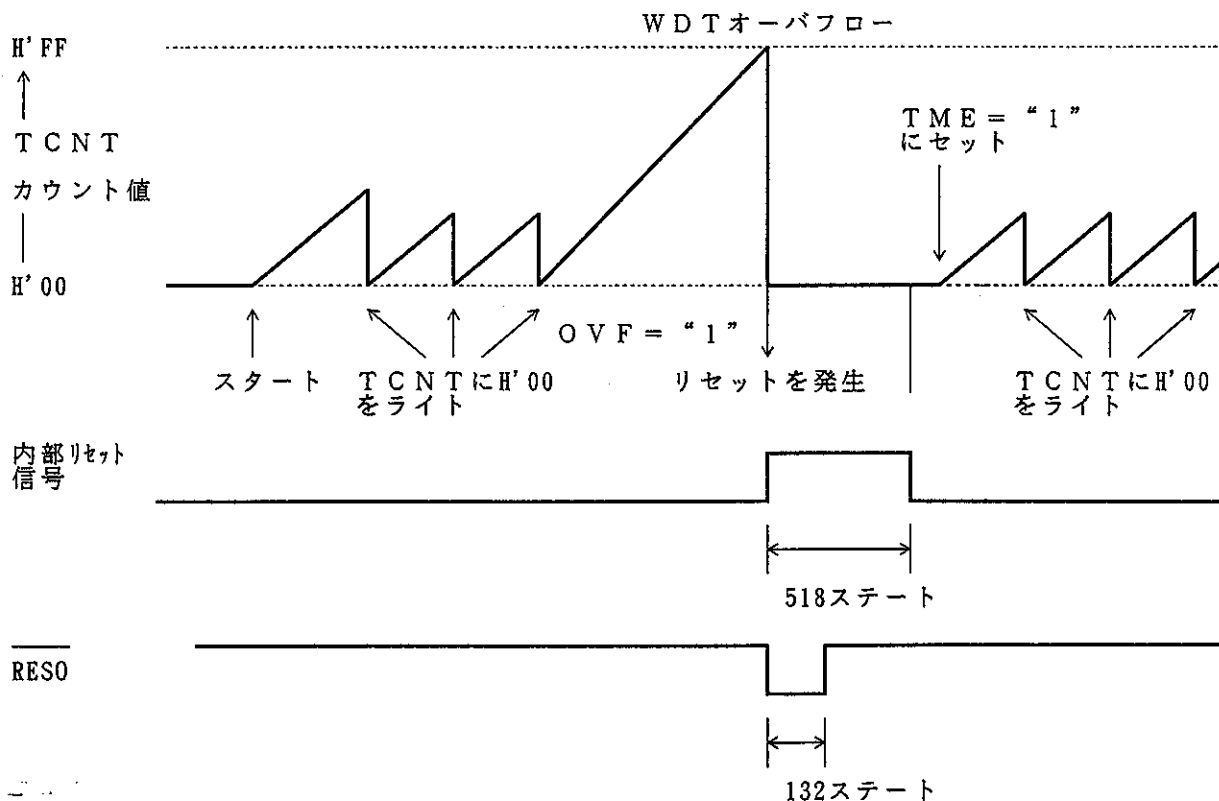


図12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマ時の動作

図12.5にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSRのWT/ITビットを“0”にクリアし、TMEビットを“1”にセットします。

インターバルタイマとして動作しているときは、TCNTがオーバーフローするごとに、インターバルタイマ割込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割込みを発生させることができます。

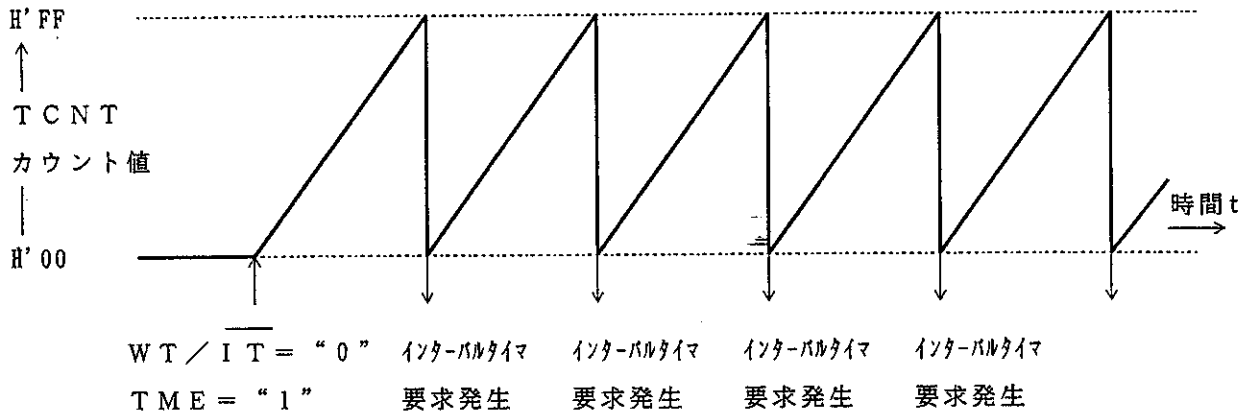


図12.5 インターバルタイマ時の動作

12.3.3 オーバフローフラグ (OVF) セットタイミング

図12.6にOVFフラグのセットタイミングを示します。

TCSRのOVFフラグは、TCNTがオーバーフローすると“1”にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割込みが発生します。

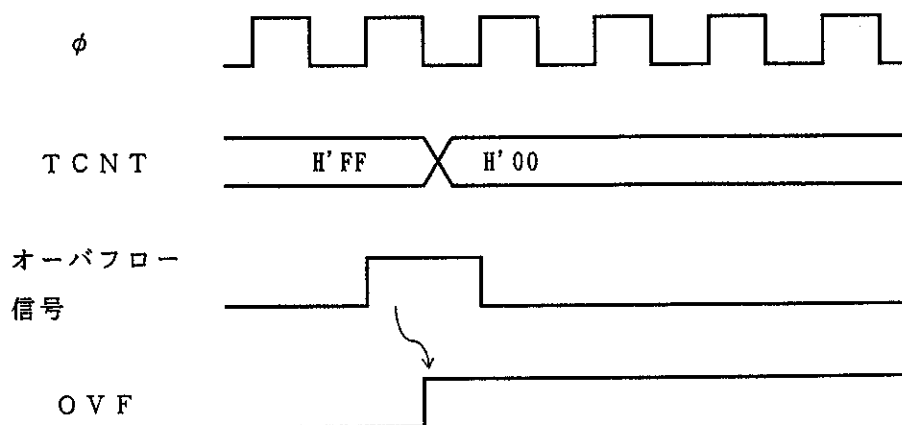


図12.6 OVFフラグのセットタイミング

12.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSRのWRSTビットは、TCSRのWT/ITビット、TMEビットをそれぞれ“1”にセットしたとき有効になります。

図12.7にWRSTビットのセット、および内部リセットタイミングを示します。

TCNTがオーバーフローして、OVFフラグが“1”にセットされたとき、WRSTビットは“1”にセットされます。このとき同時に、本LSI全体に対して内部リセット信号を発生します。この内部リセット信号でOVFフラグは“0”にクリアされますが、WRSTビットは“1”にセットされたままです。したがって、リセット処理ルーチンの中で、必ずWRSTビットのクリアを行ってください。

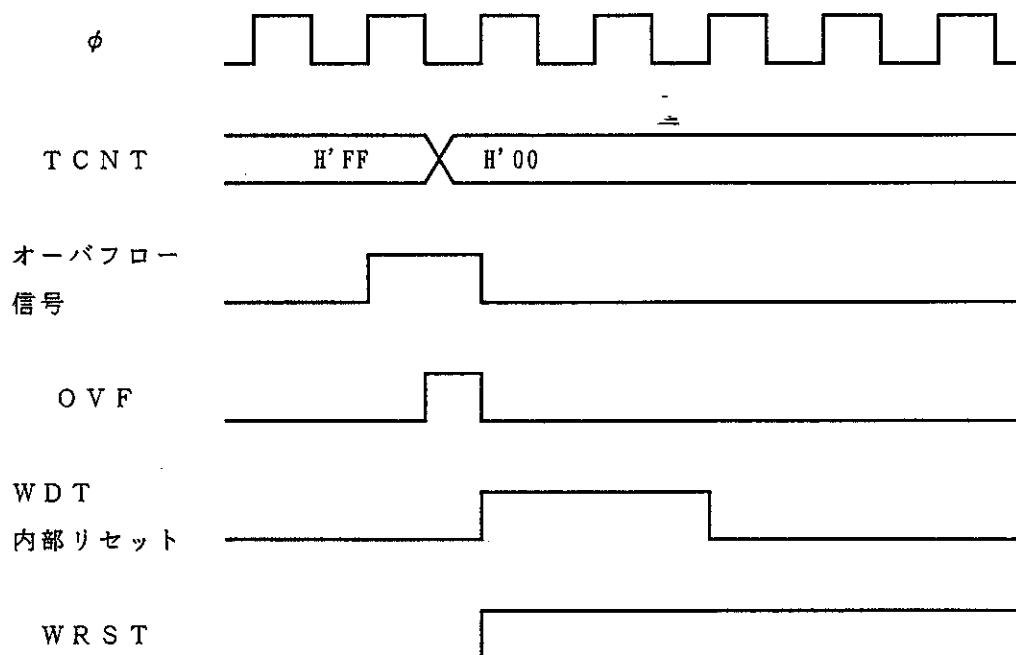


図12.7 WRSTビットのセットおよび内部リセットタイミング

12.4 割込み

インターバルタイマ時、オーバフローによりインターバルタイマ割込み（WOVI）が発生します。インターバルタイマ割込みはTCSRのOVFフラグが“1”にセットされると常に要求されます。

12.5 使用上の注意

(1) TCNTのライトとカウントアップの競合

図12.8にTCNTのライトとカウントアップの競合を示します。

TCNTのライトサイクル中のT₃ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

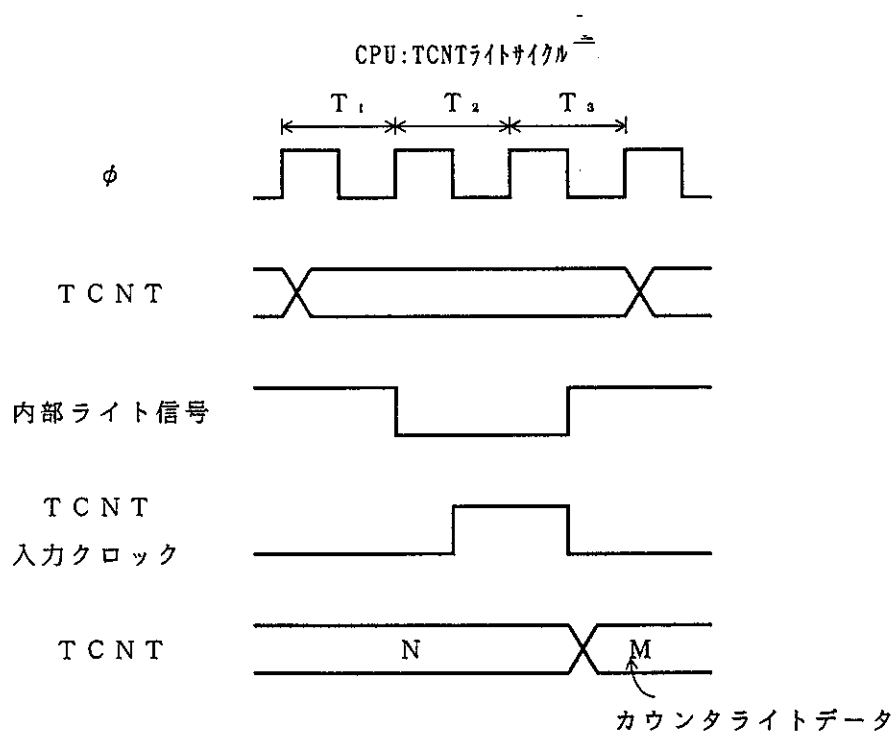


図12.8 TCNTのライトとカウントアップの競合

(2) CKS2～CKS0ビットの切り換え

CKS2～CKS0ビットを切り換えるときは、TCSRのTMEビットを“0”にクリアし、TCNTを停止させてから行ってください。