

11. プログラマブルタイミング パターンコントローラ (TPC)

第11章 目次

11.1	概要	437
11.1.1	特長	437
11.1.2	ブロック図	438
11.1.3	端子構成	439
11.1.4	レジスタ構成	440
11.2	各レジスタの説明	441
11.2.1	ポートAデータディレクションレジスタ (PADDR)	441
11.2.2	ポートAデータレジスタ (PADR)	441
11.2.3	ポートBデータディレクションレジスタ (PBDDR)	442
11.2.4	ポートBデータレジスタ (PBDR)	442
11.2.5	ネクストデータレジスタA (NDRA)	443
11.2.6	ネクストデータレジスタB (NDRB)	445
11.2.7	ネクストデータイネーブルレジスタA (NDERA)	447
11.2.8	ネクストデータイネーブルレジスタB (NDERB)	448
11.2.9	TPC出力コントロールレジスタ (TPCR)	449
11.2.10	TPC出力モードレジスタ (TPMR)	452
11.3	動作説明	455
11.3.1	概要	455
11.3.2	出力タイミング	456
11.3.3	TPC出力通常動作	457
11.3.4	TPC出力ノンオーバーラップ動作	459
11.3.5	インプットキャプチャによるTPC出力	461
11.4	使用上の注意	462
11.4.1	TPC出力端子の動作	462
11.4.2	ノンオーバーラップ動作時の注意	462

11.1 概要

H8/3048シリーズは、16ビットインテグレートドタイマユニット（ITU）をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ（TPC）を内蔵しています。TPCは4ビット単位のTPC出力グループ3～0から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

TPCの特長を以下に示します。

■出力データ16ビット

最大16ビットのデータ出力が可能で、TPC出力をビット単位に許可することができます。

■4系統の出力可能

4ビット単位のグループで出力トリガ信号が選択可能で、最大4ビット×4系統の出力を行うことができます。

■出力トリガ信号を選択可能

ITUの4チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

■ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

■DMAコントローラ（DMAC）との連携動作可能

出力トリガ信号に選択したコンペアマッチ信号でDMACを起動することにより、CPUの介在なくデータを順次出力することができます。

11.1.3 端子構成

TPCの端子構成を表11.1に示します。

表11.1 端子構成

名 称	略 称	入 出 力	機 能
TPC出力0	TP ₀	出 力	グループ0のパルス出力
TPC出力1	TP ₁	出 力	
TPC出力2	TP ₂	出 力	
TPC出力3	TP ₃	出 力	
TPC出力4	TP ₄	出 力	グループ1のパルス出力
TPC出力5	TP ₅	出 力	
TPC出力6	TP ₆	出 力	
TPC出力7	TP ₇	出 力	
TPC出力8	TP ₈	出 力	グループ2のパルス出力
TPC出力9	TP ₉	出 力	
TPC出力10	TP ₁₀	出 力	
TPC出力11	TP ₁₁	出 力	
TPC出力12	TP ₁₂	出 力	グループ3のパルス出力
TPC出力13	TP ₁₃	出 力	
TPC出力14	TP ₁₄	出 力	
TPC出力15	TP ₁₅	出 力	

11.1.4 レジスタ構成

TPCのレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFD1	ポートAデータディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポートAデータレジスタ	PADR	R/(W)* ²	H'00
H'FFD4	ポートBデータディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポートBデータレジスタ	PBDR	R/(W)* ²	H'00
H'FFA0	TPC出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタB	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタA	NDERA	R/W	H'00
H'FFA5/ H'FFA7* ³	ネクストデータレジスタA	NDRA	R/W	H'00
H'FFA4/ H'FFA6* ³	ネクストデータレジスタB	NDRB	R/W	H'00

【注】*¹ アドレスの下位16ビットを示しています。

*² TPC出力として使用しているビットは、ライトできません。

*³ TPCRの設定によりTPC出力グループ0とTPC出力グループ1の出力トリガが同一の場合はNDRAのアドレスはH'FFA5となり、出力トリガが異なる場合はグループ0に対応するNDRAのアドレスはH'FFA7、グループ1に対応するNDRAのアドレスはH'FFA5となります。

同様に、TPCRの設定によりTPC出力グループ2とTPC出力グループ3の出力トリガが同一の場合はNDRBのアドレスはH'FFA4となり出力トリガが異なる場合はグループ2に対応するNDRBのアドレスはH'FFA6、グループ3に対応するNDRBのアドレスはH'FFA4となります。

11.2 各レジスタの説明

11.2.1 ポートAデータディレクションレジスタ (PADDDR)

PADDDRは8ビットのライト専用のレジスタで、ポートAの各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

|
ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポートAはTP₇~TP₀端子との兼用端子となっています。TPC出力を行う端子に対応するビットは“1”にセットしてください。

PADDDRの詳細は、「9.11 ポートA」を参照してください。

11.2.2 ポートAデータレジスタ (PADR)

PADRは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、グループ0、1の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

|
ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】* NDERAにより、TPC出力に設定されたビットはリード専用となります。

PADRの詳細は、「9.11 ポートA」を参照してください。

11.2.3 ポートBデータディレクションレジスタ (PBDDR)

PBDDRは8ビットのライト専用のレジスタで、ポートBの各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

ポートBはTP_{1,0}~TP₈端子との兼用端子となっています。TPC出力を行う端子に対応するビットは“1”にセットしてください。

PBDDRの詳細は、「9.12 ポートB」を参照してください。

11.2.4 ポートBデータレジスタ (PBDR)

PBDRは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、PBDRはグループ2、3の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートBデータ7~0

TPC出力グループ2、3の出力データを格納するビットです。

【注】* NDERBにより、TPC出力に設定されたビットはリード専用となります。

PBDRの詳細は、「9.12 ポートB」を参照してください。

11.2.5 ネクストデータレジスタ A (NDRA)

NDRAは8ビットのリード/ライト可能なレジスタで、TPC出力グループ1、0(TP₇~TP₀端子)の次の出力データを格納します。TPC出力を行う場合、TPCRで指定したITUのコンペアマッチが発生したときに、NDRAの内容がPADRの対応するビットに転送されます。

NDRAのアドレスは、TPC出力グループ0、1の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRAはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC出力グループ0、1の出力トリガが同一の場合

TPC出力グループ0、1の出力トリガとなるコンペアマッチを同一にすると、NDRAのアドレスはH'FFA5となります。グループ1、0はそれぞれ上位4ビット、下位4ビットになります。このとき、アドレスH'FFA7はすべてリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ネクストデータ7~4				ネクストデータ3~0			
	TPC出力グループ1の次の				TPC出力グループ0の次の			
	出力データを格納するビットです。				出力データを格納するビットです。			

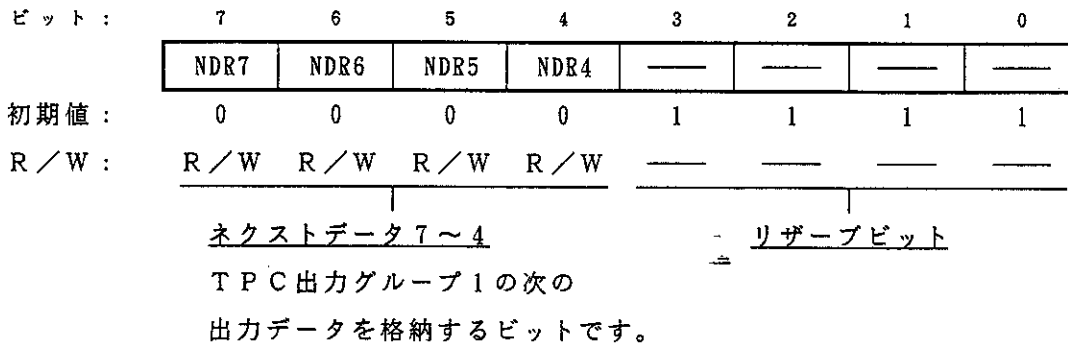
② アドレス：H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—
	リザーブビット							

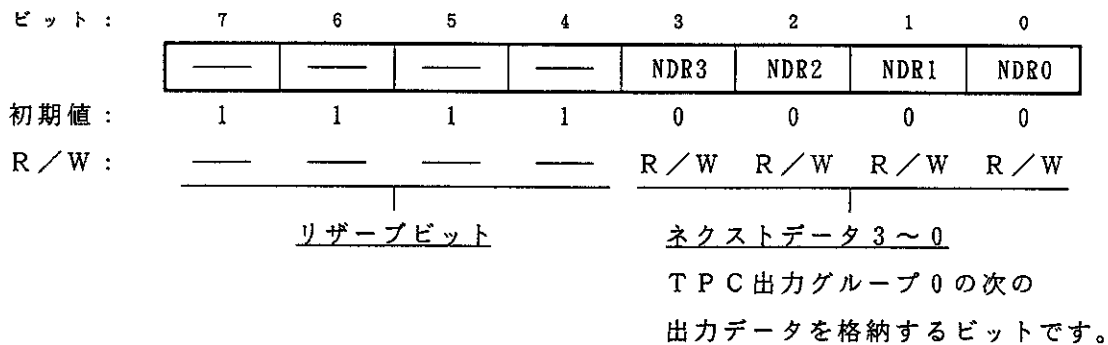
(2) T P C出力グループ0、1の出力トリガが異なる場合

T P C出力グループ0、1の出力トリガとなるコンペアマッチを別にする、N D R Aの上位4ビット(グループ1)のアドレスはH' FFA5、N D R Aの下位4ビット(グループ0)のアドレスはH' FFA7となります。このとき、アドレスH' FFA5のビット3~0、アドレスH' FFA7のビット7~4はリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H' FFA5



② アドレス：H' FFA7



11.2.6 ネクストデータレジスタ B (NDRB)

NDRBは8ビットのリード/ライト可能なレジスタで、TPC出力グループ3、2(TP₁₅~TP₈端子)の次の出力データを格納します。TPC出力を行う場合、TPCRで指定したITUのコンペアマッチが発生したときに、NDRBの内容がPBDRの対応するビットに転送されます。NDRBのアドレスは、TPC出力グループ2、3の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRBはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC出力グループ2、3の出力トリガが同一の場合

TPC出力グループ2、3の出力トリガとなるコンペアマッチを同一にすると、NDRBのアドレスはH'FFA4となります。グループ3、2はそれぞれ下位4ビット、上位4ビットになります。このとき、アドレスH'FFA6はすべてリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H'FFA4

ビット:	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ネクストデータ15~12				ネクストデータ11~8			
	TPC出力グループ3の次の出力データを格納します。				TPC出力グループ2の次の出力データを格納します。			

② アドレス：H'FFA6

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	—	—	—	—	—
	リザーブビット							

(2) T P C出力グループ2、3の出力トリガが異なる場合

T P C出力グループ2、3の出力トリガとなるコンペアマッチを別にする、N D R Bの上位4ビット(グループ3)のアドレスはH' FFA4、N D R Bの下位4ビット(グループ2)のアドレスはH' FFA6となります。このとき、アドレスH' FFA4のビット3~0、アドレスH' FFA6のビット7~4はリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H' FFA4

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ15~12

＝リザーブビット

T P C出力グループ3の次の
出力データを格納するビットです。

② アドレス：H' FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値：	1	1	1	1	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ11~8

T P C出力グループ2の次の
出力データを格納するビットです。

11.2.7 ネクストデータイネーブルレジスタ A (NDERA)

NDERAは8ビットのリード/ライト可能なレジスタで、TPC出力グループ1、0 (TP₇~TP₀端子)の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0

TPC出力グループ1、0を許可/禁止を選択するビットです。

NDERAによりTPC出力が許可されたビットは、TPCRで選択されたITUのコンペアマッチが発生すると、NDRAの値がPADRの当該ビットに自動転送され出力値が更新されます。TPC出力を禁止されているビットについては、NDRAからPADRへの転送は行われず出力値も変化しません。

NDERAはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0: ネクストデータイネーブル7~0 (NDER7~NDER0)

TPC出力グループ1、0 (TP₇~TP₀端子)の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER7~NDER0	
0	TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からPA ₇ ~PA ₀ への転送禁止) (初期値)
1	TPC出力TP ₇ ~TP ₀ を許可 (NDR7~NDR0からPA ₇ ~PA ₀ への転送許可)

11.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERBは8ビットのリード/ライト可能なレジスタで、TPC出力グループ3、2 (TP₁₅~TP₈端子)の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8
TPC出力グループ3、2の許可/禁止を
選択するビットです。

NDERBによりTPC出力が許可されたビットは、TPCRで選択されたITUのコンペアマッチが発生すると、NDERBの値がPBDRの当該ビットに自動転送され出力値が更新されます。TPC出力を禁止されているビットについては、NDERBからPBDRへの転送は行われず出力値も変化しません。

NDERBはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

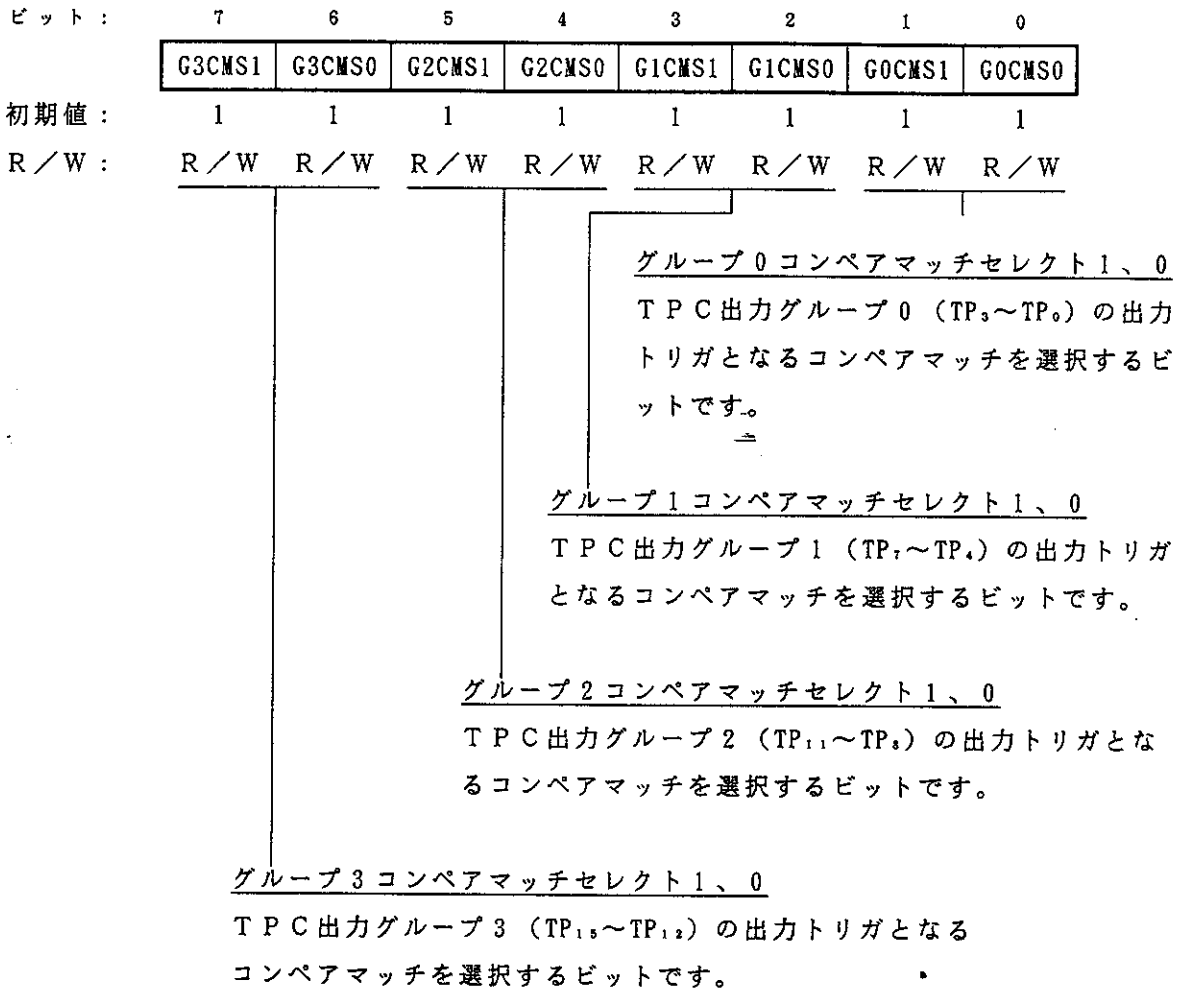
ビット7~0: ネクストデータイネーブル15~8 (NDER15~NDER8)

TPC出力グループ3、2 (TP₁₅~TP₈端子)の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER15~NDER8	
0	TPC出力TP ₁₅ ~TP ₈ を禁止 (NDER15~NDER8からPB ₇ ~PB ₀ への転送禁止) (初期値)
1	TPC出力TP ₁₅ ~TP ₈ を許可 (NDER15~NDER8からPB ₇ ~PB ₀ への転送許可)

11.2.9 T P C出力コントロールレジスタ (T P C R)

T P C Rは8ビットのリード/ライト可能なレジスタで、T P C出力の出力トリガ信号をグループ単位で選択します。



T P C Rは、リセットまたはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7、6：グループ3コンペアマッチセレクト1、0（G3CMS1、G3CMS0）
 TPC出力グループ3（TP₁₅～TP₁₂端子）の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説 明
G3CMS1	G3CMS0	
0	0	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ （初期値）

ビット5、4：グループ2コンペアマッチセレクト1、0（G2CMS1、G2CMS0）
 TPC出力グループ2（TP₁₁～TP₈端子）の出力トリガとなるコンペアマッチを選択します。

ビット5	ビット4	説 明
G2CMS1	G2CMS0	
0	0	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ （初期値）

ビット3、2：グループ1コンペアマッチセレクト1、0（G1CMS1、G1CMS0）

TPC出力グループ1（TP₁～TP₄端子）の出力トリガとなるコンペアマッチを選択します。

ビット3	ビット2	説 明
G1CMS1	G1CMS0	
0	0	TPC出力グループ1（TP ₁ ～TP ₄ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1（TP ₁ ～TP ₄ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1（TP ₁ ～TP ₄ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1（TP ₁ ～TP ₄ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット1、0：グループ0コンペアマッチセレクト1、0（G0CMS1、G0CMS0）

TPC出力グループ0（TP₃～TP₆端子）の出力トリガとなるコンペアマッチを選択します。

ビット1	ビット0	説 明
G0CMS1	G0CMS0	
0	0	TPC出力グループ0（TP ₃ ～TP ₆ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ0（TP ₃ ～TP ₆ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ0（TP ₃ ～TP ₆ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ0（TP ₃ ～TP ₆ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

11.2.10 T P C出力モードレジスタ (T P M R)

T P M Rは8ビットのリード/ライト可能なレジスタで、T P C出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

グループ3 ノンオーバーラップ

T P C出力グループ3 (TP₁₃~TP₁₂)のノンオーバーラップ動作を設定するビットです。

グループ2 ノンオーバーラップ

T P C出力グループ2 (TP₁₁~TP₉)のノンオーバーラップ動作を設定するビットです。

グループ1 ノンオーバーラップ

T P C出力グループ1 (TP₇~TP₄)のノンオーバーラップ動作を設定するビットです。

グループ0 ノンオーバーラップ

T P C出力グループ0 (TP₃~TP₀)のノンオーバーラップ動作を設定するビットです。

ノンオーバーラップ動作のT P C出力は、出力トリガとなるI T UのG R Bに出力波形の周期を、またG R Aにノンオーバーラップ期間を設定し、コンペアマッチA、Bで出力値を変化させます。

詳細は、「11.3.4 T P C出力ノンオーバーラップ動作」を参照してください。

T P M Rはリセット、またはハードウェアスタンバイモード時にH' F0にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~4 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3：グループ3ノンオーバーラップ（G3NOV）

TPC出力グループ3（TP₁₃～TP₁₂端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット3	説 明
G3NOV	
0	TPC出力グループ3は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ3は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット2：グループ2ノンオーバーラップ（G2NOV）

TPC出力グループ2（TP₁₁～TP₈端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット2	説 明
G2NOV	
0	TPC出力グループ2は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ2は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット1：グループ1ノンオーバーラップ（G1NOV）

TPC出力グループ1（TP₇～TP₄端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット1	説 明
G1NOV	
0	TPC出力グループ1は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ1は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット0：グループ0 ノンオーバーラップ (G0NOV)

TPC出力グループ0 (TP₃~TP₆端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット0	説 明
G0NOV	
0	TPC出力グループ0は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ0は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

11.3 動作説明

11.3.1 概要

TPC出力は、PADDR、PBDDRとNDERA、NDERBの対応するビットをそれぞれ“1”にセットすることにより許可状態となります。この状態では、対応するPADR、PBDRの内容が出力されます。

その後、TPCRで指定したコンペアマッチが発生すると、ビットに対応するNDRAおよびNDRBの内容がそれぞれPADRおよびPBDRに転送され、出力値が更新されます。

TPC出力動作を図11.2に示します。また、TPC動作条件を表11.3に示します。

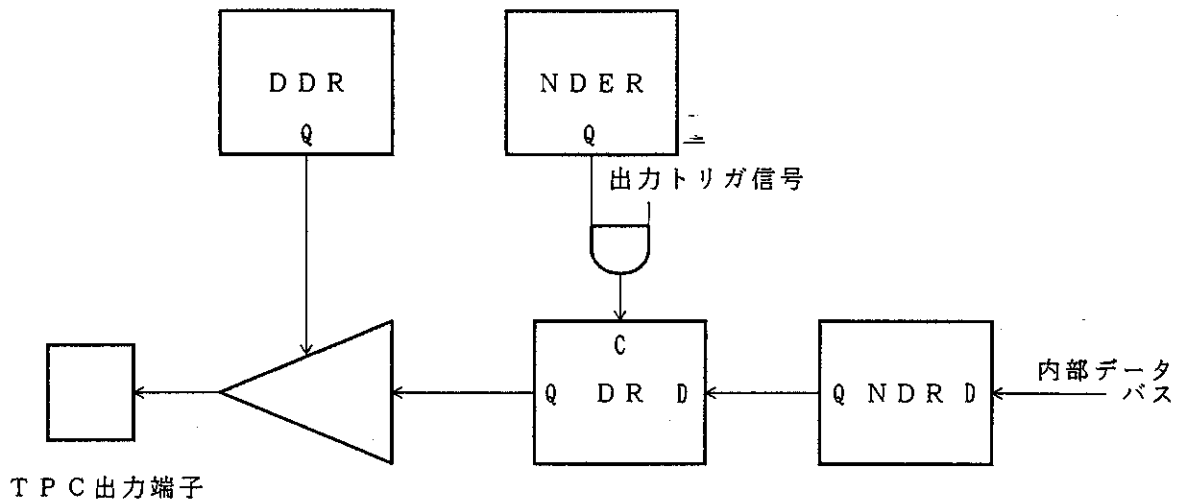


図11.2 TPC出力動作

表11.3 TPC動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート（ただし、コンペアマッチ時にNDRからDRの転送を行い、DRへのライトはできません）
	1	TPCパルス出力

次のコンペアマッチが発生するまでにNDRAおよびNDRBに出力データを書き込むことにより、コンペアマッチごとに最大16ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 TPC出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

TPC出力許可状態で指定されたコンペアマッチが発生すると、NDRA/NDRBの内容がPADR/PBDRに転送され、出力されます。

このタイミングを図11.3に示します。

コンペアマッチAにより、グループ2、3で通常出力を行った場合の例です。

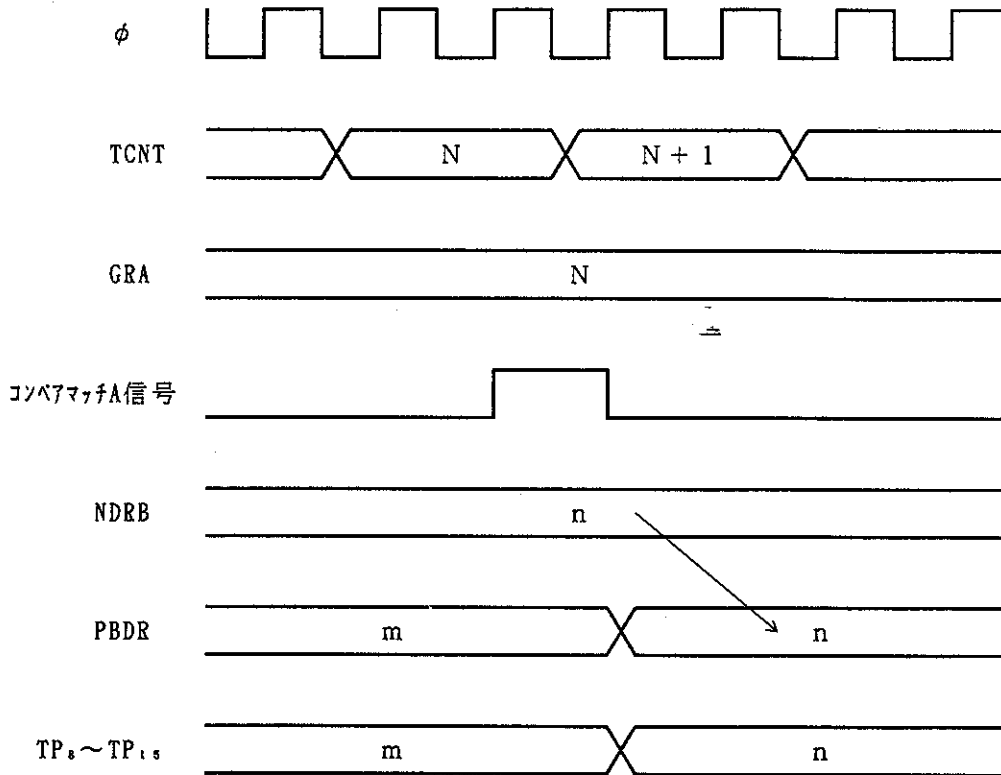


図11.3 NDRの内容が転送・出力されるタイミング(例)

11.3.3 T P C 出力通常動作

(1) T P C 出力通常動作の設定手順例

T P C 出力通常動作の設定手順例を図11.4に示します。

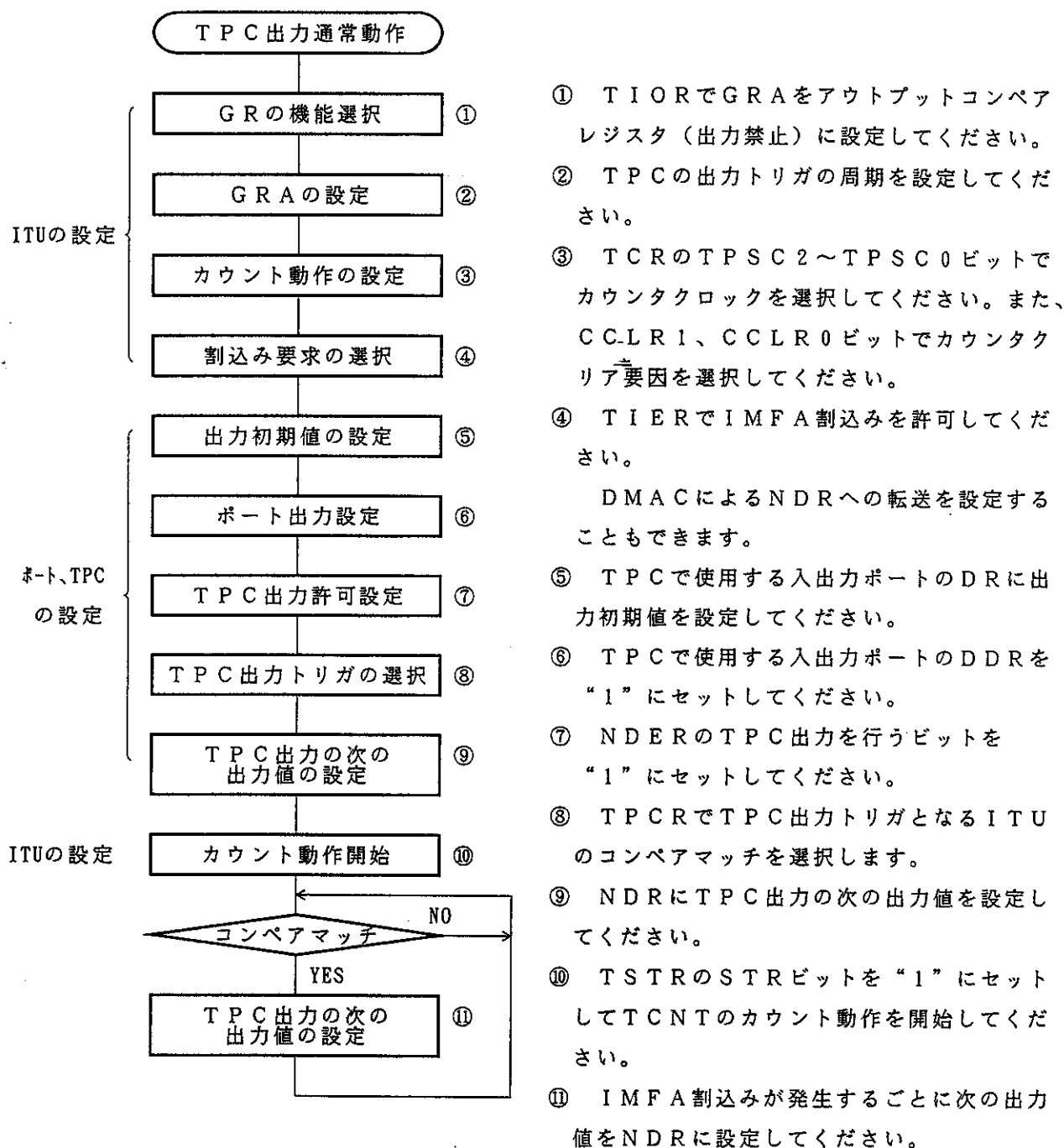
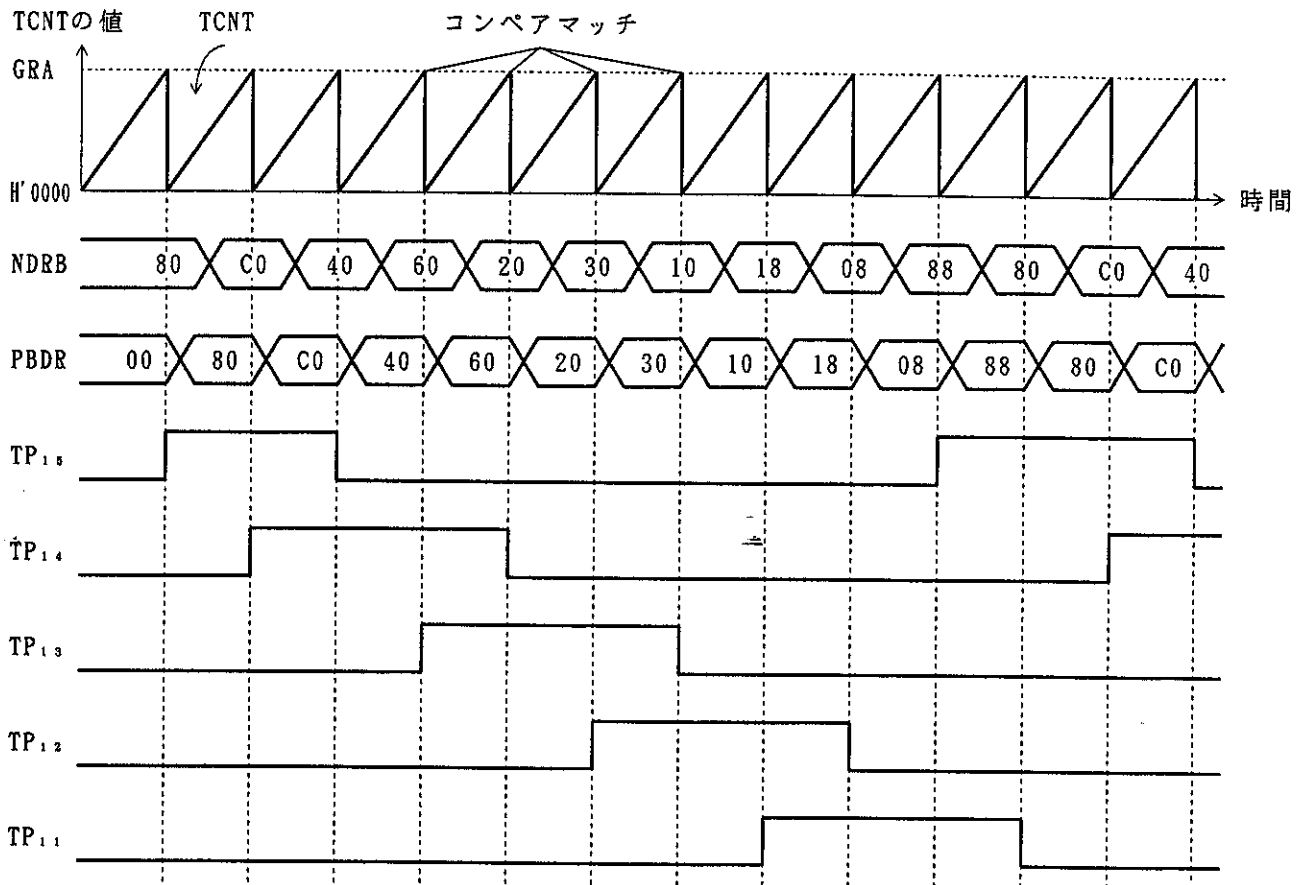


図11.4 T P C 出力通常動作の設定手順例

(2) TPC出力通常動作例（5相パルス出力例）

TPC出力を使用して一定周期で5相パルスを出力させた例を図11.5に示します。



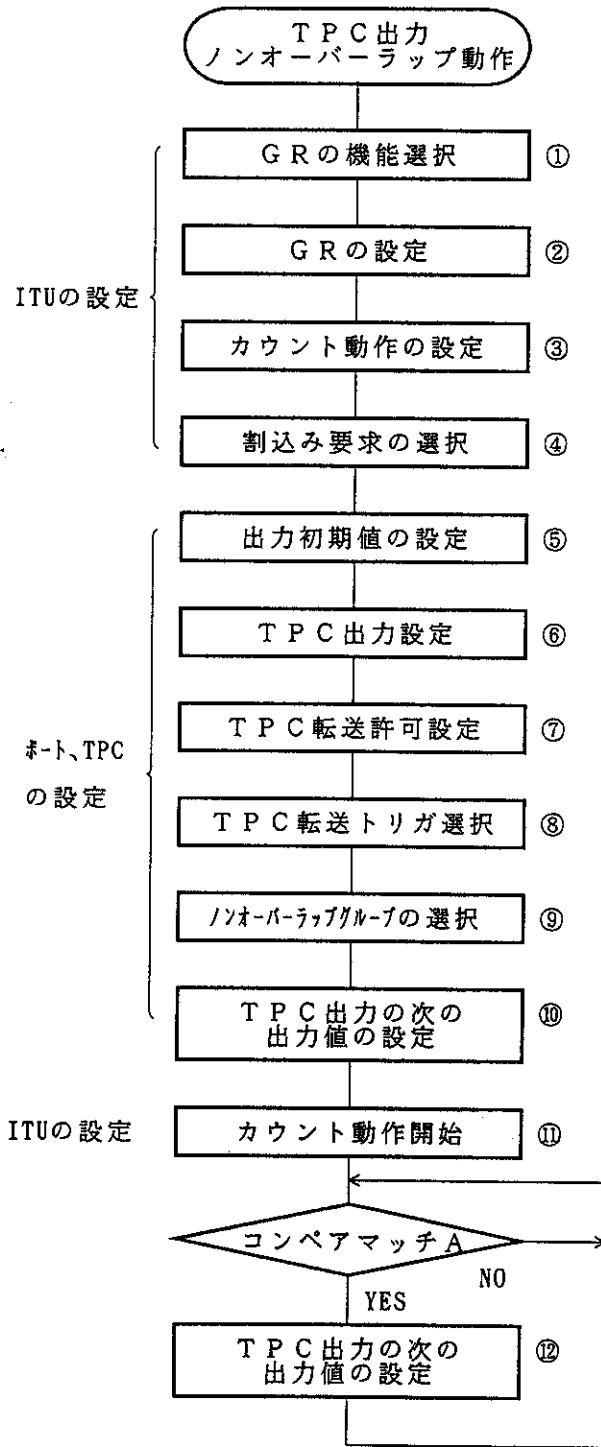
- ① 出力トリガとするITUのGRAをアウトプットコンペアレジスタに設定します。
GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIMERのIMIEAビットを“1”にセットして、コンペアマッチA割込みを許可します。
- ② PBDDRとNDRBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを①で選択したITUのコンペアマッチに設定します。NDRBに出力データH'80をライトします。
- ③ ITU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。
コンペアマッチ/インプットキャプチャA (IMFA) 割込み処理でNDRBに次の出力データH'C0をライトします。
- ④ 以後、IMFA割込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

図11.5 TPC出力通常動作例（5相パルス出力例）

11.3.4 T P C出力ノンオーバーラップ動作

(1) T P C出力ノンオーバーラップ動作の設定手順例

T P C出力ノンオーバーラップ動作の設定手順例を図11.6に示します。



- ① T I O RでG R A、G R Bをアウトプットコンペアレジスタ（出力禁止）に選択してください。
- ② G R BにT P C出力トリガの周期を、G R Aにはノンオーバーラップ期間をそれぞれ設定してください。
- ③ T C RのT P S C 2～T P S C 0ビットでカウンタクロックを選択してください。また、C C L R 1、C C L R 0ビットでカウンタクリア要因を選択してください。
- ④ T I E RでI M F A割込みを許可してください。
D M A CによるN D Rへの転送を設定することもできます。
- ⑤ T P Cで使用する入出力ポートのD Rに出力初期値を設定してください。
- ⑥ T P Cで使用する入出力ポートのD D Rを“1”にセットしてください。
- ⑦ N D E RのT P C出力を行うビットを“1”にセットしてください。
- ⑧ T P C RでT P C出力トリガとなるI T Uのコンペアマッチを選択します。
- ⑨ T P M Rでノンオーバーラップ動作を行うグループを選択します。
- ⑩ N D RにT P C出力の次の出力値を設定してください。
- ⑪ T S T RのS T Rビットを“1”にセットしてT C N Tのカウント動作を開始してください。
- ⑫ I M F A割込みが発生するごとに次の出力値をN D Rに設定してください。

図11.6 T P C出力ノンオーバーラップ動作の設定手順例

(2) T P C出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）

T P C出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図11.7に示します。

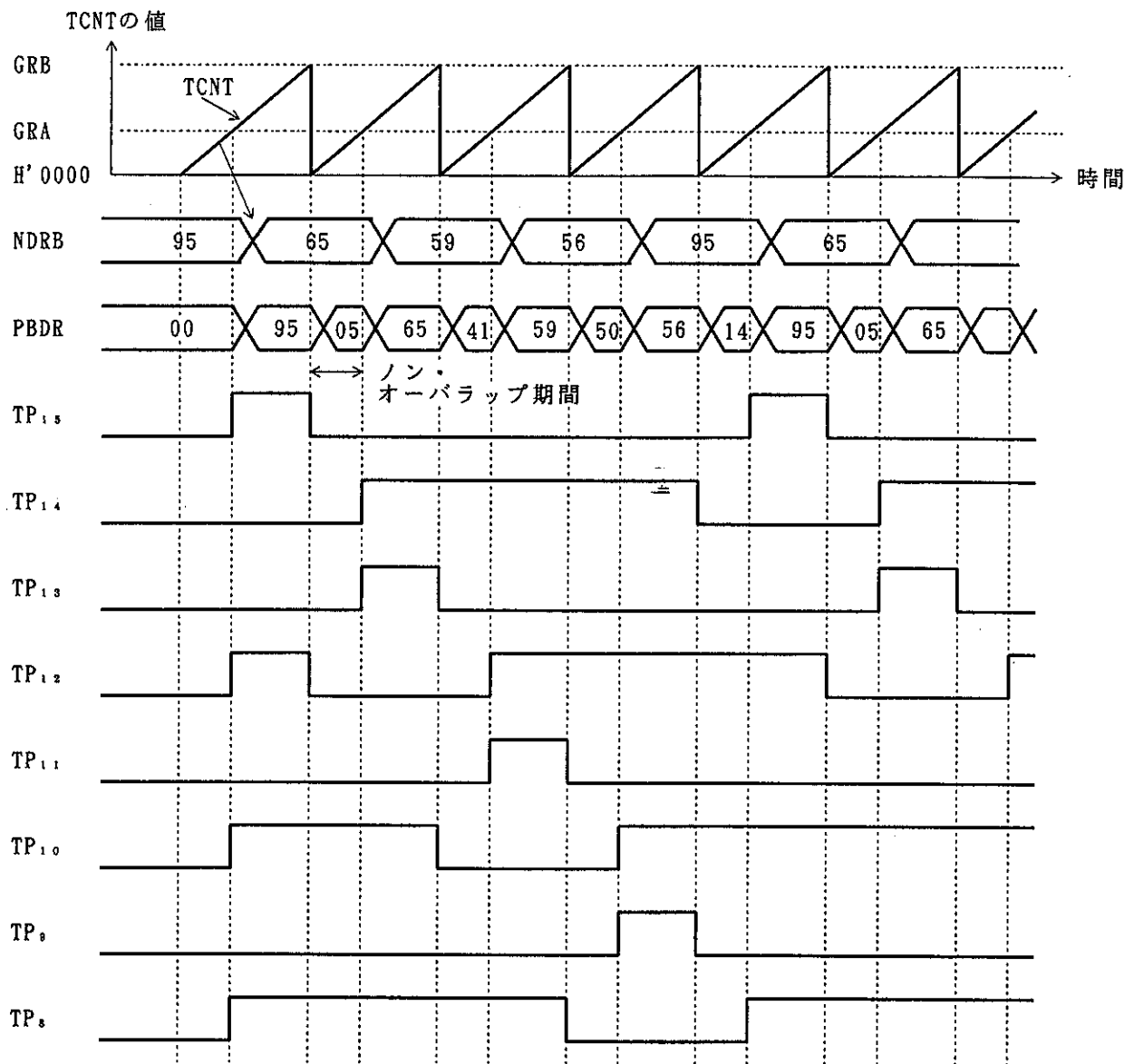


図11.7 T P C出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）

以下に動作例について説明します。

- ① 出力トリガとする I T Uの G R A、G R Bをアウトプットコンペアレジスタに設定します。G R Bには周期、G R Aにはノンオーバーラップ期間を設定し、コンペアマッチ Bによるカウンタクリアを選択します。また、T I E Rの I M I E Aビットを” 1”にセットして、I M F A割込みを許可します。
- ② P B D D Rと N D E R Bに H' F Fをライトし、T P C Rの G 3 C M S 1、G 3 C M S 0ビットおよび G 2 C M S 1、G 2 C M S 0ビットにより出力トリガを①で選択した I T Uのコンペアマッチに設定します。

TPMRのG3NOV、G2NOVビットをそれぞれ“1”にセットして、ノンオーバーラップ動作を設定します。NDRBに出力データH'95をライトします。

- ③ ITU当該チャンネルの動作を開始すると、GRBのコンペアマッチで1出力→0出力の変化、GRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はGRAの設定値分遅延することになります）。

IMFA割込み処理でNDRBに次の出力データH'65をライトします。

- ④ 以後、IMFA割込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。

コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.3.5 インพุットキャプチャによるTPC出力

TPC出力は、ITUのコンペアマッチだけではなく、インพุットキャプチャによっても可能です。

TPCRによって選択されたITUのGRAがインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりTPC出力を行います。

このタイミングを図11.8に示します。

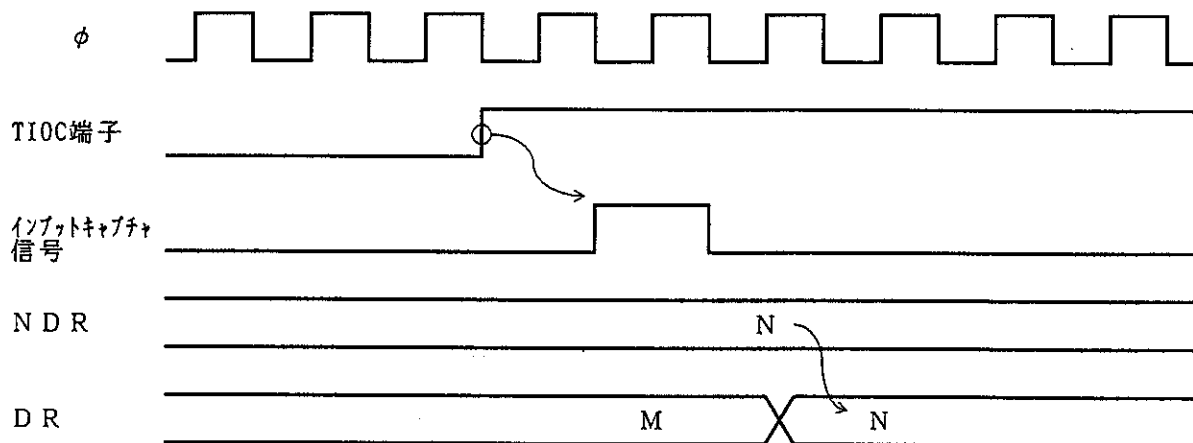


図11.8 インพุットキャプチャによるTPC出力例

11.4 使用上の注意

11.4.1 T P C 出力端子の動作

TP₀～TP₁₀は I T U、D M A C、アドレスバスなどの端子と兼用になっています。これらの端子は、I T U、D M A C、アドレスバスが出力許可状態になっているときには、T P C 出力を行うことができません。ただし、N D R から D R への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の N D R から D R の転送は以下のようになっています。

- (1) コンペアマッチ A では N D R の内容を常に D R へ転送します。
- (2) コンペアマッチ B では N D R の転送するビットの内容が“0”のときのみ転送を行います。“1”のときは転送を行いません。

ノンオーバーラップ時の T P C 出力動作を図 11.9 に示します。

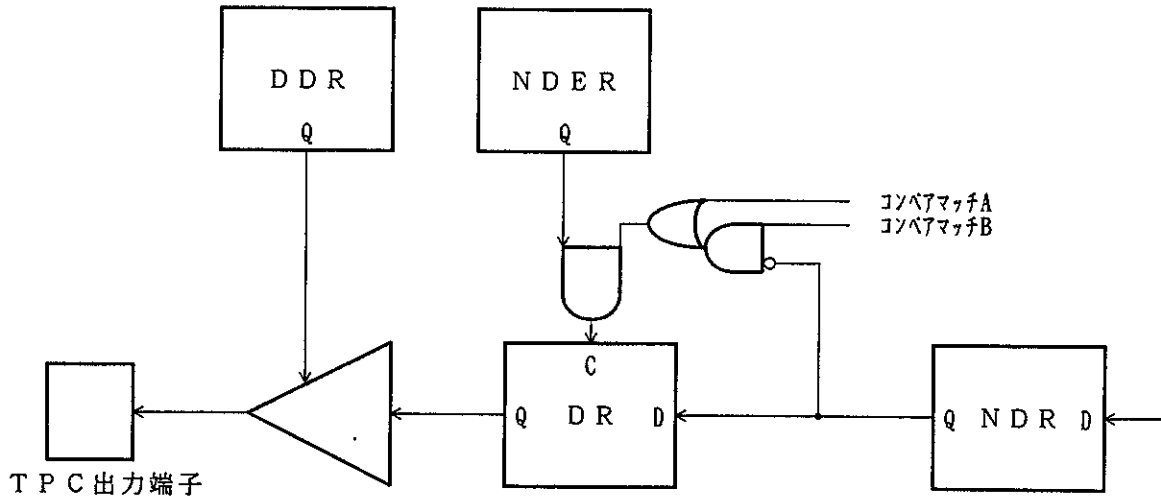


図 11.9 T P C 出力ノンオーバーラップ動作

したがって、コンペアマッチBを、コンペアマッチAよりも先に発生させることにより、“0”データの転送を“1”データの転送に先だて行うことが可能です。

この場合、コンペアマッチBが発生した後、コンペアマッチAが発生するまで（ノンオーバーラップ期間）の間、NDRの内容を変更しないようにしてください。

これはIMFA割込みの割込み処理ルーチンでNDRに次のデータをライトすることによって実現できます。また、IMFA割込みでDMACを起動することもできます。ただし、このライトは次のコンペアマッチBが発生する前に行ってください。

このタイミングを図11.10に示します。

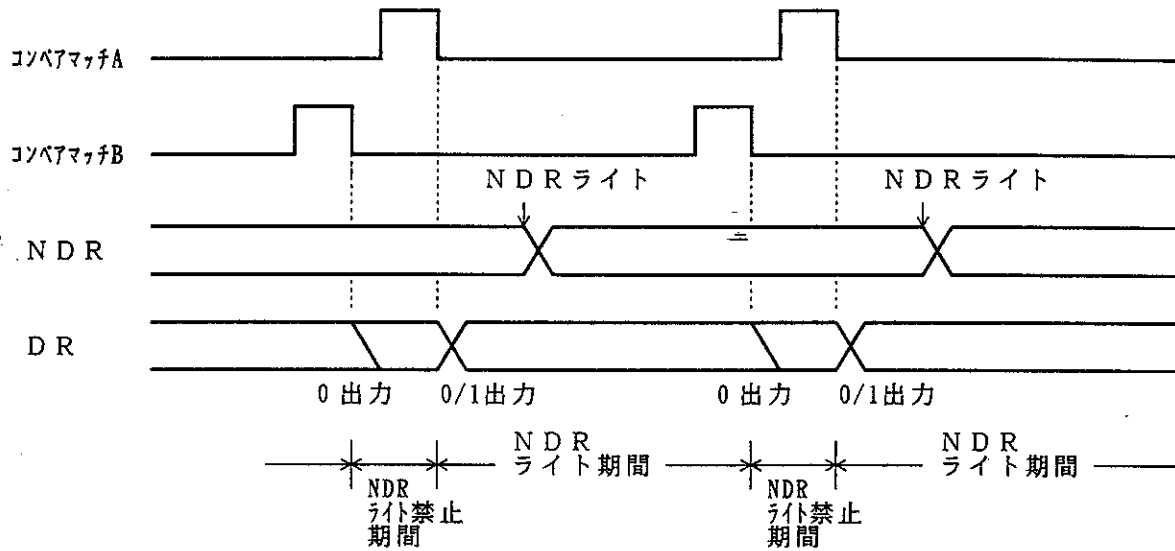


図11.10 ノンオーバーラップ動作とNDRライトタイミング