

10. 16ビットインテグレートッド タイマユニット (ITU)

第10章 目次

10.1	概要	327
10.1.1	特長	327
10.1.2	ブロック図	330
10.1.3	端子構成	335
10.1.4	レジスタ構成	337
10.2	各レジスタの説明	339
10.2.1	タイマスタートレジスタ (TSTR)	339
10.2.2	タイマシンクロレジスタ (TSNC)	341
10.2.3	タイマモードレジスタ (TMDR)	343
10.2.4	タイマファンクションコントロールレジスタ (TF CR)	347
10.2.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	350
10.2.6	タイマアウトプットコントロールレジスタ (TOCR)	353
10.2.7	タイマカウンタ (TCNT)	355
10.2.8	ジェネラルレジスタA、B (GRA、GRB)	356
10.2.9	バッファレジスタA、B (BRA、BRB)	357
10.2.10	タイマコントロールレジスタ (TCR)	358
10.2.11	タイマI/Oコントロールレジスタ (TIOR)	361
10.2.12	タイマステータスレジスタ (TSR)	364
10.2.13	タイマインタラプトイネーブルレジスタ (TIER)	367
10.3	CPUとのインタフェース	369
10.3.1	16ビットアクセス可能なレジスタ	369
10.3.2	8ビットアクセスのレジスタ	371

10.4	動作説明	372
10.4.1	概要	372
10.4.2	基本機能	374
10.4.3	同期動作	383
10.4.4	PWMモード	385
10.4.5	リセット同期PWMモード	389
10.4.6	相補PWMモード	392
10.4.7	位相計数モード	401
10.4.8	バッファ動作	403
10.4.9	I T U出力タイミング	410
10.5	割込み	413
10.5.1	ステータスフラグのセットタイミング	413
10.5.2	ステータスフラグのクリアタイミング	415
10.5.3	割込み要因とDMAコントローラの起動	416
10.6	使用上の注意	417

10.1 概要

H8/3048シリーズは、5チャンネルの16ビットタイマにより構成される16ビットインテグレートッドタイマユニット（ITU）を内蔵しています。

消費電流低減のためITUを使用しない場合には、ITUを単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

10.1.1 特長

ITUの特長を以下に示します。

■最大12種類のパルス出力、または最大10種類のパルス入力処理が可能

■各チャンネル2本、合計10本のジェネラルレジスタ（GR）を持ち、各レジスタ独立にアウトプットコンペア／インプットキャプチャの機能設定が可能

■各チャンネルとも8種類のカウント入力クロックを選択可能

内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$

外部クロック：TCLKA、TCLKB、TCLKC、TCLKD

■各チャンネルとも次の動作モードを設定可能

・コンペアマッチによる波形出力：0出力／1出力／トグル出力が選択可能（チャンネル2は0出力／1出力が可能）

・インプットキャプチャ機能：立上がりエッジ／立下がりエッジ／両エッジ検出が選択可能

・カウンタクリア機能：コンペアマッチ／インプットキャプチャによるカウンタクリアが可能

・同期動作：複数のタイマカウンタ（TCNT）への同時書込みが可能
コンペアマッチ／インプットキャプチャによる同時クリアが可能

カウンタの同期動作による各レジスタの同期入出力が可能

・PWMモード：任意デューティのPWM出力が可能

同期動作と組み合わせることにより、最大5相のPWM出力が可能

■チャンネル2は位相計数モードを設定可能

2相エンコーダのカウント数の自動計測が可能

■チャンネル3、4は次の動作モードを設定可能

・リセット同期PWMモード：チャンネル3、4を組み合わせることにより、正相・逆相のPWM波形を3相出力可能

・相補PWMモード：チャンネル3、4を組み合わせることにより、正相・逆相がノンオーバーラップの関係にあるPWM波形を3相出力可能

・バッファ動作：インプットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書換えが可能

■内部16ビットバスによる高速アクセス

T C N T、G R、およびバッファレジスタ（B R）の16ビットレジスタに対して、16ビットバスによる高速アクセスが可能

■15種類の割込み要因

各チャンネルともコンペアマッチ／インプットキャプチャ兼用割込み×2要因、オーバーフロー割込み×1要因があり、それぞれ独立に要求可能

■DMAコントローラ（D M A C）の起動が可能

チャンネル0～3のコンペアマッチ／インプットキャプチャ兼用割込み（1本×4チャンネル）により、D M A Cの起動が可能

■プログラマブルパターンコントローラ（T P C）の出力トリガを生成可能

チャンネル0～3のコンペアマッチ／インプットキャプチャ信号をT P Cの出力トリガとして使用可能

—

I T U の機能一覧を表10.1に示します。

表10.1 I T U の機能一覧

項 目		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カ ウ ン ト ク ロ ッ ク		内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック：TCLKA、TCLKB、TCLKC、TCLKDから独立に選択可能				
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ 兼用レジスタ)		GRA 0、 GRB 0	GRA 1、 GRB 1	GRA 2、 GRB 2	GRA 3、 GRB 3	GRA 4、 GRB 4
バッファレジスタ		—	—	—	BRA 3、 BRB 3	BRA 4、 BRB 4
入 出 力 端 子		TIOCA0、 TIOCB0	TIOCA1、 TIOCB1	TIOCA2、 TIOCB2	TIOCA3、 TIOCB3	TIOCA4、 TIOCB4
出 力 端 子		—	—	—	—	TOCXA4、 TOCXB4
カウンタクリア機能		GRA0/GRB0 のコンペアマッチ または インプットキャプチャ	GRA1/GRB1 のコンペアマッチ または インプットキャプチャ	GRA2/GRB2 のコンペアマッチ または インプットキャプチャ	GRA3/GRB3 のコンペアマッチ または インプットキャプチャ	GRA4/GRB4 のコンペアマッチ または インプットキャプチャ
コンペア マ ッ チ 出 力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル出力	○	○	—	○	○
インプットキャプチャ機能		○	○	○	○	○
同 期 動 作		○	○	○	○	○
P W M モ ー ド		○	○	○	○	○
リセット同期PWMモード		—	—	—	○	
相補PWMモード		—	—	—	○	
位相計数モード		—	—	○	—	—
バッファ動作		—	—	—	○	○
D M A C の 起 動		GRA 0 の コンペアマッチ または インプットキャプチャ	GRA 1 の コンペアマッチ または インプットキャプチャ	GRA 2 の コンペアマッチ または インプットキャプチャ	GRA 3 の コンペアマッチ または インプットキャプチャ	—
割 込 み 要 因		3 要因 ・コンペアマッチ/ インプットキャプ チャA0 ・コンペアマッチ/ インプットキャプ チャB0 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA1 ・コンペアマッチ/ インプットキャプ チャB1 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA2 ・コンペアマッチ/ インプットキャプ チャB2 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA3 ・コンペアマッチ/ インプットキャプ チャB3 ・オーバーフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA4 ・コンペアマッチ/ インプットキャプ チャB4 ・オーバーフロー

《記号説明》

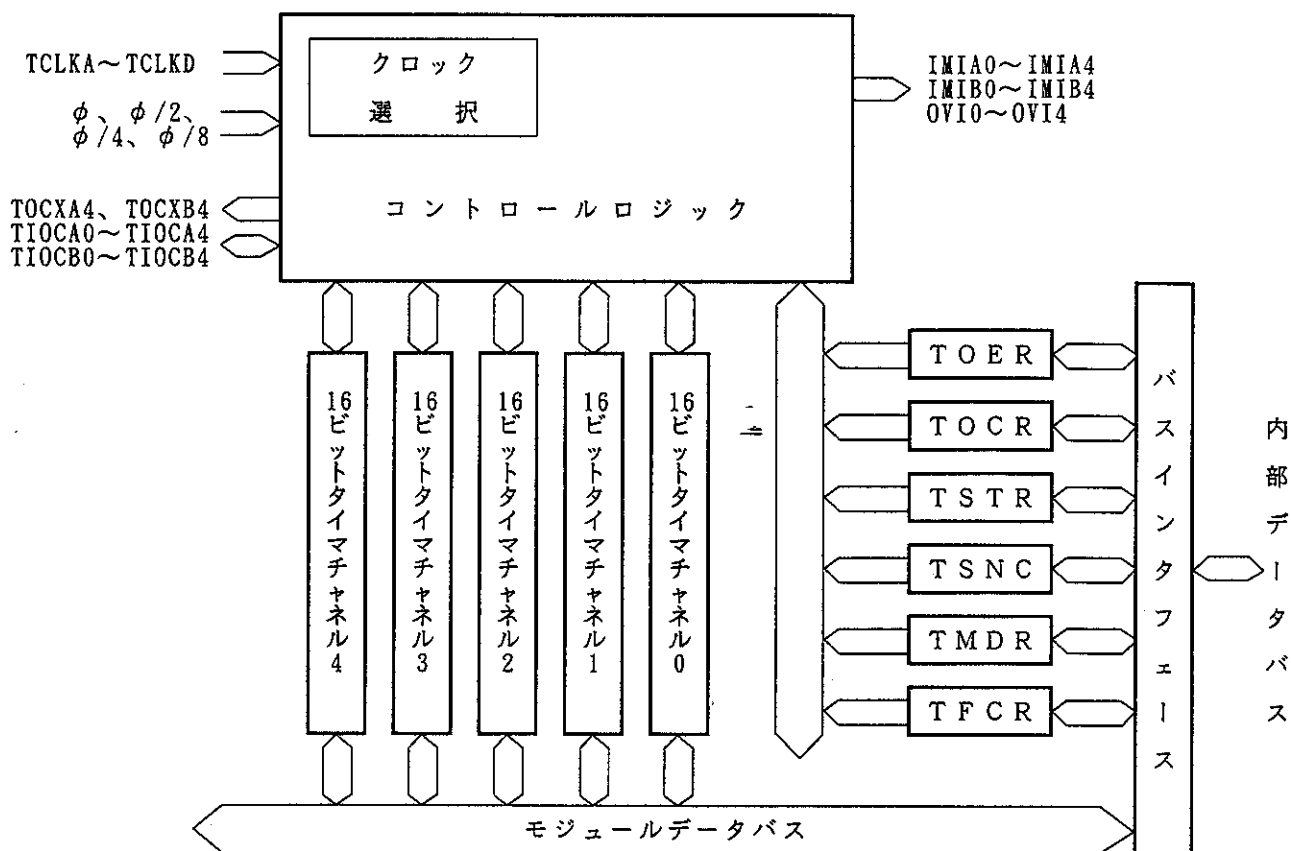
○：可能

—：不可

10.1.2 ブロック図

(1) ITUのブロック図（全体図）

ITUのブロック図（全体図）を図10.1に示します。



《記号説明》

$TOER$: タイマアウトプットマスタイネーブルレジスタ (8ビット)

$TOCR$: タイマアウトプットコントロールレジスタ (8ビット)

$TSTR$: タイマスタートレジスタ (8ビット)

$TSNC$: タイマシンクロレジスタ (8ビット)

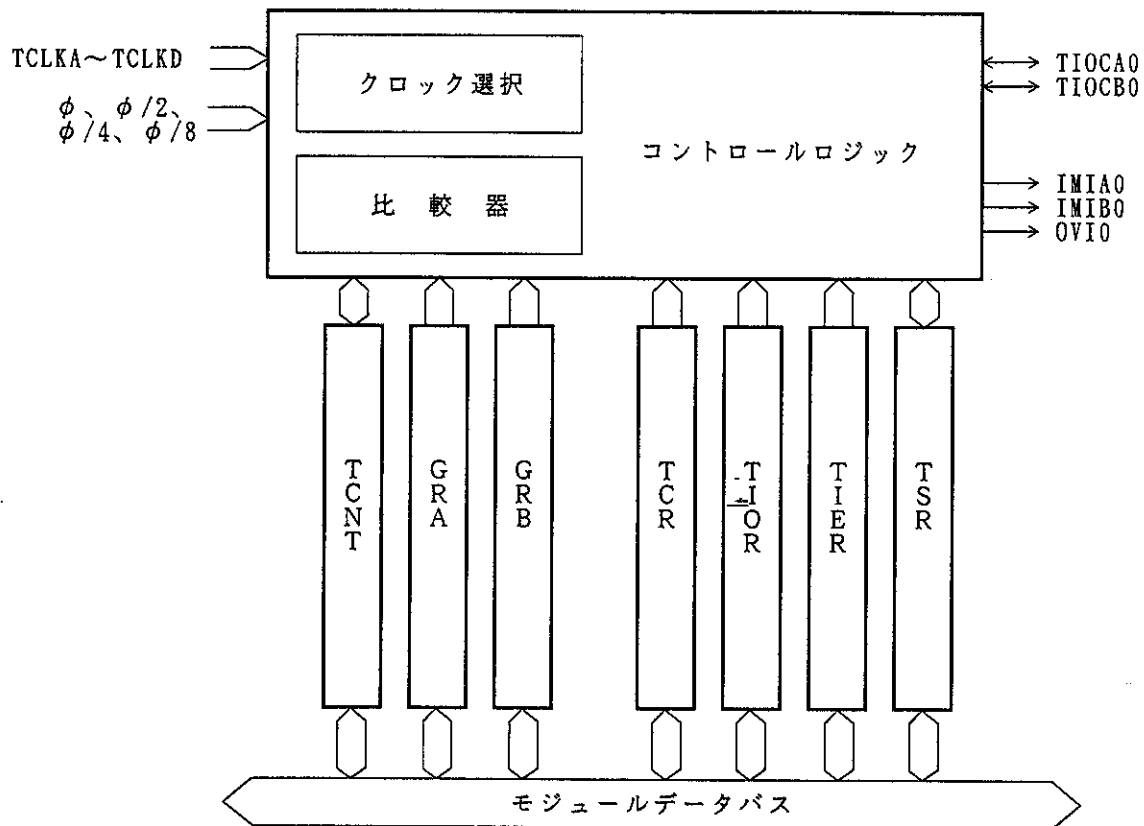
$TMDR$: タイマモードレジスタ (8ビット)

$TFCR$: タイマファンクションコントロールレジスタ (8ビット)

図10.1 ITUのブロック図（全体図）

(2) チャンネル 0、1 のブロック図

I T U のチャンネル 0、1 は同一の機能をもっています。チャンネル 0、1 のブロック図を図 10.2 に示します。



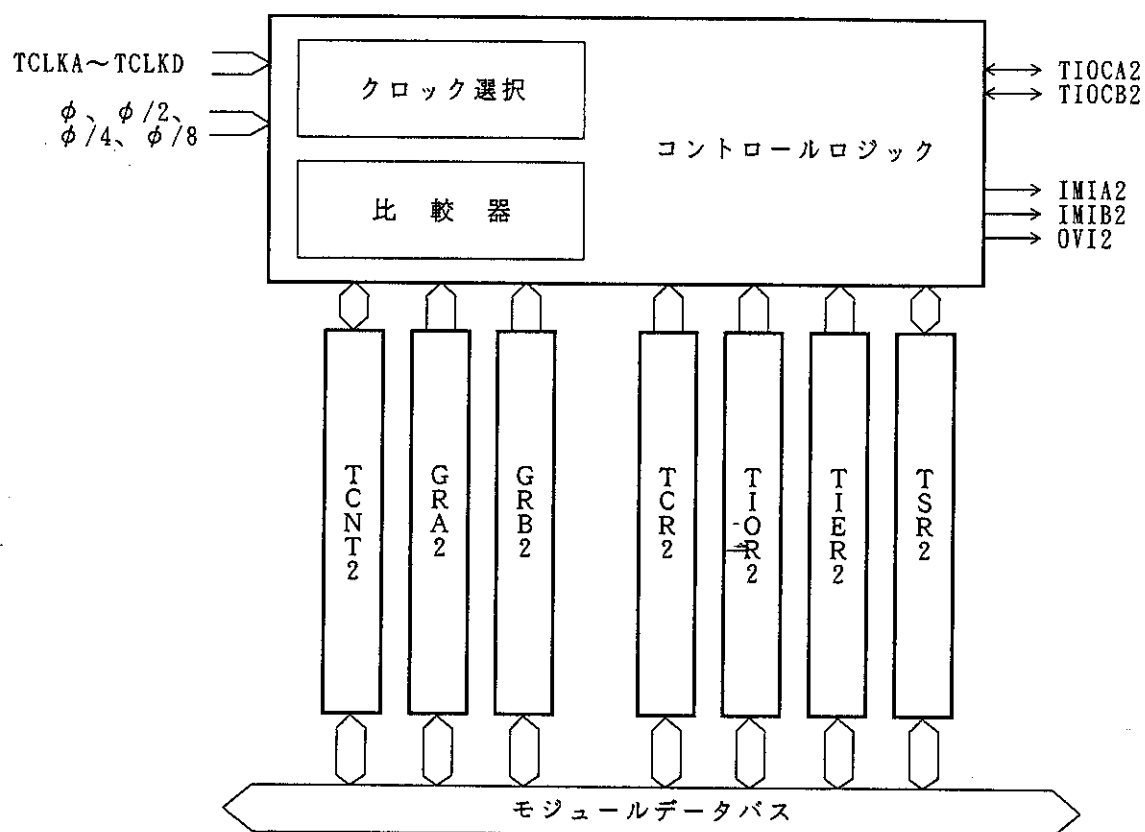
《記号説明》

- TCNT : タイマカウンタ (16ビット)
- GRA、B : ジェネラルレジスタ A、B (インプットキャプチャ／
アウトプットコンペア兼用レジスタ) (16ビット×2)
- TCR : タイマコントロールレジスタ (8ビット)
- TIO R : タイマ I/O コントロールレジスタ (8ビット)
- TIER : タイマインタラプトイネーブルレジスタ (8ビット)
- TSR : タイマステータスレジスタ (8ビット)

図 10.2 チャンネル 0、1 のブロック図 (チャンネル 0 の場合)

(3) チャンネル 2 のブロック図

チャンネル 2 のブロック図を図 10.3 に示します。チャンネル 2 は 0 出力、1 出力のみ可能です。



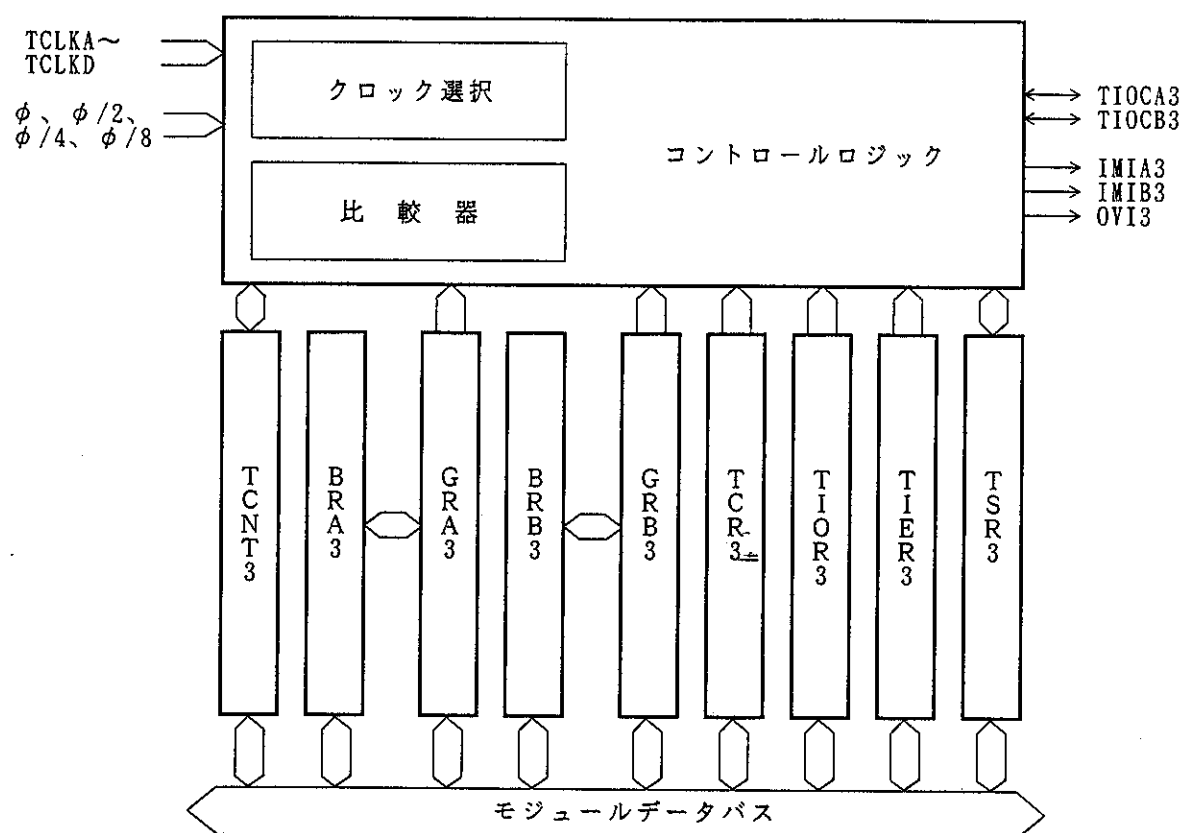
《記号説明》

- TCNT2 : タイマカウンタ 2 (16ビット)
- GRA2、B2 : ジェネラルレジスタ A 2、B 2 (インプットキャプチャ／アウトプットコンペア兼用レジスタ) (16ビット×2)
- TCR2 : タイマコントロールレジスタ 2 (8ビット)
- TIO R2 : タイマ I/O コントロールレジスタ 2 (8ビット)
- TIER2 : タイマインタラプトイネーブルレジスタ 2 (8ビット)
- TSR2 : タイマステータスレジスタ 2 (8ビット)

図 10.3 チャンネル 2 のブロック図

(4) チャンネル 3、4 のブロック図

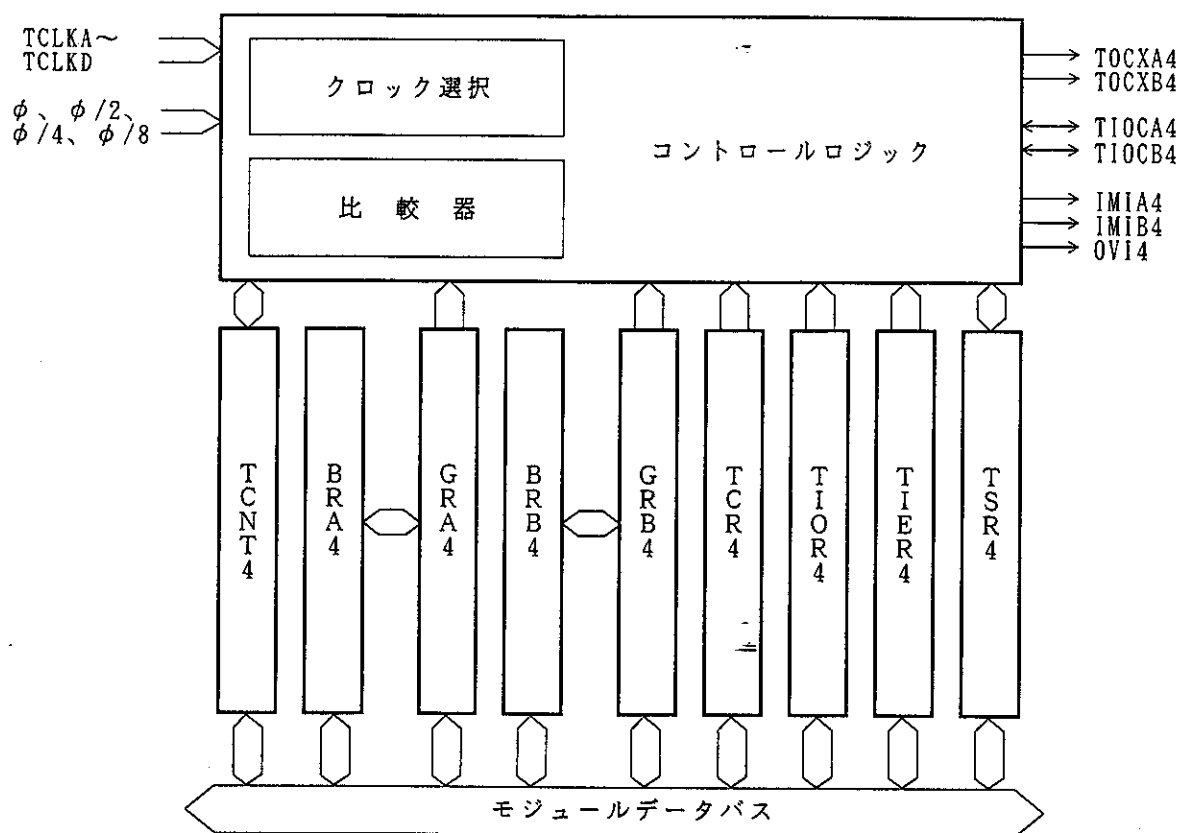
チャンネル 3 のブロック図を図 10.4、チャンネル 4 のブロック図を図 10.5 に示します。



《記号説明》

- TCNT3 : タイマカウンタ 3 (16ビット)
- GRA3、B3 : ジェネラルレジスタ A 3、B 3 (インプットキャプチャ／アウトプットコンペア兼用レジスタ) (16ビット×2)
- BRA3、B3 : バッファレジスタ A 3、B 3 (インプットキャプチャ／アウトプットコンペア兼用バッファレジスタ) (16ビット×2)
- TCR3 : タイマコントロールレジスタ 3 (8ビット)
- TIO3 : タイマ I/O コントロールレジスタ 3 (8ビット)
- TIER3 : タイマインタラプトイネーブルレジスタ 3 (8ビット)
- TSR3 : タイマステータスレジスタ 3 (8ビット)

図 10.4 チャンネル 3 のブロック図



《記号説明》

- TCNT4 : タイマカウンタ4 (16ビット)
- GRA4、B4 : ジェネラルレジスタA4、B4 (インプットキャプチャ／
アウトプットコンペア兼用レジスタ) (16ビット×2)
- BRA4、B4 : バッファレジスタA4、B4 (インプットキャプチャ／
アウトプットコンペア兼用バッファレジスタ) (16ビット×2)
- TCR4 : タイマコントロールレジスタ4 (8ビット)
- TIOR4 : タイマI/Oコントロールレジスタ4 (8ビット)
- TIER4 : タイマイントラプトイネーブルレジスタ4 (8ビット)
- TSR4 : タイマステータスレジスタ4 (8ビット)

図10.5 チャンネル4のブロック図

10.1.3 端子構成

I T Uの端子構成を表10.2に示します。

表10.2 端子構成(1)

チャネル	名 称	略 称	入出力	機 能
共通	クロック入力A	TCLKA	入 力	外部クロックA入力端子 (位相計数モード時A相入力端子)
	クロック入力B	TCLKB	入 力	外部クロックB入力端子 (位相計数モード時B相入力端子)
	クロック入力C	TCLKC	入 力	外部クロックC入力端子
	クロック入力D	TCLKD	入 力	外部クロックD入力端子
0	インプットキャプチャ/ アウトプットコンペアA 0	TI0CA0	入出力	GRA 0アウトプットコンペア出力/ GRA 0インプットキャプチャ入力/ PWM出力端子 (PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB 0	TI0CB0	入出力	GRB 0アウトプットコンペア出力/ GRB 0インプットキャプチャ入力端子
1	インプットキャプチャ/ アウトプットコンペアA 1	TI1CA1	入出力	GRA 1アウトプットコンペア出力/ GRA 1インプットキャプチャ入力/ PWM出力端子 (PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB 1	TI1CB1	入出力	GRB 1アウトプットコンペア出力/ GRB 1インプットキャプチャ入力端子
2	インプットキャプチャ/ アウトプットコンペアA 2	TI2CA2	入出力	GRA 2アウトプットコンペア出力/ GRA 2インプットキャプチャ入力/ PWM出力端子 (PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB 2	TI2CB2	入出力	GRB 2アウトプットコンペア出力/ GRB 2インプットキャプチャ入力端子
3	インプットキャプチャ/ アウトプットコンペアA 3	TI3CA3	入出力	GRA 3アウトプットコンペア出力/ GRA 3インプットキャプチャ入力/ PWM出力端子 (PWMモード/ 相補PWMモード/リセット同期PWM モード時)
	インプットキャプチャ/ アウトプットコンペアB 3	TI3CB3	入出力	GRB 3アウトプットコンペア出力/ GRB 3インプットキャプチャ入力/ PWM出力端子 (相補PWMモード/ リセット同期PWMモード時)

表 10.2 端子構成(2)

チャネル	名 称	略 称	入出力	機 能
4	インプットキャプチャ/ アウトプットコンペア A 4	TI0CA4	入出力	G R A 4 アウトプットコンペア出力/ G R A 4 インプットキャプチャ入力/ P W M出力端子 (P W Mモード/ 相補 P W Mモード/リセット同期 P W M モード時)
	インプットキャプチャ/ アウトプットコンペア B 4	TI0CB4	入出力	G R B 4 アウトプットコンペア出力/ G R B 4 インプットキャプチャ入力/ P W M出力端子 (相補 P W Mモード/ リセット同期 P W Mモード時)
	アウトプットコンペア X A 4	TOCXA4	出 力	P W M出力端子 (相補 P W Mモード/ リセット同期 P W Mモード時)
	アウトプットコンペア X B 4	TOCXB4	出 力	P W M出力端子 (相補 P W Mモード/ リセット同期 P W Mモード時)

10.1.4 レジスタ構成

I T Uのレジスタ構成を表10.3に示します。

表10.3 レジスタ構成(1)

チャネル	アドレス ^{*1}	名 称	略 称	R / W	初期値
共通	H' FF60	タイマスタートレジスタ	T S T R	R / W	H' E0
	H' FF61	タイマシンクロレジスタ	T S N C	R / W	H' E0
	H' FF62	タイマモードレジスタ	T M D R	R / W	H' 80
	H' FF63	タイマフックションコントロールレジスタ	T F C R	R / W	H' C0
	H' FF90	タイマアウトプットマスタイネーブルレジスタ	T O E R	R / W	H' FF
	H' FF91	タイマアウトプットコントロールレジスタ	T O C R	R / W	H' FF
0	H' FF64	タイマコントロールレジスタ 0	T C R 0	R / W	H' 80
	H' FF65	タイマ I / O コントロールレジスタ 0	T I O R 0	R / W	H' 88
	H' FF66	タイマインタラプトイネーブルレジスタ 0	T I E R 0	R / W	H' F8
	H' FF67	タイマステータスレジスタ 0	T S R 0	R / (W) ^{*2}	H' F8
	H' FF68	タイマカウンタ 0 H	T C N T 0 H	R / W	H' 00
	H' FF69	タイマカウンタ 0 L	T C N T 0 L	R / W	H' 00
	H' FF6A	ジェネラルレジスタ A 0 H	G R A 0 H	R / W	H' FF
	H' FF6B	ジェネラルレジスタ A 0 L	G R A 0 L	R / W	H' FF
	H' FF6C	ジェネラルレジスタ B 0 H	G R B 0 H	R / W	H' FF
	H' FF6D	ジェネラルレジスタ B 0 L	G R B 0 L	R / W	H' FF
1	H' FF6E	タイマコントロールレジスタ 1	T C R 1	R / W	H' 80
	H' FF6F	タイマ I / O コントロールレジスタ 1	T I O R 1	R / W	H' 88
	H' FF70	タイマインタラプトイネーブルレジスタ 1	T I E R 1	R / W	H' F8
	H' FF71	タイマステータスレジスタ 1	T S R 1	R / (W) ^{*2}	H' F8
	H' FF72	タイマカウンタ 1 H	T C N T 1 H	R / W	H' 00
	H' FF73	タイマカウンタ 1 L	T C N T 1 L	R / W	H' 00
	H' FF74	ジェネラルレジスタ A 1 H	G R A 1 H	R / W	H' FF
	H' FF75	ジェネラルレジスタ A 1 L	G R A 1 L	R / W	H' FF
	H' FF76	ジェネラルレジスタ B 1 H	G R B 1 H	R / W	H' FF
	H' FF77	ジェネラルレジスタ B 1 L	G R B 1 L	R / W	H' FF
2	H' FF78	タイマコントロールレジスタ 2	T C R 2	R / W	H' 80
	H' FF79	タイマ I / O コントロールレジスタ 2	T I O R 2	R / W	H' 88
	H' FF7A	タイマインタラプトイネーブルレジスタ 2	T I E R 2	R / W	H' F8
	H' FF7B	タイマステータスレジスタ 2	T S R 2	R / (W) ^{*2}	H' F8

【注】^{*1} アドレスの下位16ビットを示しています。

^{*2} フラグをクリアするための“0”ライトのみ可能です。

表10.3 レジスタ構成(2)

チャンネル	アドレス ^{**}	名 称	略 称	R/W	初期値
2	H'FF7C	タイマカウンタ 2 H	TCNT 2 H	R/W	H'00
	H'FF7D	タイマカウンタ 2 L	TCNT 2 L	R/W	H'00
	H'FF7E	ジェネラルレジスタ A 2 H	GRA 2 H	R/W	H'FF
	H'FF7F	ジェネラルレジスタ A 2 L	GRA 2 L	R/W	H'FF
	H'FF80	ジェネラルレジスタ B 2 H	GRB 2 H	R/W	H'FF
	H'FF81	ジェネラルレジスタ B 2 L	GRB 2 L	R/W	H'FF
3	H'FF82	タイマコントロールレジスタ 3	TCR 3	R/W	H'80
	H'FF83	タイマ I/O コントロールレジスタ 3	TIOR 3	R/W	H'88
	H'FF84	タイマインタラプトインベクタ 3	TIER 3	R/W	H'F8
	H'FF85	タイマステータスレジスタ 3	TSR 3	R/(W) ^{**}	H'F8
	H'FF86	タイマカウンタ 3 H	TCNT 3 H	R/W	H'00
	H'FF87	タイマカウンタ 3 L	TCNT 3 L	R/W	H'00
	H'FF88	ジェネラルレジスタ A 3 H	GRA 3 H	R/W	H'FF
	H'FF89	ジェネラルレジスタ A 3 L	GRA 3 L	R/W	H'FF
	H'FF8A	ジェネラルレジスタ B 3 H	GRB 3 H	R/W	H'FF
	H'FF8B	ジェネラルレジスタ B 3 L	GRB 3 L	R/W	H'FF
	H'FF8C	バッファレジスタ A 3 H	BRA 3 H	R/W	H'FF
	H'FF8D	バッファレジスタ A 3 L	BRA 3 L	R/W	H'FF
	H'FF8E	バッファレジスタ B 3 H	BRB 3 H	R/W	H'FF
	H'FF8F	バッファレジスタ B 3 L	BRB 3 L	R/W	H'FF
4	H'FF92	タイマコントロールレジスタ 4	TCR 4	R/W	H'80
	H'FF93	タイマ I/O コントロールレジスタ 4	TIOR 4	R/W	H'88
	H'FF94	タイマインタラプトインベクタ 4	TIER 4	R/W	H'F8
	H'FF95	タイマステータスレジスタ 4	TSR 4	R/(W) ^{**}	H'F8
	H'FF96	タイマカウンタ 4 H	TCNT 4 H	R/W	H'00
	H'FF97	タイマカウンタ 4 L	TCNT 4 L	R/W	H'00
	H'FF98	ジェネラルレジスタ A 4 H	GRA 4 H	R/W	H'FF
	H'FF99	ジェネラルレジスタ A 4 L	GRA 4 L	R/W	H'FF
	H'FF9A	ジェネラルレジスタ B 4 H	GRB 4 H	R/W	H'FF
	H'FF9B	ジェネラルレジスタ B 4 L	GRB 4 L	R/W	H'FF
	H'FF9C	バッファレジスタ A 4 H	BRA 4 H	R/W	H'FF
	H'FF9D	バッファレジスタ A 4 L	BRA 4 L	R/W	H'FF
	H'FF9E	バッファレジスタ B 4 H	BRB 4 H	R/W	H'FF
	H'FF9F	バッファレジスタ B 4 L	BRB 4 L	R/W	H'FF

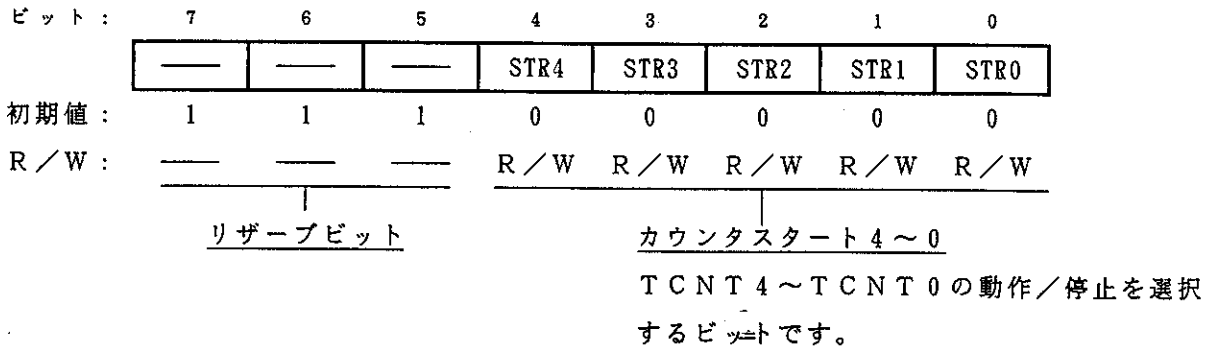
【注】^{**} アドレスの下位16ビットを示しています。

^{**} フラグをクリアするための“0”ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

TSTRは8ビットのリード／ライト可能なレジスタで、チャンネル0～4のTCNTの動作／停止を選択します。



TSTRはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4: カウンタスタート4 (STR4)

タイマカウンタ4 (TCNT4) の動作／停止を選択します。

ビット4	説 明
STR4	
0	TCNT4のカウンタ動作は停止 (初期値)
1	TCNT4はカウンタ動作

ビット3: カウンタスタート3 (STR3)

タイマカウンタ3 (TCNT3) の動作／停止を選択します。

ビット3	説 明
STR3	
0	TCNT3のカウンタ動作は停止 (初期値)
1	TCNT3はカウンタ動作

ビット2：カウンタスタート2（STR2）

タイマカウンタ2（TCNT2）の動作／停止を選択します。

ビット2	説 明
STR2	
0	TCNT2のカウンタ動作は停止（初期値）
1	TCNT2はカウンタ動作

ビット1：カウンタスタート1（STR1）

タイマカウンタ1（TCNT1）の動作／停止を選択します。

ビット1	説 明
STR1	
0	TCNT1のカウンタ動作は停止（初期値）
1	TCNT1はカウンタ動作

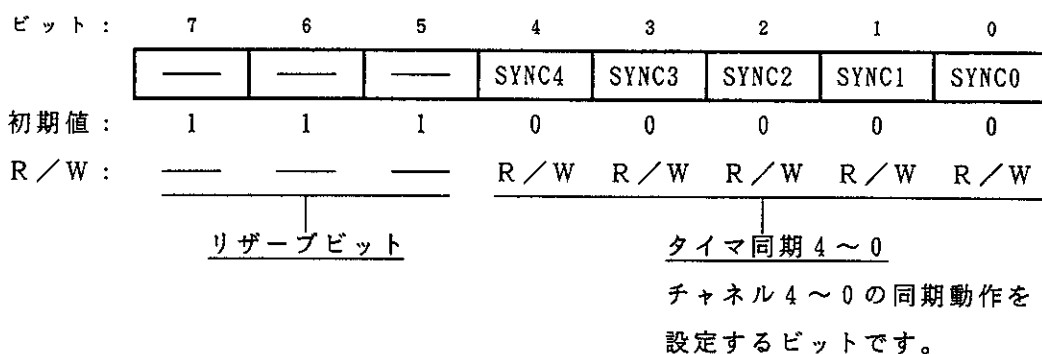
ビット0：カウンタスタート0（STR0）

タイマカウンタ0（TCNT0）の動作／停止を選択します。

ビット0	説 明
STR0	
0	TCNT0のカウンタ動作は停止（初期値）
1	TCNT0はカウンタ動作

10.2.2 タイマシンクロレジスタ (TSNC)

TSNCは8ビットのリード/ライト可能なレジスタで、チャンネル0～4の独立動作/同期動作を選択します。対応するビットを“1”にセットしたチャンネルが同期動作を行います。



TSNCはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4: タイマ同期4 (SYNC4)

チャンネル4の独立動作/同期動作を選択します。

ビット4	説 明
SYNC4	
0	チャンネル4のタイマカウンタ (TCNT4) は独立動作 (TCNT4のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル4は同期動作 TCNT4の同期プリセット/同期クリアが可能

ビット3：タイマ同期3（SYNC3）

チャンネル3の独立動作／同期動作を選択します。

ビット3	説 明
SYNC3	
0	チャンネル3のタイマカウンタ（TCNT3）は独立動作（TCNT3のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル3は同期動作 TCNT3の同期プリセット／同期クリアが可能

ビット2：タイマ同期2（SYNC2）

チャンネル2の独立動作／同期動作を選択します。

ビット2	説 明
SYNC2	
0	チャンネル2のタイマカウンタ（TCNT2）は独立動作（TCNT2のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル2は同期動作 TCNT2の同期プリセット／同期クリアが可能

ビット1：タイマ同期1（SYNC1）

チャンネル1の独立動作／同期動作を選択します。

ビット1	説 明
SYNC1	
0	チャンネル1のタイマカウンタ（TCNT1）は独立動作（TCNT1のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル1は同期動作 TCNT1の同期プリセット／同期クリアが可能

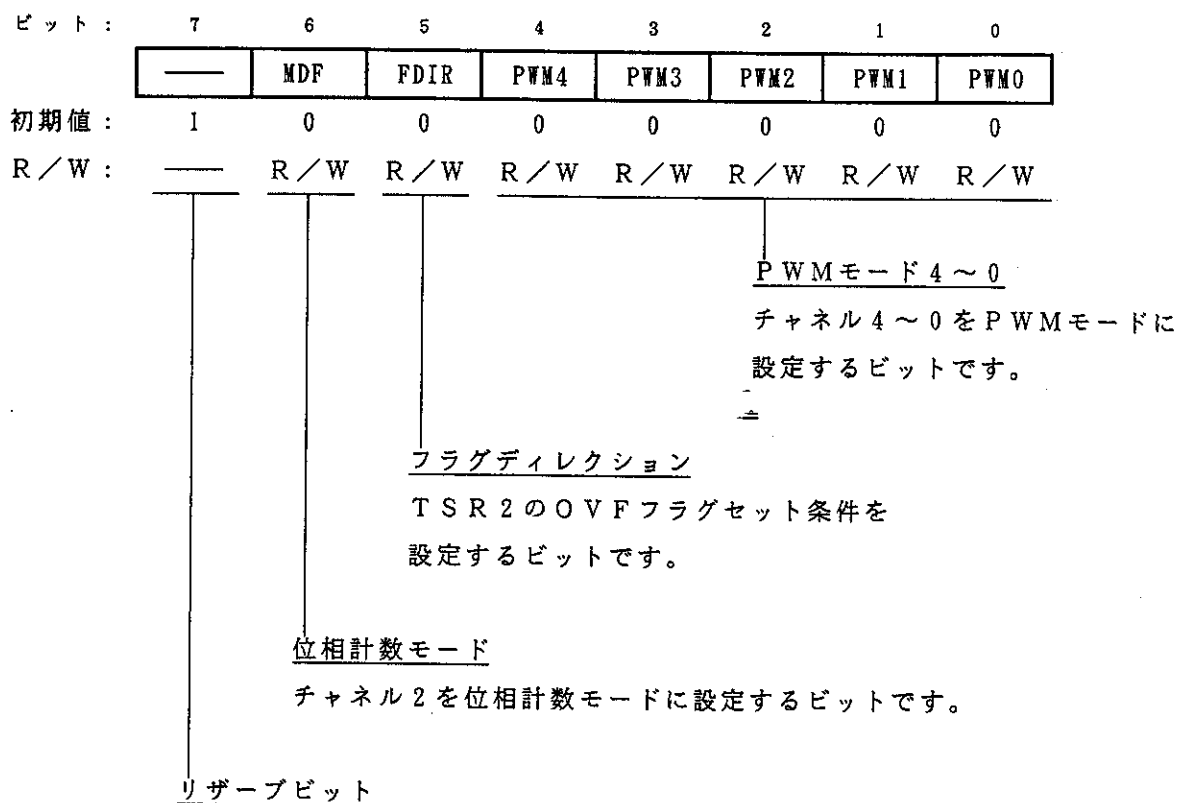
ビット0：タイマ同期0（SYNC0）

チャンネル0の独立動作／同期動作を選択します。

ビット0	説 明
SYNC0	
0	チャンネル0のタイマカウンタ（TCNT0）は独立動作（TCNT0のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル0は同期動作 TCNT0の同期プリセット／同期クリアが可能

10.2.3 タイマモードレジスタ (TMDR)

TMDRは8ビットのリード/ライト可能なレジスタで、チャンネル0～4のPWMモードの設定、チャンネル2の位相計数モードの設定およびオーバーフローフラグ(OVF)のセット条件の設定を行います。



TMDRはリセット、またはスタンバイモード時に、H'80にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6: 位相計数モード (MDF)

チャンネル2を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット6	説明
MDF	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2は位相計数モード

MDFビットを“1”にセットして位相計数モードにすると、TCNT2はアップ／ダウンカウンタ、TCLKA、TCLKB端子がカウントクロック入力端子となります。TCNT2はTCLKA、TCLKB端子の立上がり（ \uparrow ）／立下がり（ \downarrow ）の両エッジでカウントされ、カウントアップ／ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA端子	\uparrow	“High”	\downarrow	“Low”	\uparrow	“Low”	\downarrow	“High”
TCLKB端子	“Low”	\uparrow	“High”	\downarrow	“High”	\uparrow	“Low”	\downarrow

位相計数モードでは、TCR2のCKEG1、CKEG0ビットによる外部クロックエッジの選択、およびTPSC2～TPSC0ビットによるカウントクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2のコンペアマッチ／インプットキャプチャ機能と割込みの設定は位相計数モードでも有効です。

ビット5：フラグディレクション（FDIR）

TSR2のOVFフラグのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	説 明
FDIR	
0	TSR2のOVFフラグは、TCNT2がオーバーフローまたはアンダフローしたときに“1”にセット（初期値）
1	TSR2のOVFフラグは、TCNT2がオーバーフローしたときに“1”にセット

ビット4：PWMモード4（PWM4）

チャンネル4を通常動作させるか、PWMモードで動作させるかを選択します。

ビット4	説 明
PWM4	
0	チャンネル4は通常動作（初期値）
1	チャンネル4はPWMモード

PWM4を“1”にセットしてPWMモードにすると、TIOCA4端子はPWM出力端子となり、GRA4のコンペアマッチで1出力、GRB4のコンペアマッチで0出力となります。

TFCCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット3：PWMモード3（PWM3）

チャンネル3を通常動作させるか、PWMモードで動作させるかを選択します。

ビット3	説 明
PWM3	
0	チャンネル3は通常動作 (初期値)
1	チャンネル3はPWMモード

PWM3を“1”にセットしてPWMモードにすると、TIOCA3端子はPWM出力端子となり、GRA3のコンペアマッチで1出力、GRB3のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット2：PWMモード2（PWM2）

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	説 明
PWM2	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2はPWMモード

PWM2を“1”にセットしてPWMモードにすると、TIOCA2端子はPWM出力端子となり、GRA2のコンペアマッチで1出力、GRB2のコンペアマッチで0出力となります。

ビット1：PWMモード1（PWM1）

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説 明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を“1”にセットしてPWMモードに設定すると、TIOCA1端子はPWM出力端子となり、GRA1のコンペアマッチ1で出力、GRB1のコンペアマッチで0出力となります。

ビット0：PWMモード0（PWM0）

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説 明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を“1”にセットしてPWMモードに設定すると、TIOCA0端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

10.2.4 タイマファンクションコントロールレジスタ (TFCR)

TFCRは8ビットのリード/ライト可能なレジスタで、チャンネル3、4の相補PWMモード/リセット同期PWMモードの設定、およびバッファ動作の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作B3、A3
 チャンネル3のジェネラルレジスタ (GRB3、GRA3) とバッファレジスタ (BRB3、BRA3) をバッファ動作に設定するビットです。

バッファ動作B4、A4
 チャンネル4のジェネラルレジスタ (GRB4、GRA4) とバッファレジスタ (BRB4、BRA4) をバッファ動作に設定するビットです。

コンビネーションモード1、0
 チャンネル3、4を組み合わせ、相補PWMモード/リセット同期PWMモードに設定するビットです。

リザーブビット

TFCRはリセット、またはスタンバイモード時に、H' C0にイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5、4：コンビネーションモード1、0（CMD1、CMD0）

チャンネル3、4を通常動作させるか、相補PWMモードまたはリセット同期PWMモードで動作させるかを選択します。

ビット5	ビット4	説 明
CMD1	CMD0	
0	0	チャンネル3、4は通常動作（初期値）
	1	
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作

相補PWMモード、およびリセット同期PWMモードの設定は、使用するTCNTを停止させた状態で行ってください。

本ビットにより、相補PWMモードまたはリセット同期PWMモードに設定した場合、TMDRのPWM4、PWM3ビットによるPWMモードの設定より優先されます。なお、相補PWMモード、リセット同期PWMモードの設定とTSNCのSYNC4、SYNC3ビットによる同期動作の設定は同時に有効となりますが、相補PWMモードを設定したときは、チャンネル3とチャンネル4を同期動作に設定（TSNCのSYNC4ビットとSYNC3ビットをともに“1”にセット）しないでください。

ビット3：バッファ動作B4（BFB4）

チャンネル4のGRB4を通常動作とするか、GRB4とBRB4を組み合わせでバッファ動作とするかを設定します。

ビット3	説 明
BFB4	
0	GRB4は通常動作（初期値）
1	GRB4とBRB4はバッファ動作

ビット2：バッファ動作A4（BFA4）

チャンネル4のGRA4を通常動作とするか、GRA4とBRA4を組み合わせでバッファ動作とするかを設定します。

ビット2	説 明
BFA4	
0	GRA4は通常動作（初期値）
1	GRA4とBRA4はバッファ動作

ビット1：バッファ動作B3（BFB3）

チャンネル3のGRB3を通常動作とするか、GRB3とBRB3を組み合わせでバッファ動作とするかを設定します。

ビット1 BFB3	説 明
0	GRB3は通常動作 (初期値)
1	GRB3とBRB3はバッファ動作

ビット0：バッファ動作A3（BFA3）

チャンネル3のGRA3を通常動作とするか、GRA3とBRA3を組み合わせでバッファ動作とするかを設定します。

ビット0 BFA3	説 明
0	GRA3は通常動作 (初期値)
1	GRA3とBRA3はバッファ動作

10.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOERは、8ビットのリード/ライト可能なレジスタで、チャンネル3、4の出力設定を許可/禁止します。

ビット:	7	6	5	4	3	2	1	0
	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA₃、TIOCB₃、TIOCA₄、TIOCB₄、TIOCA₃、TIOCB₃、TIOCA₄、TIOCB₄端子の出力設定を許可/禁止するビットです。

マスタイネーブルTOCXA₄、TOCXB₄、TOCXA₄、TOCXB₄端子の出力設定を許可/禁止するビットです。

リザーブビット

TOERはリセット、またはスタンバイモード時にH'FFにイニシャライズされます。

ビット7、6:リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5:マスタイネーブルTOCXB4 (EXB4)

TOCXB₄端子のITU出力を許可/禁止します。

ビット5 EXB4	説明
0	TFCRの設定にかかわらずTOCXB ₄ 端子の出力は禁止 (TOCXB ₄ 端子は入出力ポートとして動作) XTGD=“0”の状態で、チャンネル1のインプットキャプチャAが発生したとき“0”にクリア
1	TFCRの設定に従いTOCXB ₄ 端子の出力は許可 (初期値)

ビット4：マスタイネーブルTOCXA4（EXA4）

TOCXA₄端子のITU出力を許可／禁止します。

ビット4	説 明
EXA4	
0	TF CRの設定にかかわらずTOCXA ₄ 端子の出力は禁止（TOCXA ₄ 端子は入出力ポートとして動作） XTGD＝“0”の状態、チャンネル1のインプットキャプチャAが発生したとき“0”にクリア
1	TF CRの設定に従いTOCXA ₄ 端子の出力は許可（初期値）

ビット3：マスタイネーブルTIOCB3（EB3）

TIOCB₃端子のITU出力を許可／禁止します。

ビット3	説 明
EB3	
0	TIOR3、TF CRの設定にかかわらずTIOCB ₃ 端子の出力は禁止（TIOCB ₃ 端子は出力ポートとして動作） XTGD＝“0”の状態、チャンネル1のインプットキャプチャAが発生したとき“0”にクリア
1	TIOR3、TF CRの設定に従いTIOCB ₃ 端子の出力は許可（初期値）

ビット2：マスタイネーブルTIOCB4（EB4）

TIOCB₄端子のITU出力を許可／禁止します。

ビット2	説 明
EB4	
0	TIOR4、TF CRの設定にかかわらずTIOCB ₄ 端子の出力は禁止（TIOCB ₄ 端子は入出力ポートとして動作） XTGD＝“0”の状態、チャンネル1のインプットキャプチャAが発生したとき“0”にクリア
1	TIOR4、TF CRの設定に従いTIOCB ₄ 端子の出力は許可（初期値）

ビット1：マスタイネーブルTIOCA4（EA4）

TIOCA₄端子のITU出力を許可／禁止します。

ビット1	説 明
EA4	
0	TIOR4、TMDR、TF CRの設定にかかわらずTIOCA ₄ 端子の出力は禁止 (TIOCA ₄ 端子は入出力ポートとして動作) XTGD=“0”の状態で、チャンネル1のインプットキャプチャAが発生したとき “0”にクリア
1	TIOR4、TMDR、TF CRの設定に従いTIOCA ₄ 端子の出力は許可 (初期値)

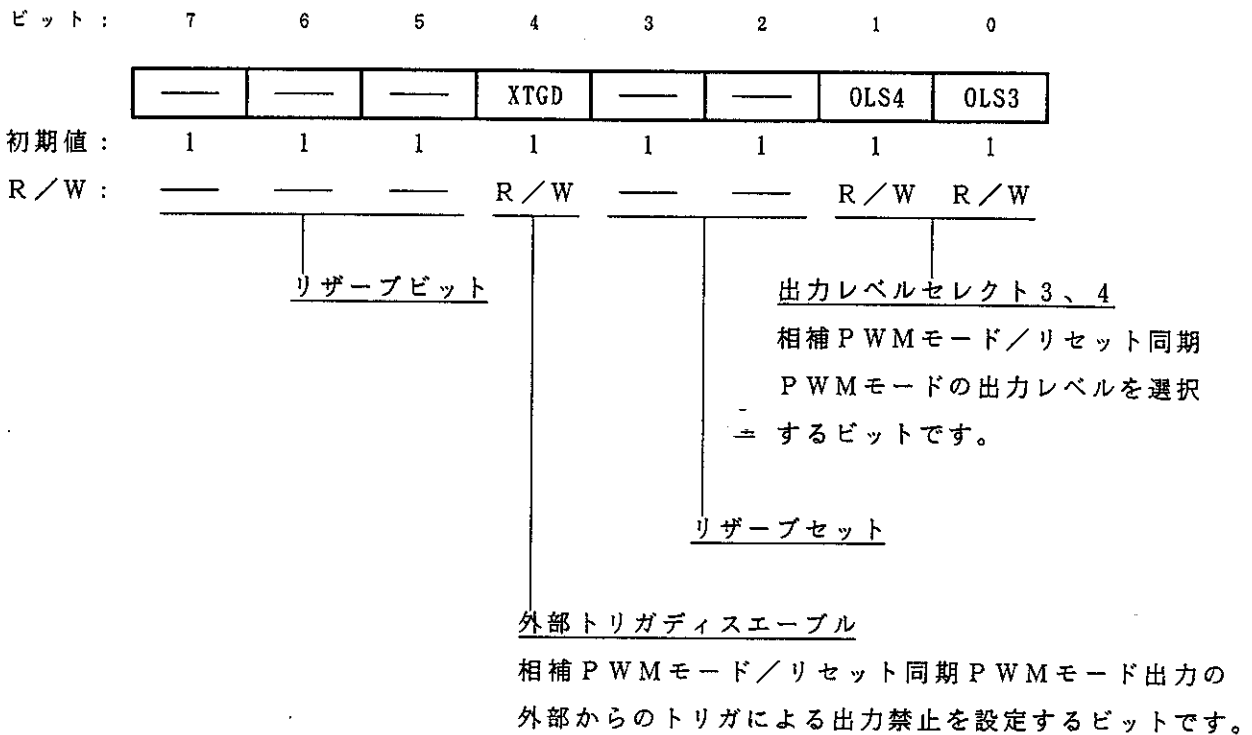
ビット0：マスタイネーブルTIOCA3（EA3）

TIOCA₃端子のITU出力を許可／禁止します。

ビット0	説 明
EA3	
0	TIOR3、TMDR、TF CRの設定にかかわらずTIOCA ₃ 端子の出力は禁止 (TIOCA ₃ 端子は入出力ポートとして動作) XTGD=“0”の状態で、チャンネル1のインプットキャプチャAが発生したとき “0”にクリア
1	TIOR3、TMDR、TF CRの設定に従いTIOCA ₃ 端子の出力は許可 (初期値)

10.2.6 タイマアウトプットコントロールレジスタ (TOCR)

TOCRは、8ビットのリード/ライト可能なレジスタで、相補PWMモード/リセット同期PWMモード出力の外部トリガによる禁止または出力レベル反転を行います。



XTGD、OLS4およびOLS3ビットの設定は、リセット同期PWMモードまたは相補PWMモードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCRはリセット、またはスタンバイモード時にH'FFにイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：外部トリガディスエーブル（XTGD）

リセット同期PWMモード／相補PWMモード時のITU出力の外部トリガによる禁止を設定します。

ビット4	説 明
XTGD	
0	リセット同期PWMモード／相補PWMモード時、チャンネル1のインプットキャプチャA信号を外部トリガとして使用 外部トリガの発生時、TOERのビット5～0が“0”にクリアされ、ITU出力は禁止
1	外部トリガを禁止 （初期値）

ビット3、2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1：出力レベルセレクト4（OLS4）

リセット同期PWMモード／相補PWMモード出力のレベルを選択します。

ビット1	説 明
OLS4	
0	TIOCA ₀ 、TIOCA ₁ 、TIOCB ₁ は反転出力
1	TIOCA ₀ 、TIOCA ₁ 、TIOCB ₁ は直接出力 （初期値）

ビット0：出力レベルセレクト3（OLS3）

リセット同期PWMモード／相補PWMモード出力のレベルを選択します。

ビット0	説 明
OLS3	
0	TIOCB ₀ 、TOCXA ₁ 、TOCXB ₁ は反転出力
1	TIOCB ₀ 、TOCXA ₁ 、TOCXB ₁ は直接出力 （初期値）

10.2.7 タイマカウンタ (TCNT)

TCNTは16ビットのカウンタです。ITUには、各チャンネル1本、計5本のTCNTがあります。

チャンネル	略 称	機 能
0	TCNT 0	アップカウンタ
1	TCNT 1	
2	TCNT 2	位相計数モード : アップ/ダウンカウンタ 上記以外 : アップカウンタ
3	TCNT 3	相補PWMモード : アップ/ダウンカウンタ 上記以外 : アップカウンタ
4	TCNT 4	

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは16ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCRのTPSC2~TPSC0ビットにより選択します。

TCNT0、TCNT1はアップカウント動作を行います。TCNT2は位相計数モード時、またTCNT3、TCNT4は相補PWMモード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNTは、対応するGRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます(カウンタクリア機能)。

TCNTがオーバフロー(H'FFFF→H'0000)すると、対応するチャンネルのTSRのOVFフラグが“1”にセットされます。

TCNTがアンダフロー(H'0000→H'FFFF)すると、対応するチャンネルのTSRのOVFフラグが“1”にセットされます。

TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

TCNTはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

10.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GRは、16ビットのレジスタです。ITUには、各チャンネル2本、計10本のジェネラルレジスタがあります。

チャンネル	略 称	機 能
0	GRA 0、GRB 0	アウトプットコンペア／インプットキャプチャ兼用レジスタ
1	GRA 1、GRB 1	
2	GRA 2、GRB 2	
3	GRA 3、GRB 3	アウトプットコンペア／インプットキャプチャ兼用レジスタ。バッファレジスタ (BRA、BRB) と組み合わせることにより、バッファ動作設定可能
4	GRA 4、GRB 4	

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GRは16ビットのリード／ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切換えは、TIORにより行います。

アウトプットコンペアレジスタとして使用しているときは、GRA／GRBの値とTCNTの値は常に比較されています。両者の値が一致（コンペアマッチ）すると、TSRのIMFA／IMFBフラグが“1”にセットされます。TIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTの値を格納します。このとき対応するTSRのIMFA／IMFBフラグが“1”にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモード、相補PWMモード、またはリセット同期PWMモードに設定されている場合には、TIORの設定は無視されます。

GRはCPUと内部16ビットバスで接続されており、ワード／バイト単位のリード／ライトが可能です。

GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ(端子出力なし)に設定され、H'FFFFにイニシャライズされます。

10.2.9 バッファレジスタ A、B (BRA、BRB)

BRは、16ビットのレジスタです。ITUには、チャンネル3、4に各2本、計4本のバッファレジスタがあります。

チャンネル	略 称	機 能
3	BRA 3、BRB 3	バッファ動作時に使用 ・対応するGRA、GRBがアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチによりBRA、BRBの値をGRA、GRBに自動転送可能
4	BRA 4、BRB 4	・対応するGRA、GRBがインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていたGRA、GRBの値をBRA、BRBに自動転送可能

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRは、16ビットのリード/ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定はTFCRのBFB 4、BFA 4、BFB 3、およびBFA 3ビットにより独立に行うことができます。

BRはGRと対になって機能し、GRがアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、またGRがインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

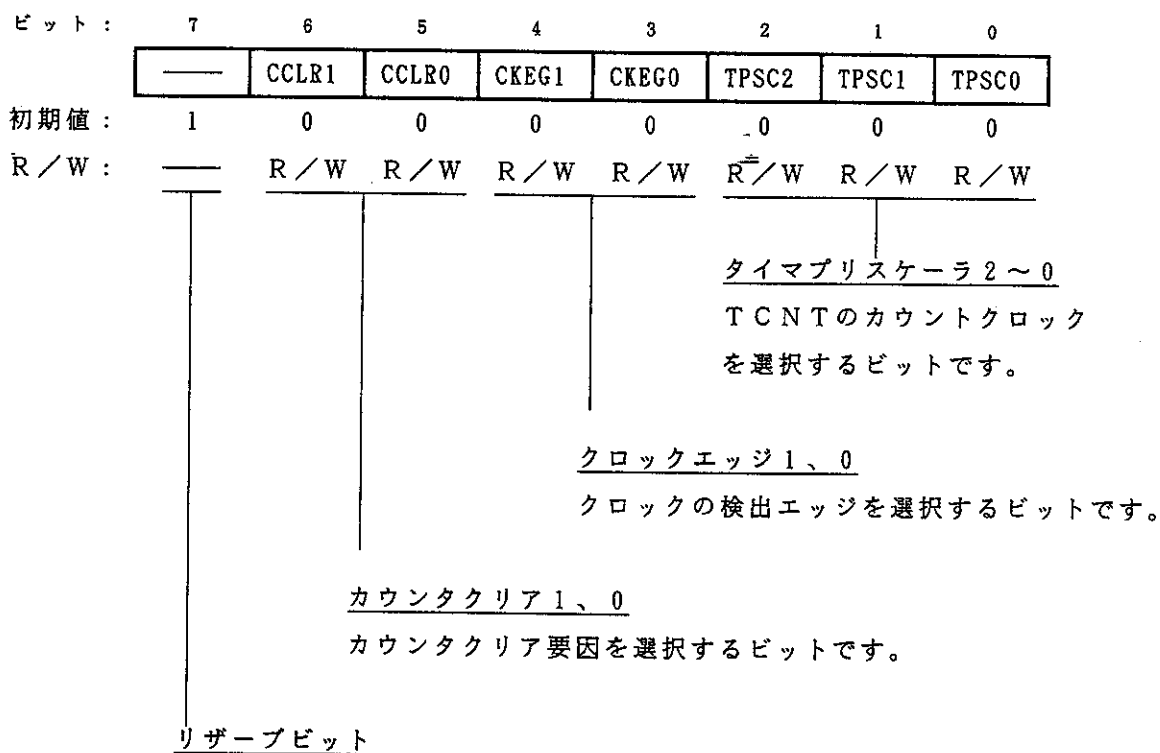
BRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

BRは、リセット、またはスタンバイモード時にH'FFFFにイニシャライズされます。

10.2.10 タイマコントロールレジスタ (TCR)

TCRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTCRがあります。

チャンネル	略 称	機 能
0	TCR 0	TCRはTCNTの制御を行います。 各チャンネルのTCRは同一の機能をもっています。 チャンネル2を位相計数モードに設定したとき、TCR2のCKEG1、CKEG0ビットおよびTPSC2～TPSC0ビットの設定は無効となります。
1	TCR 1	
2	TCR 2	
3	TCR 3	
4	TCR 4	



TCRは8ビットのリード/ライト可能なレジスタで、TCNTのカウントクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCRはリセット、またはスタンバイモード時に、H'80にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6、5：カウンタクリア1、0（CCLR1、CCLR0）

TCNTのカウンタクリア要因を選択します。

ビット6 CCLR1	ビット5 CCLR0	説 明
0	0	TCNTのクリア禁止（初期値）
	1	GRAのコンペアマッチ／インプットキャプチャ ^{*1} でTCNTをクリア
1	0	GRBのコンペアマッチ／インプットキャプチャ ^{*1} でTCNTをクリア
	1	同期クリア。同期動作 ^{*2} をしている他のタイマのカウンタクリアに同期してTCNTをクリア

【注】^{*1} GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

^{*2} 同期動作の設定はTSNCにより行います。

ビット4、3：クロックエッジ1、0（CKEG1、CKEG0）

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4 CKEG1	ビット3 CKEG0	説 明
0	0	立上がりエッジでカウント（初期値）
	1	立下がりエッジでカウント
1	—	立上がり／立下がりの両エッジでカウント

チャンネル2が位相計数モードに設定されているとき、TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2～0：タイマプリスケアラ2～0（TPSC2～TPSC0）

TCNTのカウントクロックを選択します。

ビット2	ビット1	ビット0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック：φでカウント（初期値）
		1	内部クロック：φ／2でカウント
	1	0	内部クロック：φ／4でカウント
		1	内部クロック：φ／8でカウント
1	0	0	外部クロックA：TCLKA端子入力でカウント
		1	外部クロックB：TCLKB端子入力でカウント
	1	0	外部クロックC：TCLKC端子入力でカウント
		1	外部クロックD：TCLKD端子入力でカウント

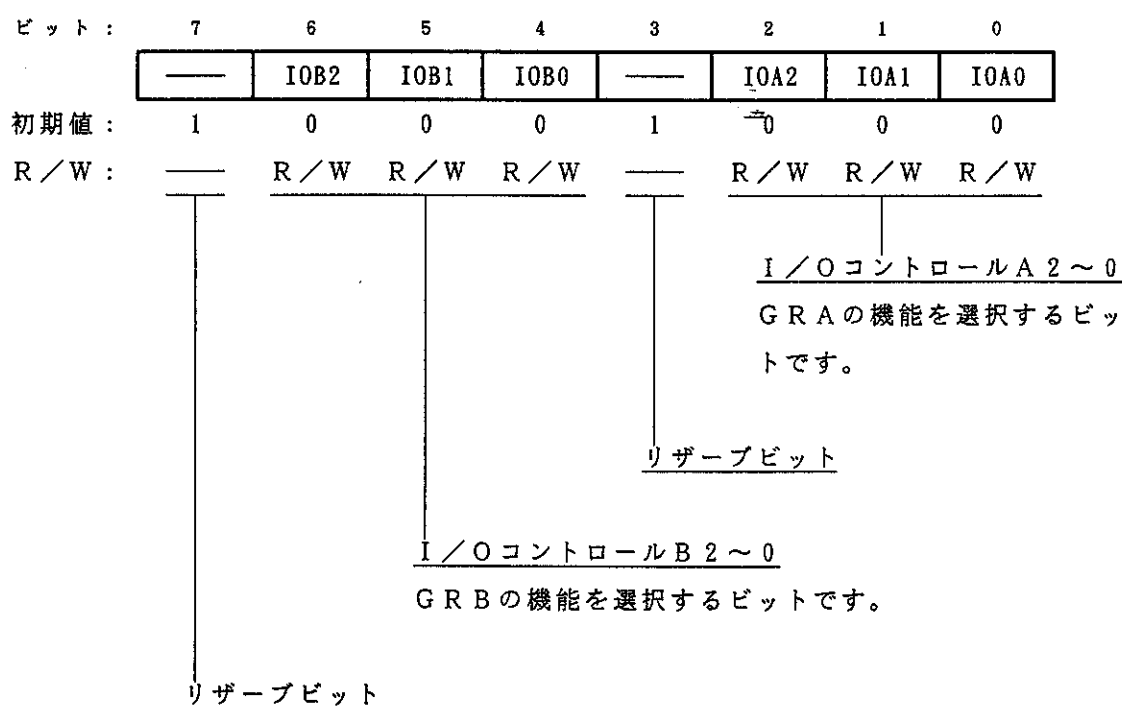
TPSC2ビットを“0”にクリアして内部クロックを選択した場合、クロックの立下がりエッジでカウントされます。また、TPSC2ビットを“1”にセットして外部クロックを選択した場合、カウントエッジはCKEG1、CKEG0ビットの設定に従います。

チャンネル2が位相計数モードに設定されているとき（TMDRのMDFビット＝“1”）、TCR2のTPSC2～TPSC0ビットの設定は無効となり、位相計数モードの動作が優先されます。

10.2.11 タイマ I/O コントロールレジスタ (T I O R)

T I O R は 8 ビットのレジスタです。I T U には、各チャンネル 1 本、計 5 本の T I O R があります。

チャンネル	略 称	機 能
0	T I O R 0	T I O R は G R の制御を行います。 P W M モード時、一部機能が異なります。 チャンネル 3、4 を相補 P W M モード / リセット同期 P W M モードに設定したとき、T I O R 3、T I O R 4 の設定は無効となります。
1	T I O R 1	
2	T I O R 2	
3	T I O R 3	
4	T I O R 4	



T I O R は 8 ビットのリード / ライト可能なレジスタで、G R A、G R B をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また T I O C A、T I O C B 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

T I O R はリセット、またはスタンバイモード時に、H' 88 にイニシャライズされます。

ビット 7 : リザーブビット

リザーブビットです。リードすると常に “1” が読み出されます。ライトは無効です。

ビット6～4：I/OコントロールB2～0（IOB2～IOB0）

GRBの機能を選択します。

ビット6	ビット5	ビット4	説 明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRBのコンペアマッチで0出力* ¹
	1	0		GRBのコンペアマッチで1出力* ¹
		1		GRBのコンペアマッチでトグル出力 (チャンネル2のみ1出力)* ¹ 、* ²
1	0	0	GRBはインプ ットキャプチャ レジスタ	立上がりエッジでGRBへインプットキャ プチャ
		1		立下がりエッジでGRBへインプットキャ プチャ
	1	0		立上がり／立下がりの両エッジでインプ ットキャプチャ
		1		

【注】*¹ リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

*² チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自
動的に1出力が選択されます。

ビット3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2～0：I/OコントロールA2～0（IOA2～IOA0）

GRAの機能を選択します。

ビット2	ビット1	ビット0	説 明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRAのコンペアマッチで0出力* ¹
	1	0		GRAのコンペアマッチで1出力* ¹
		1		GRAのコンペアマッチでトグル出力 (チャンネル2のみ1出力)* ¹ * ²
1	0	0	GRAはインプ ットキャプチャ レジスタ	立上がりエッジでGRAへインプットキャ プチャ
		1		立下がりエッジでGRAへインプットキャ プチャ
	1	0		立上がり／立下がりの両エッジでインプッ トキャプチャ
		1		

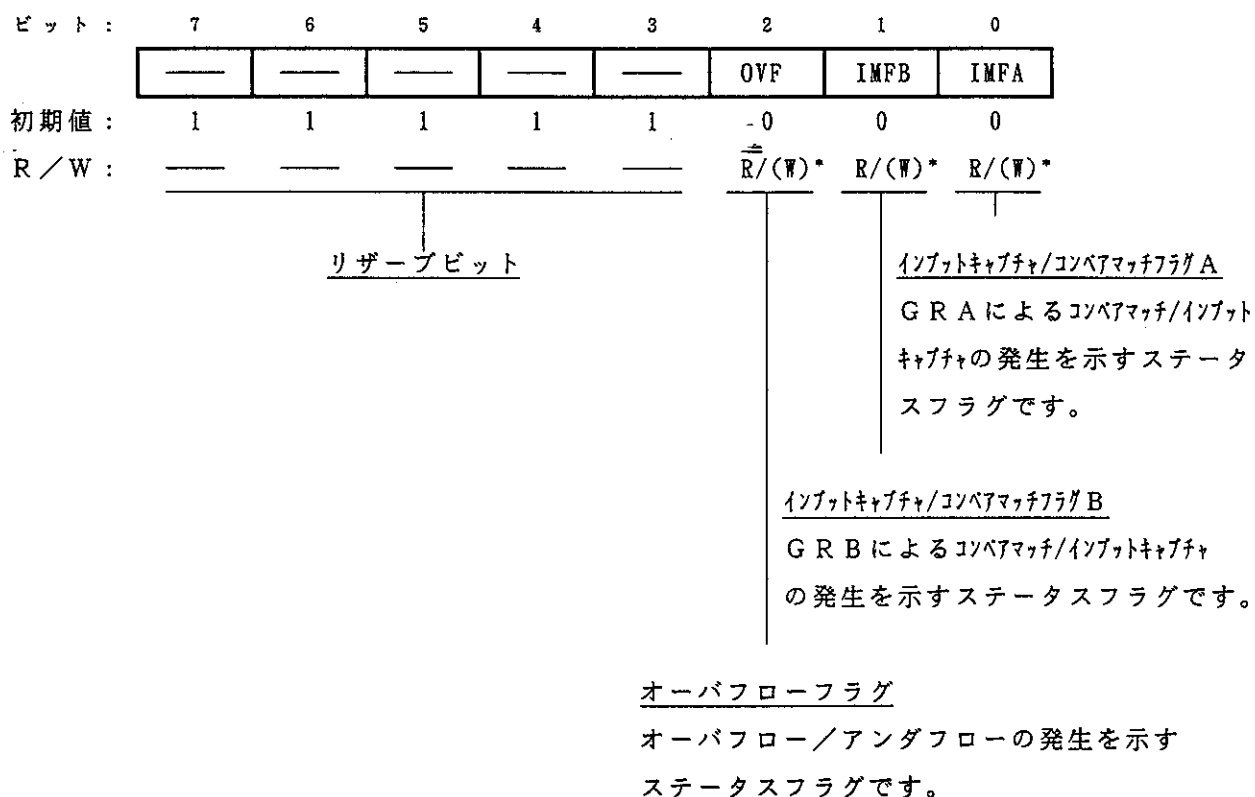
【注】*¹ リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

*² チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

10.2.12 タイマステータスレジスタ (TSR)

TSRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTSRがあります。

チャンネル	略 称	機 能
0	TSR 0	インプットキャプチャ／コンペアマッチやオーバフローのステータスを示します。
1	TSR 1	
2	TSR 2	
3	TSR 3	
4	TSR 4	



【注】* フラグをクリアするための“0”ライトのみ可能です。

TSRは8ビットのリード／ライト可能なレジスタで、TCNTのオーバフロー／アンダフローの発生、およびGRA、GRBのコンペアマッチ／インプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、TIERの対応するビットにより割り込みが許可されていれば、CPUに割り込みを要求します。

TSRはリセット、またはスタンバイモード時に、H'F8にイニシャライズされます。

ビット7～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：オーバフローフラグ（OVF）

TCNTのオーバフロー／アンダフローの発生を示すステータスフラグです。

ビット2	説 明
OVF	
0	<p>[クリア条件] (初期値)</p> <p>OVF = “1” の状態で、OVFフラグをリードした後、OVFフラグに“0”をライトしたとき</p>
1	<p>[セット条件]</p> <p>TCNTの値がオーバフロー（H'FFFF→H'0000）またはアンダフロー（H'0000→H'FFFF）したとき*</p>

【注】* TCNTのアンダフローは、TCNTがアップ／ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。

- (1) チャンネル2が位相計数モードに設定されているとき（TMDRのMDF = “1”）
- (2) チャンネル3、4が相補PWMモードに設定されているとき（TFCRのCMD1 = “1”、CMD0 = “0”）

ビット1：インプットキャプチャ／コンペアマッチフラグB（IMFB）

GRBのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

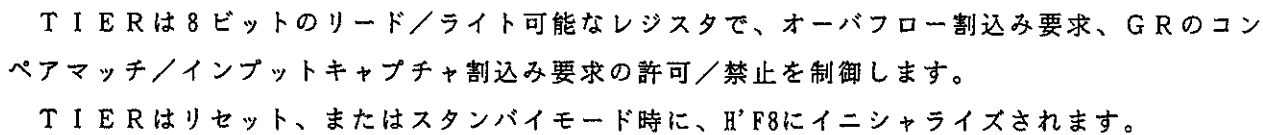
ビット1	説 明
IMFB	
0	<p>[クリア条件] (初期値)</p> <p>IMFB = “1” の状態で、IMFBフラグをリードした後、IMFBフラグに“0”をライトしたとき</p>
1	<p>[セット条件]</p> <p>(1) GRBがアウトプットコンペアレジスタとして機能している場合、TCNT = GRBになったとき</p> <p>(2) GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき</p>

ビット0：インプットキャプチャ/コンペアマッチフラグA（IMFA）

GRAのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	説 明
IMFA	
0	<p>[クリア条件] (初期値)</p> <p>(1) IMFA = "1" の状態で、IMFAフラグをリードした後、IMFAフラグに"0"をライトしたとき</p> <p>(2) IMIA割込みによりDMACが起動されたとき（チャンネル0～3のみ）</p>
1	<p>[セット条件]</p> <p>(1) GRAがアウトプットコンペアレジスタとして機能している場合、TCNT=GRAになったとき</p> <p>(2) GRAがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRAに転送されたとき</p>

チャンネル	略 称	機 能
0	T I E R 0	割込み要求の許可／禁止を制御します。
1	T I E R 1	
2	T I E R 2	
3	T I E R 3	
4	T I E R 4	



リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：オーバフローインタラプトイネーブル（OVIE）

TSRのOVFフラグが“1”にセットされたとき、OVFフラグによる割込み要求を許可／禁止します。

ビット2	説 明
OVIE	
0	OVFフラグによる割込み（OVI）要求を禁止（初期値）
1	OVFフラグによる割込み（OVI）要求を許可

ビット1：インプットキャプチャ／コンペアマッチインタラプトイネーブルB（IMIEB）

TSRのIMFBフラグが“1”にセットされたとき、IMFBによる割込み要求を許可／禁止します。

ビット1	説 明
IMIEB	
0	IMFBフラグによる割込み（IMIB）要求を禁止（初期値）
1	IMFBフラグによる割込み（IMIB）要求を許可

ビット0：インプットキャプチャ／コンペアマッチインタラプトイネーブルA（IMIEA）

TSRのIMFAフラグが“1”にセットされたとき、IMFAによる割込み要求を許可／禁止します。

ビット0	説 明
IMIEA	
0	IMFAフラグによる割込み（IMIA）要求を禁止（初期値）
1	IMFAフラグによる割込み（IMIA）要求を許可

10.3 CPUとのインタフェース

10.3.1 16ビットアクセス可能なレジスタ

TCNT、GRA、GRB、およびBRA、BRB、BRは16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード／ライトが可能です。また、バイト単位のリード／ライトもできます。

TCNTに対してワード単位のリード／ライトを行った場合の動作を図10.6、図10.7に示します。

また、TCNTH、TCNTLに対してバイト単位のリード／ライトを行った場合の動作を図10.8、図10.9、図10.10、図10.11に示します。

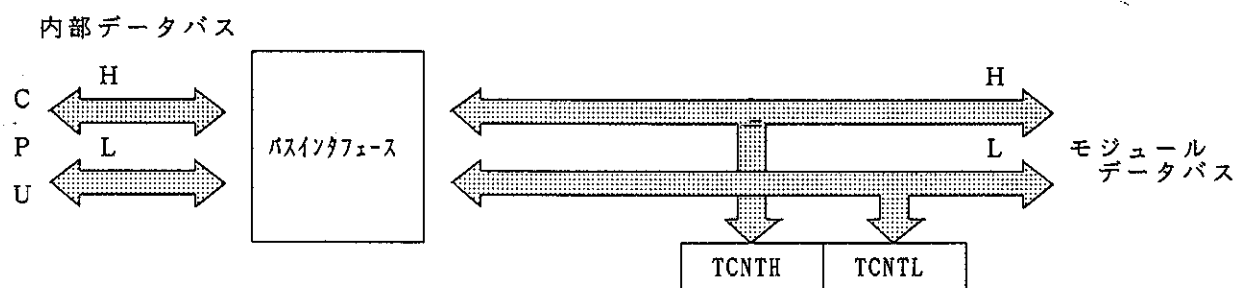


図10.6 TCNTのアクセス動作 [CPU→TCNT (ワード)]

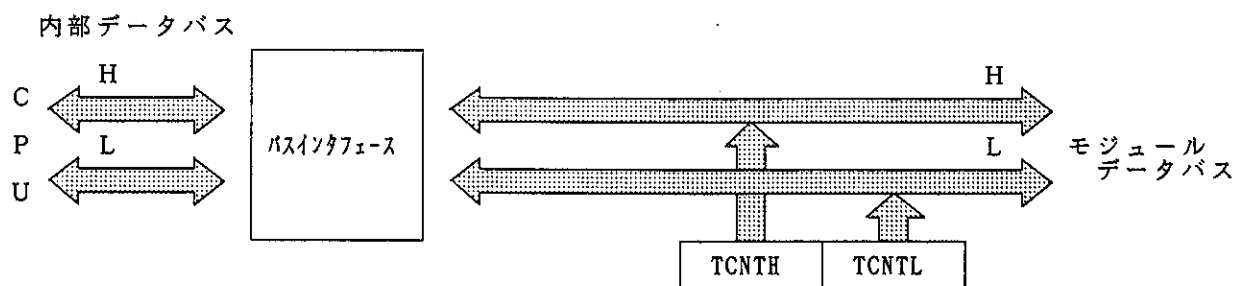


図10.7 TCNTのアクセス動作 [TCNT→CPU (ワード)]

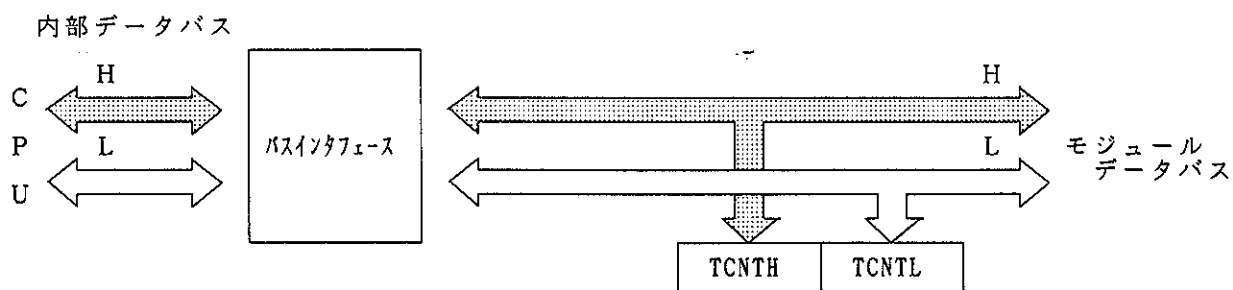


図10.8 TCNTのアクセス動作 [CPU→TCNT (上位バイト)]

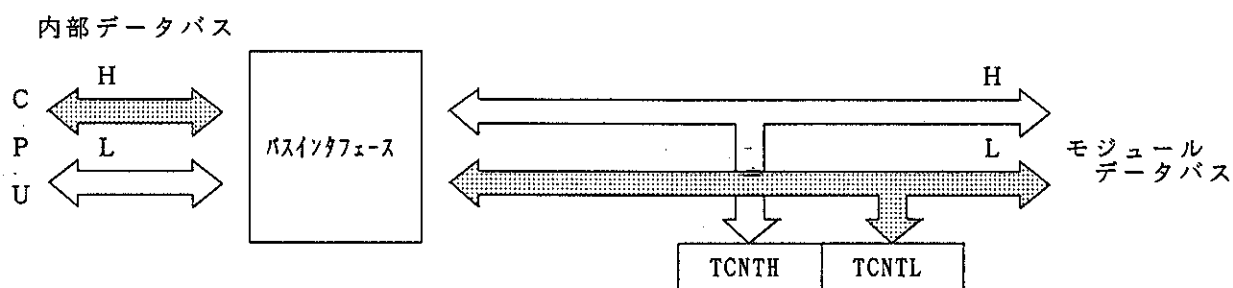


図10.9 TCNTのアクセス動作 [CPU→TCNT (下位バイト)]

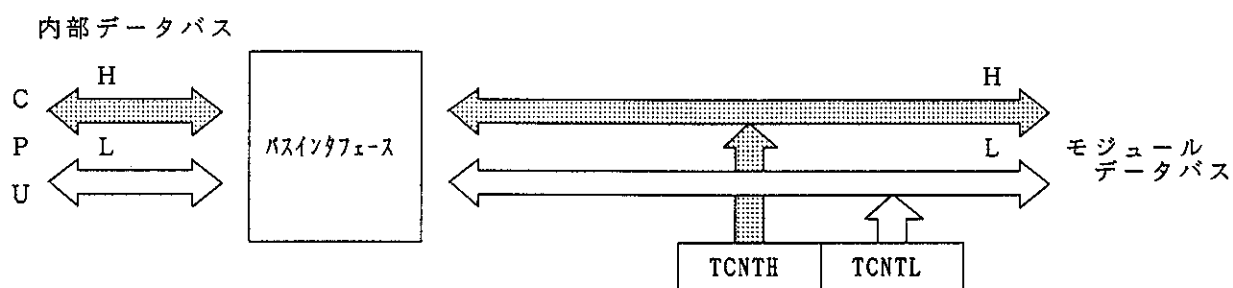


図10.10 TCNTのアクセス動作 [TCNT→CPU (上位バイト)]

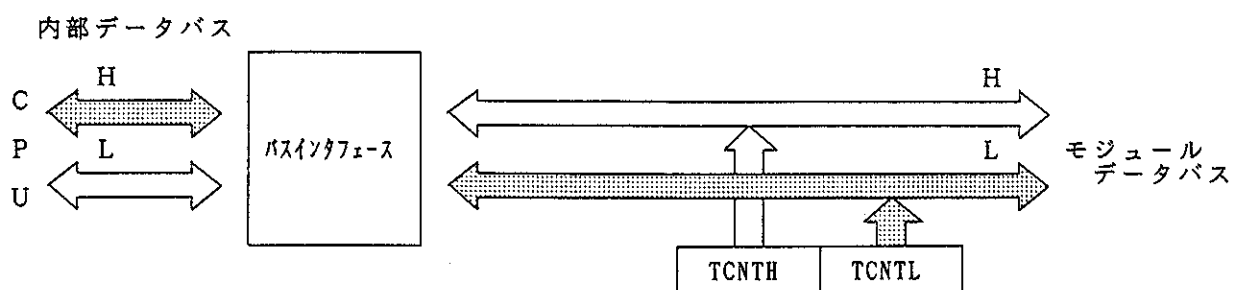


図10.11 TCNTのアクセス動作 [TCNT→CPU (下位バイト)]

10.3.2 8ビットアクセスのレジスタ

TCNT、GR、BR以外のレジスタは8ビットレジスタです。これらのレジスタはCPUと内部8ビットデータバスで接続されています。

TCRに対してバイト単位のリード/ライトを行った場合の動作を図10.12、図10.13に示します。なお、ワードサイズの転送命令を実行するとバイト単位2回の転送が行われます。

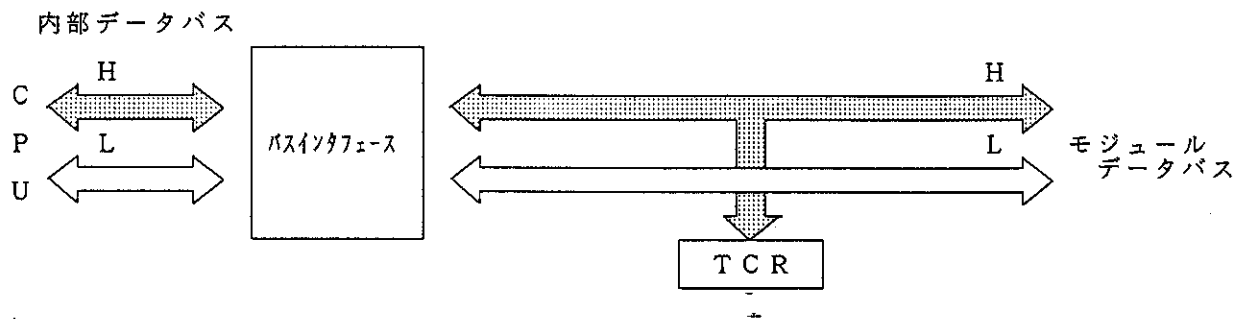


図10.12 TCRのアクセス動作 [CPU→TCR]

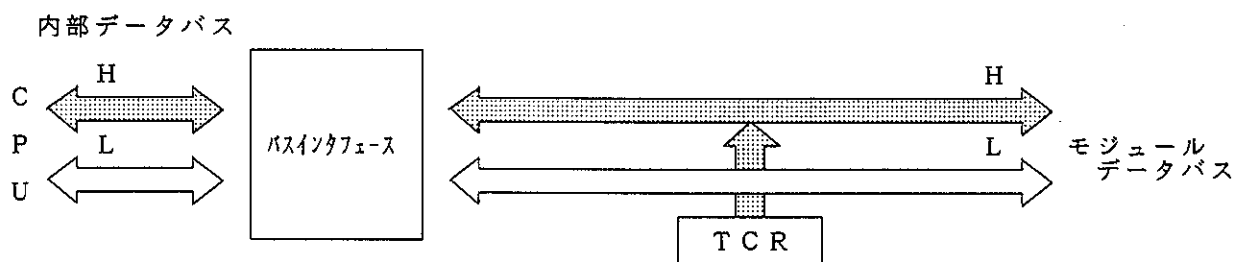


図10.13 TCRのアクセス動作 [TCR→CPU]

10.4 動作説明

10.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNTとGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルのTCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意のTCNTを書き換えると他のチャンネルのTCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルのTCRのCCLR1、CCLR0ビットの設定により、TCNTの同期クリアが可能です。

(3) PWMモード

TI0CA端子からPWM波形を出力するモードです。コンペアマッチAにより1出力、コンペアマッチBにより0出力となります。GRA、GRBの設定により、デューティ0～100%のPWM波形を出力できます。PWMモードに設定すると当該チャンネルのGRA、GRBは自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期PWMモード

チャンネル3、4を組み合わせ、正相と逆相のPWM波形を3相出力します（3相のPWM波形は一方の変化点が共通となる関係になります）。リセット同期PWMモードに設定するとGRA3、GRB3、GRA4、GRB4は自動的にアウトプットコンペアレジスタとして機能します。また、TI0CA3、TI0CB3、TI0CA4、TOCXA4、TI0CB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3はアップカウント動作を行います。TCNT4は独立に動作します（ただし、GRA4、GRB4はTCNT4とは切り離されています）。

(5) 相補PWMモード

チャンネル3、4を組み合わせ、正相と逆相がノンオーバーラップの関係にあるPWM波形を3相出力します。相補PWMモードに設定するとGRA3、GRB3、GRA4、GRB4は自動的にアウトプットコンペアレジスタとして機能します。また、TI0CA3、TI0CB3、TI0CA4、TOCXA4、TI0CB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3、TCNT4はアップ/ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定するとTCLKA、TCLKB端子はクロック入力となり、またTCNT2はアップ/ダウンカウント動作を行います。

(7) バッファ動作

① GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

② GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

③ 相補PWMモードの場合

TCNT3、TCNT4のカウント方向が変化するとBRの値が、GRに転送されます。

④ リセット同期PWMモードの場合

GRA3のコンペアマッチによりBRの値が、GRに転送されます。

10.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) の STR0～STR4 ビットを“1”にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図10.14に示します。

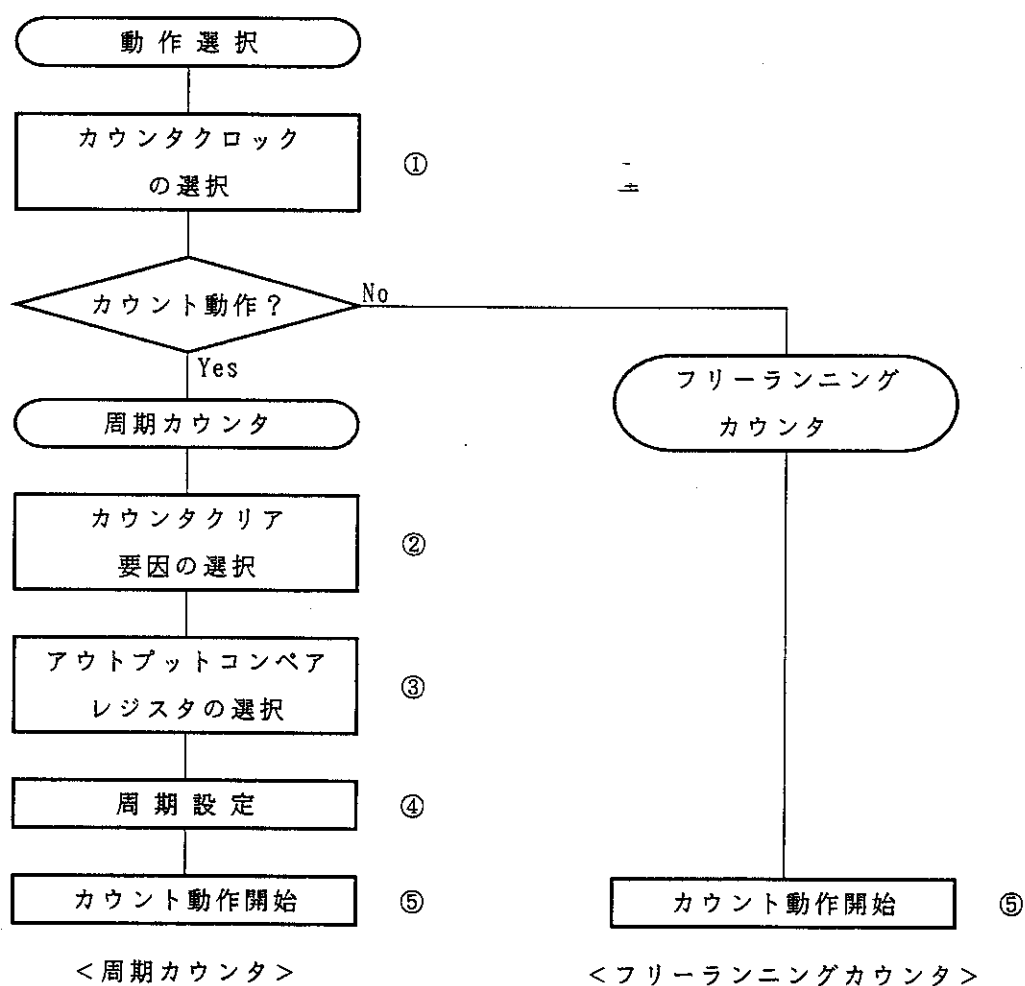


図10.14 カウント動作設定手順例

- ① TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- ② 周期カウント動作の場合TCRのCCLR1、CCLR0ビットでTCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
- ③ ②で選択したGRAまたはGRBを、TIO Rによりアウトプットコンペアレジスタに設定してください。
- ④ ②で選択したGRAまたはGRBに周期カウンタの周期を設定してください。
- ⑤ TSTRのSTRビットを“1”にセットしてカウント動作を開始してください。

(b) フリーランニングカウンタ動作と周期カウンタ動作

ITUチャンネル0～4のカウンタ(TCNT)はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを“1”にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF→H'0000)するとTSRのOVFフラグが“1”にセットされます。このとき、対応するTIERのOVIEビットが“1”ならば、CPUに割込みを要求します。TCNTはオーバーフロー後、H'0000から再びアップカウント動作を継続します。

フリーランニングカウンタの動作を図10.15に示します。

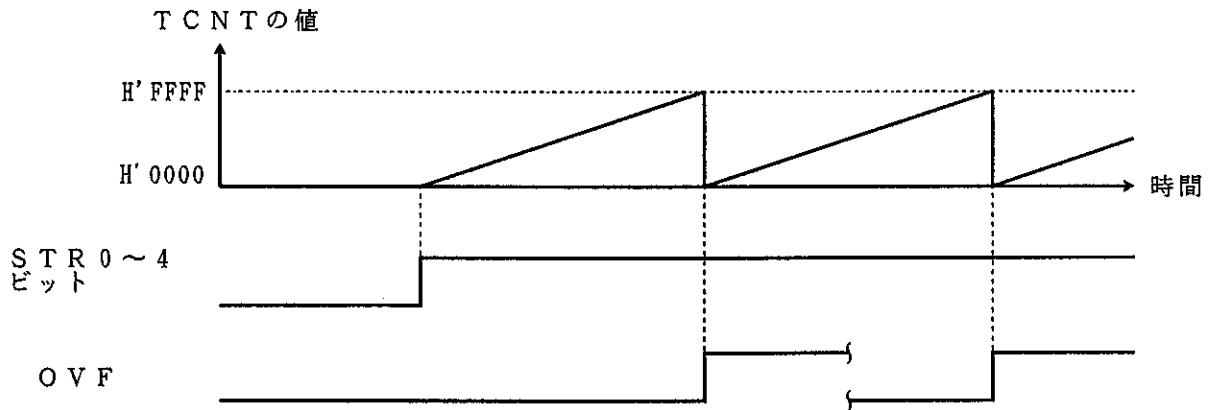


図10.15 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、当該チャネルのTCNTは周期カウント動作を行います（周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します）。設定後、TSTRの対応するビットを“1”にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTSRのIMFA/IMFBフラグが“1”にセットされ、TCNTはH'0000にクリアされます。

このとき、対応するTIERのIMIEA/IMIEBビットが“1”ならば、CPUに割込みを要求します。TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を継続します。

周期カウンタの動作を図10.16に示します。

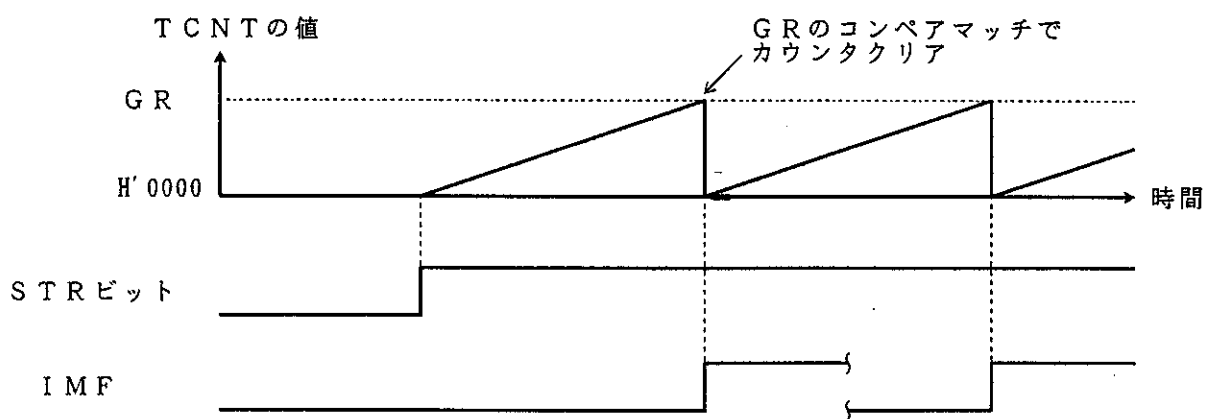


図10.16 周期カウンタの動作

(c) TCNTのカウントタイミング

①内部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより、システムクロック(ϕ)またはシステムクロックを分周した3種類のクロック($\phi/2$ 、 $\phi/4$ 、 $\phi/8$)が選択できます。

このときのタイミングを図10.17に示します。

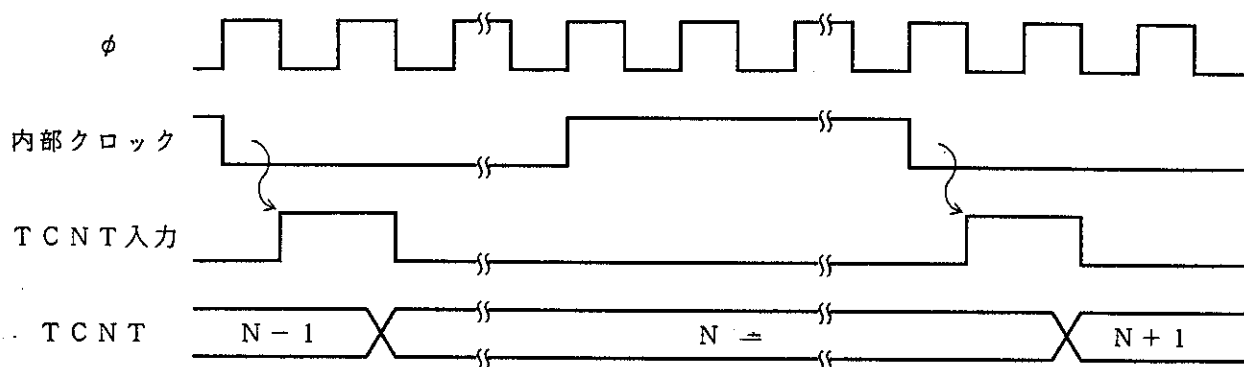


図10.17 内部クロック動作時のカウントタイミング

②外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子(TCLKA～TCLKD)を、またCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立上がりエッジ/立下がりエッジ/両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立上がり/立下がりの両エッジ検出時のタイミングを図10.18に示します。

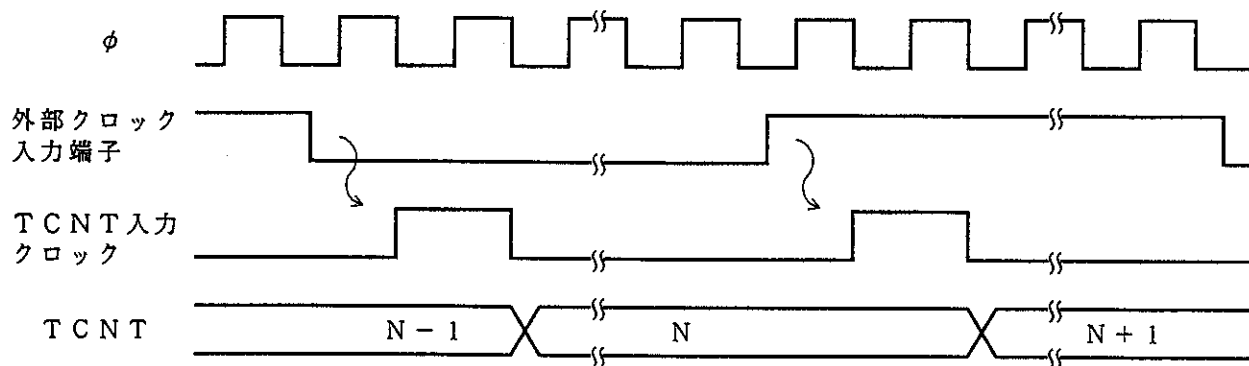


図10.18 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

I T Uチャンネル0、1、3、4は、コンペアマッチA、-Bにより対応するTIOCA、TIOCB端子から0出力／1出力／トグル出力を行うことができます。

チャンネル2は0出力／1出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図10.19に示します。

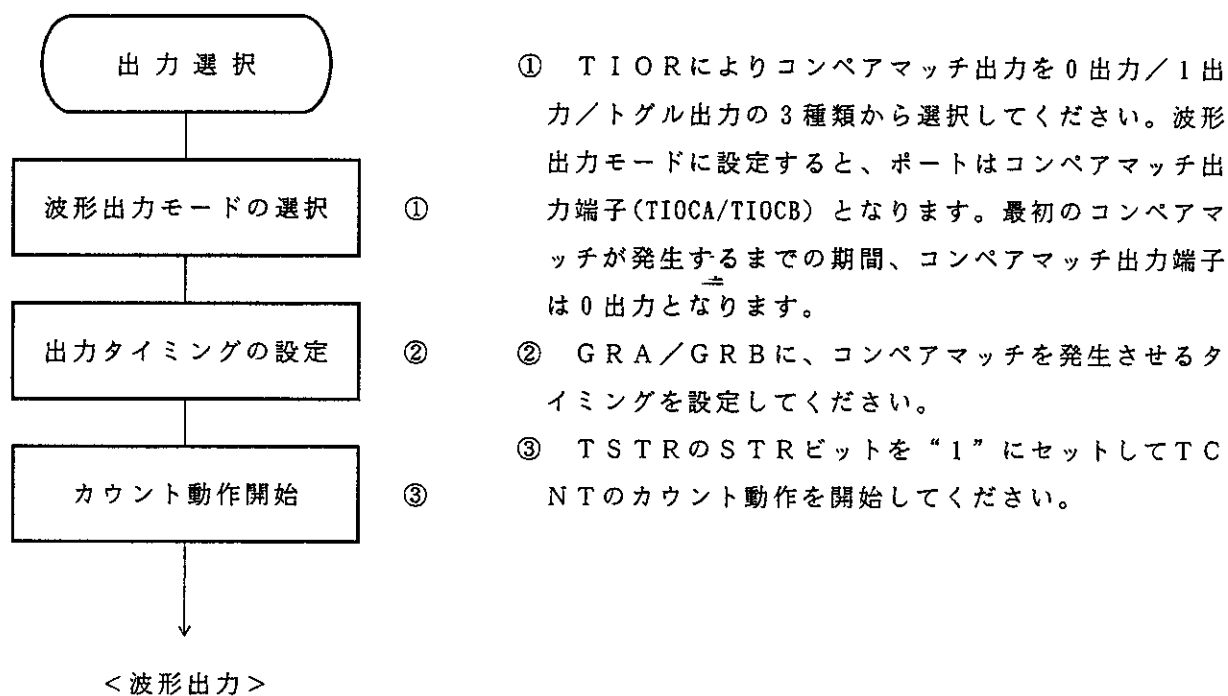


図10.19 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力／1出力の例を図10.20に示します。

T C N Tをフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

TCNTの値

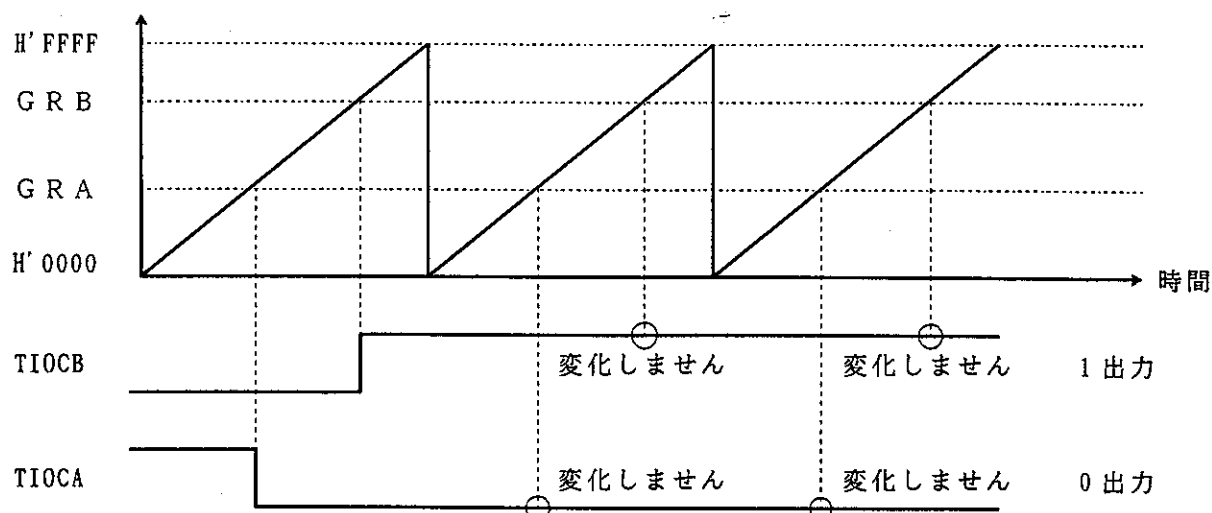


図10.20 0出力、1出力の動作例

トグル出力の例を図10.21に示します。

TCNTを周期カウント動作（コンペアマッチBでカウンタクリア）に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

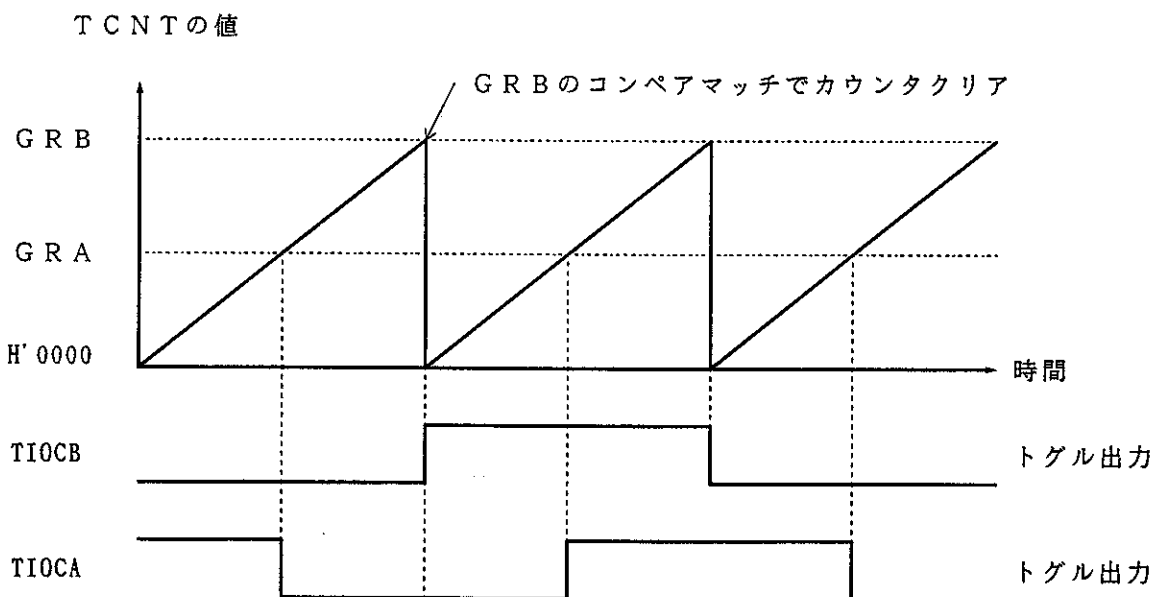


図10.21 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOで設定される出力値がアウトプットコンペア出力端子(TIOCA、TIOCB)に出力されます。TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図10.22に示します。

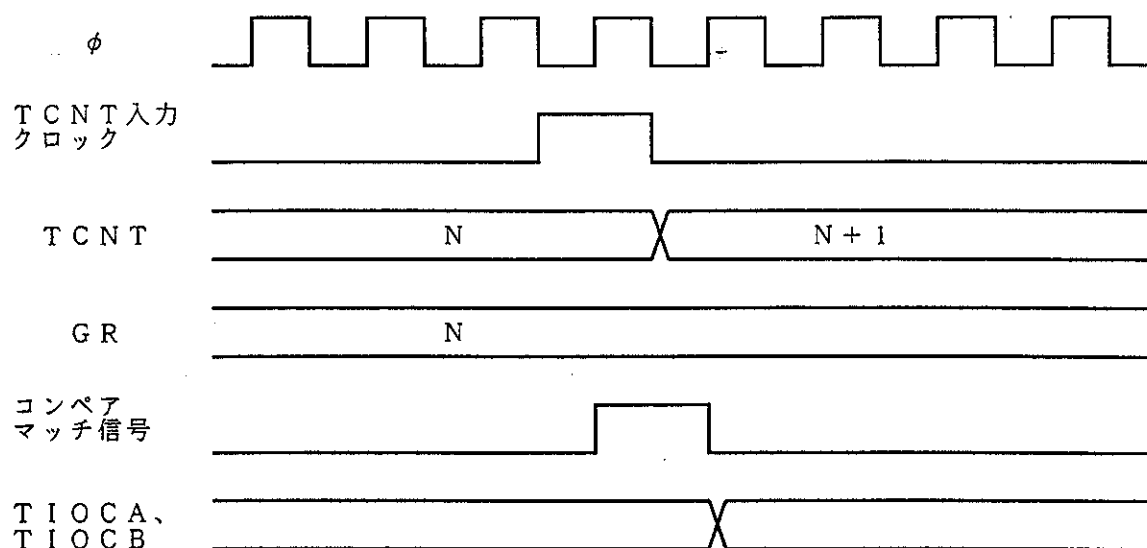


図10.22 アウトプットコンペア出力タイミング

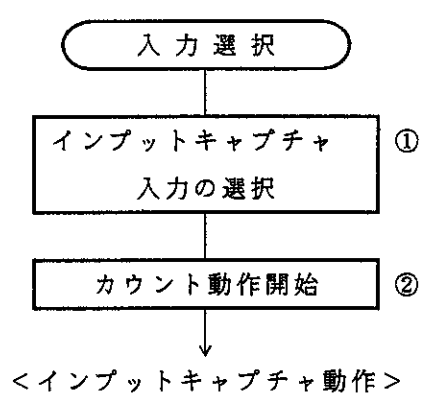
(3) インพุットキャプチャ機能

インพุットキャプチャ／アウトプットコンペア端子(TIOCA、TIOCB)の入力エッジを検出してTCNTの値をGRに転送することができます。検出エッジは立上がりエッジ／立下がりエッジ／両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図10.23に示します。



- ① TIORにより、GRをインพุットキャプチャレジスタに設定し、インพุットキャプチャ信号の入力エッジを立上がりエッジ／立下がりエッジ／両エッジの3種類から選択してください。ただし、対応するポートのDDRを“0”にクリアした状態でTIORの設定を行ってください。
- ② TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

図10.23 インพุットキャプチャ動作の設定手順例

(b) インプットキャプチャ動作例

インプットキャプチャ動作例を図10.24に示します。

TIOCA端子のインプットキャプチャ入力エッジは立上がり／立下がりの両エッジ、またTIOCB端子のインプットキャプチャ入力エッジは立下がりエッジを選択し、TCNTはGRBのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

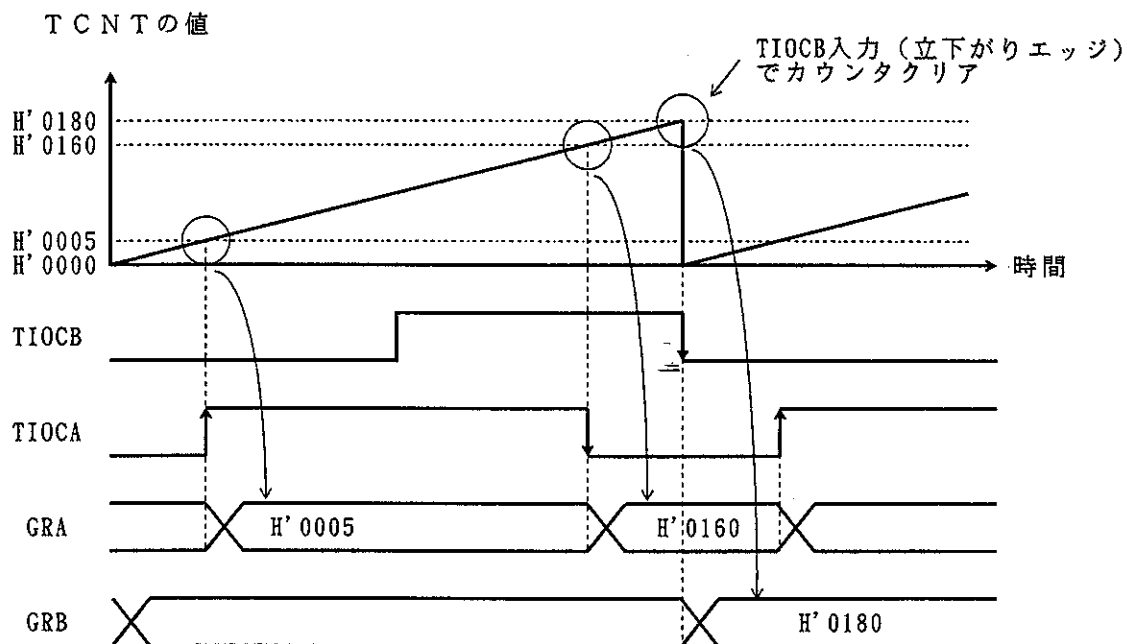


図10.24 インプットキャプチャ動作例

(c) インプットキャプチャ信号タイミング

インプットキャプチャ入力は、T I O R の設定により立上がりエッジ／立下がりエッジ／両エッジの選択ができます。

立上がりエッジを選択した場合のタイミングを図10.25に示します。

インプットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。

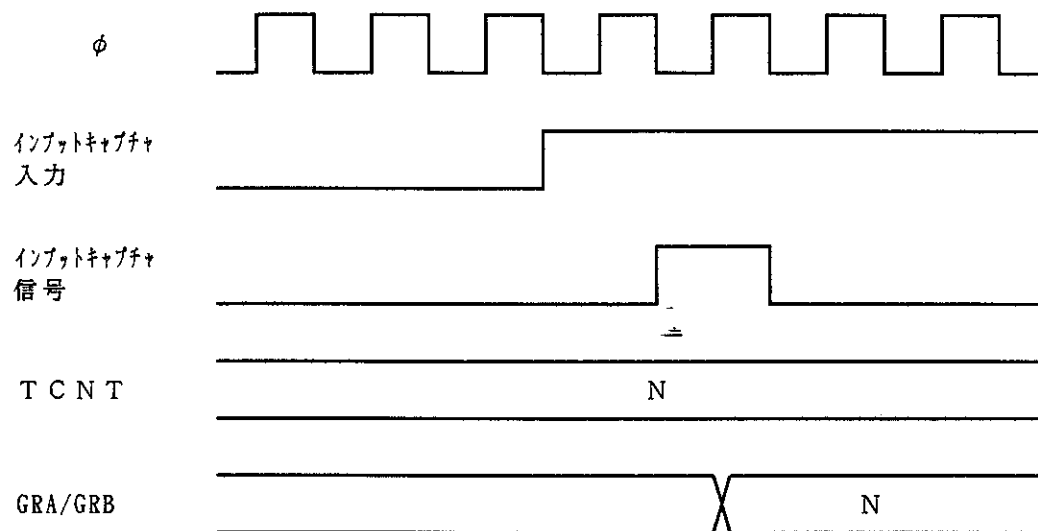


図10.25 インプットキャプチャ入力信号タイミング

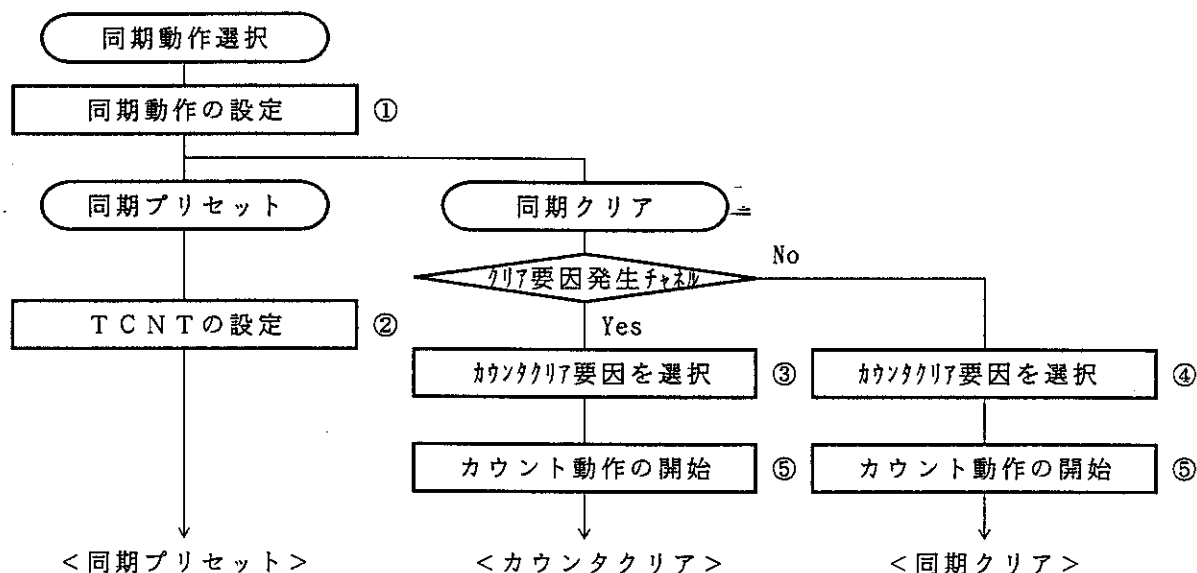
10.4.3 同期動作

同期動作は、複数のTCNTの値を同時に書き換えることができます（同期プリセット）。また、TCRの設定により複数のTCNTを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。
チャンネル0～4はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図10.26に示します。



- ① 同期動作に設定するチャンネルに対応したTSNCのSYNCビットを“1”にセットしてください。
- ② 同期動作に設定したチャンネルのいずれかのTCNTにライトすると、他のTCNTにも同じ値が同時にライトされます。
- ③ TCRのCCLR1、CCLR0ビットにより、コンペアマッチ／インプットキャプチャでカウンタクリアするように設定してください。
- ④ TCRのCCLR1、CCLR0ビットにより、カウンタクリア要因を同期クリアに設定してください。
- ⑤ TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

図10.26 同期モードの設定手順例

(2) 同期動作例

同期動作例を図10.27に示します。

チャンネル0～2を同期動作かつPWMモードに設定し、チャンネル0のカウントクリア要因をGRB0のコンペアマッチ、またチャンネル1、2のカウントクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル0～2のTCNTは同期プリセット、GRB0のコンペアマッチによる同期クリア動作を行い、3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。

PWMモードについては「10.4.4 PWMモード」を参照してください。

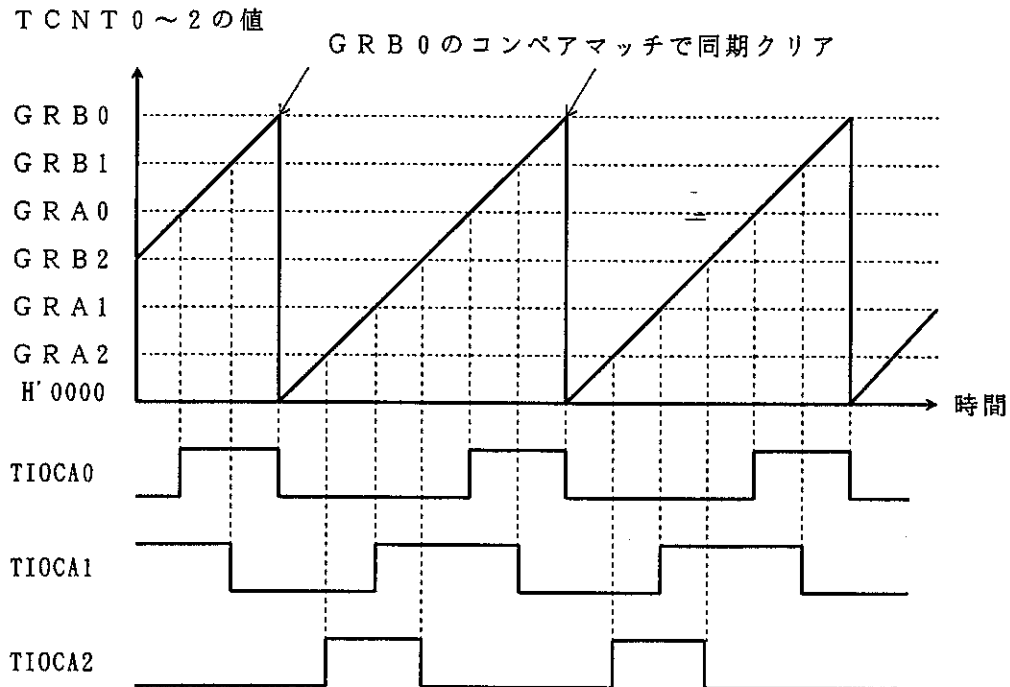


図10.27 同期動作例

10.4.4 P W Mモード

P W MモードはG R AとG R Bをペアで使用し、T I O C A出力端子よりP W M波形を出力します。G R AにはP W M波形の1出力タイミングを設定し、G R BにはP W M波形の0出力タイミングを設定します。

G R AとG R BのいずれかのコンペアマッチをT C N Tのカウントクリア要因とすることにより、デューティ0～100%のP W M波形をT I O C A端子より出力することができます。チャンネル0～4はすべてP W Mモードの設定が可能です。

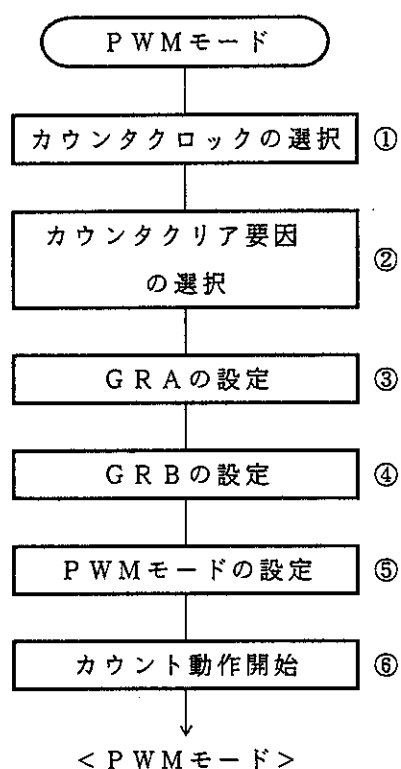
P W M出力端子とレジスタの対応を表10.4に示します。G R AとG R Bの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表10.4 P W M出力端子とレジスタの組み合わせ

チャンネル	出力端子	1出力	0出力
0	T I O C A 0	G R A 0	G R B 0
1	T I O C A 1	G R A 1	G R B 1
2	T I O C A 2	G R A 2	G R B 2
3	T I O C A 3	G R A 3	G R B 3
4	T I O C A 4	G R A 4	G R B 4

(1) P W Mモードの設定手順例

P W Mモードの設定手順例を図10.28に示します。



- ① T C RのT P S C 2～T P S C 0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、T C RのC K E G 1、C K E G 0ビットにより外部クロックのエッジを選択してください。
- ② T C RのC C L R 1、C C L R 0ビットによりカウンタクリア要因を選択してください。
- ③ G R Aに出力P W M波形の1出力タイミングを設定してください。
- ④ G R Bに出力P W M波形の0出力タイミングを設定してください。
- ⑤ T M D RのP W MビットでP W Mモードを設定してください。P W Mモードを設定すると、T I O Rの内容にかかわらずG R A／G R Bは、P W M出力波形の1出力／0出力タイミング設定用アウトプットコンペアレジスタとなります。T I O C A端子は自動的にP W M出力端子となります。ただし、T I O C B端子は、T I O RのI O B 1、I O B 0ビットの設定に従います。T I O C B端子を出力しない場合は、I O B 1、I O B 0をいずれも“0”にクリアしてください。
- ⑥ T S T RのS T Rビットを“1”にセットして、T C N Tのカウント動作を開始してください。

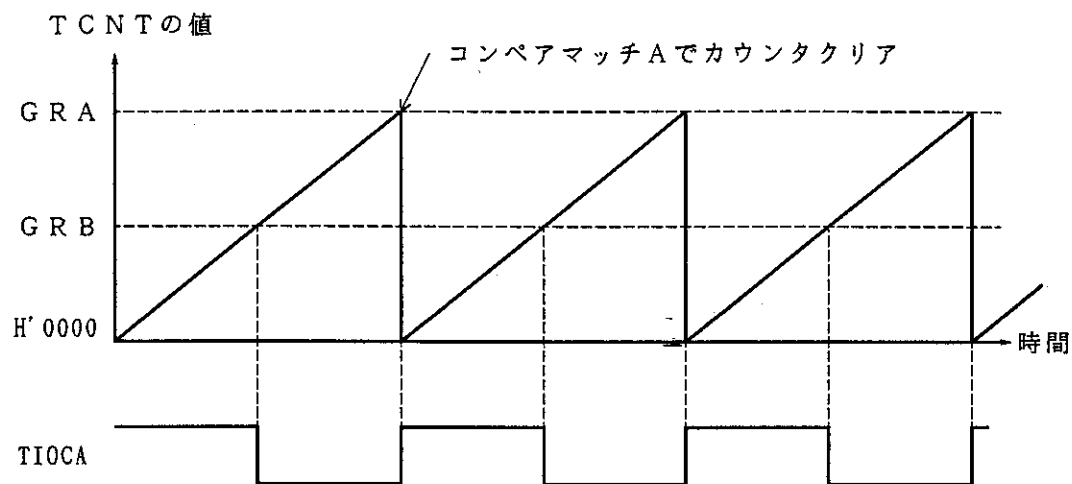
図10.28 P W Mモードの設定手順例

(2) PWMモードの動作例

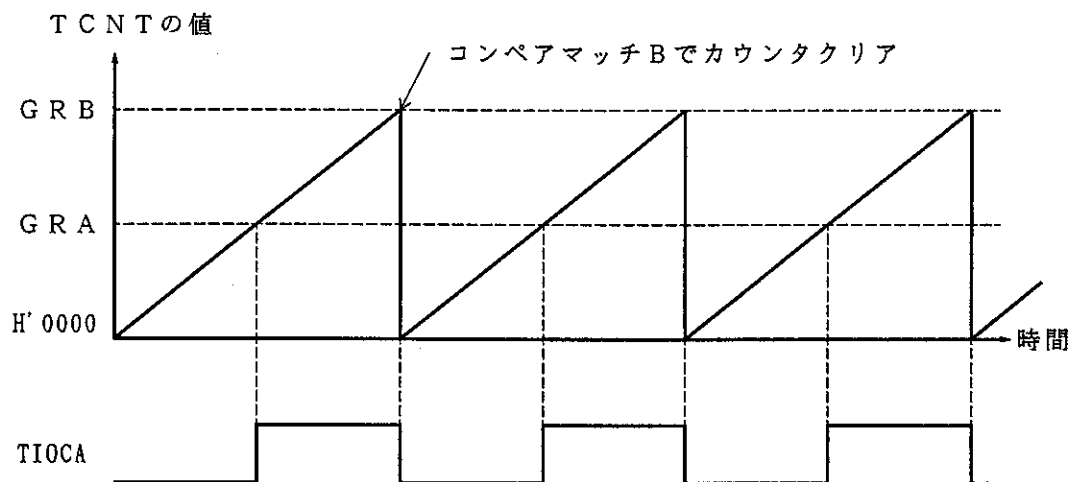
PWMモードの動作例を図10.29に示します。

PWMモードに設定するとTIOCA端子は出力端子となり、G R Aのコンペアマッチで1出力、G R Bのコンペアマッチで0出力となります。

T C N Tのカウントクリア要因をG R A、G R Bのコンペアマッチとした場合の例です。同期動作またはフリーランニングカウント動作も使用できます。



(a) G R Aでカウンタクリア

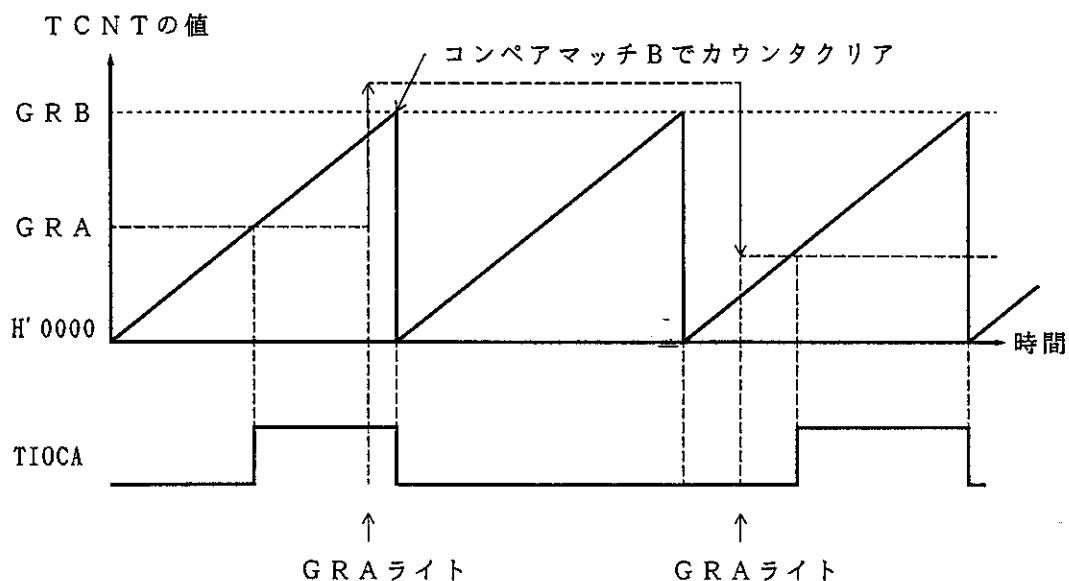


(b) G R Bでカウンタクリア

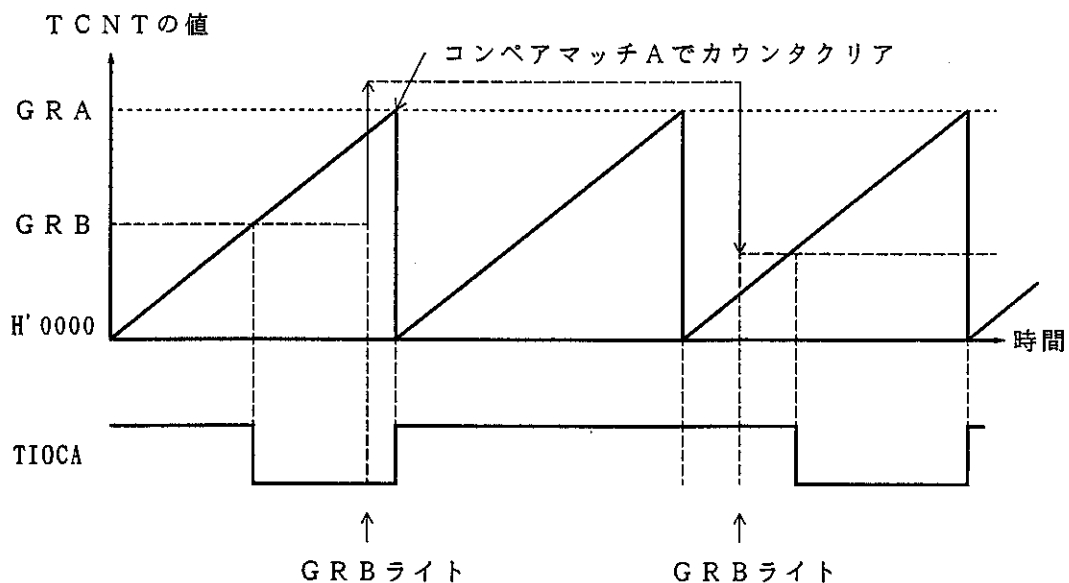
図10.29 PWMモードの動作例(1)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図10.30に示します。

カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値>GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値>GRAの設定値としたときPWM波形はデューティ100%となります。



(a) デューティ0%の場合



(b) デューティ100%の場合

図10.30 PWMモードの動作例(2)

10.4.5 リセット同期PWMモード

リセット同期PWMモードは、チャンネル3、4を組み合わせることにより、一方の波形変化点が共通の関係となるPWM波形（正相と逆相）を3相出力します。

リセット同期PWMモードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、およびTIOCB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3はアップカウンタとして機能します。

使用されるPWM出力端子を表10.5に、使用するレジスタの設定を表10.6に示します。

表10.5 リセット同期PWMモード時の出力端子

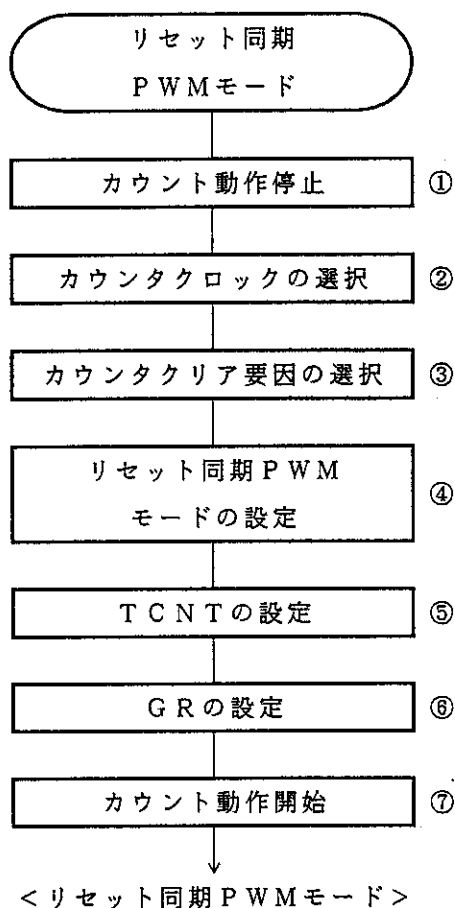
チャンネル	出力端子	説 明
3	TIOCA3	PWM出力1
	TIOCB3	PWM出力1 ^レ （PWM出力1の逆相波形）
4	TIOCA4	PWM出力2
	TOCXA4	PWM出力2 ^レ （PWM出力2の逆相波形）
	TIOCB4	PWM出力3
	TOCXB4	PWM出力3 ^レ （PWM出力3の逆相波形）

表10.6 リセット同期PWMモード時のレジスタ設定

レジスタ	設 定 内 容
TCNT3	H'0000を初期設定
TCNT4	使用しません（独立に動作）
GRA3	TCNT3のカウント周期を設定
GRB3	TIOCA3、TIOCB3端子より出力されるPWM波形の変化点を設定
GRA4	TIOCA4、TOCXA4端子より出力されるPWM波形の変化点を設定
GRB4	TIOCB4、TOCXB4端子より出力されるPWM波形の変化点を設定

(1) リセット同期PWMモードの設定手順例

リセット同期PWMモードの設定手順を図10.31に示します。



- ① TSTRのSTR3ビットを“0”にクリアし、TCNT3のカウント動作を停止してください。リセット同期PWMモードの設定は、TCNT3が停止した状態で行ってください。
- ② TCRのTPSC2～TPSC0ビットでチャンネル3のカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- ③ TCR3のCCLR1、CCLR0ビットでカウンタクリア要因をGRA3のコンペアマッチに設定してください。
- ④ TFCRのCMD1、CMD0ビットでリセット同期PWMモードを設定してください。
TIOCA3、TIOCB3、TIOCA4、TIOCB4、TOCXA4、TOCXB4端子は自動的にPWM出力端子となります。
- ⑤ TCNT3は、H'0000としてください。TCNT4は、設定する必要はありません。
- ⑥ GRA3は周期レジスタです。GRA3には、周期を設定してください。GRB3、GRA4、GRB4には、PWM出力波形変化タイミングを設定してください。ただし、設定値は、TCNT3とコンペアマッチする範囲で設定してください。
$$X \leq \text{GRA3} \quad (X: \text{設定値})$$
- ⑦ TSTRのSTR3ビットを“1”にセットして、TCNT3のカウント動作を開始してください。

図10.31 リセット同期PWMモードの設定手順例

(2) リセット同期PWMモードの動作例

リセット同期PWMモードの動作例を図10.32に示します。

リセット同期PWMモードでは、TCNT 3はアップカウンタとして動作します。TCNT 4は独立動作します。ただし、GRA 4、GRB 4はTCNT 4から切り離されます。TCNT 3がGRA 3とコンペアマッチするとカウンタはクリアされ、H'0000からカウントアップを再開します。

PWM出力端子は、それぞれGRB 3、GRA 4、GRB 4とTCNT 3のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

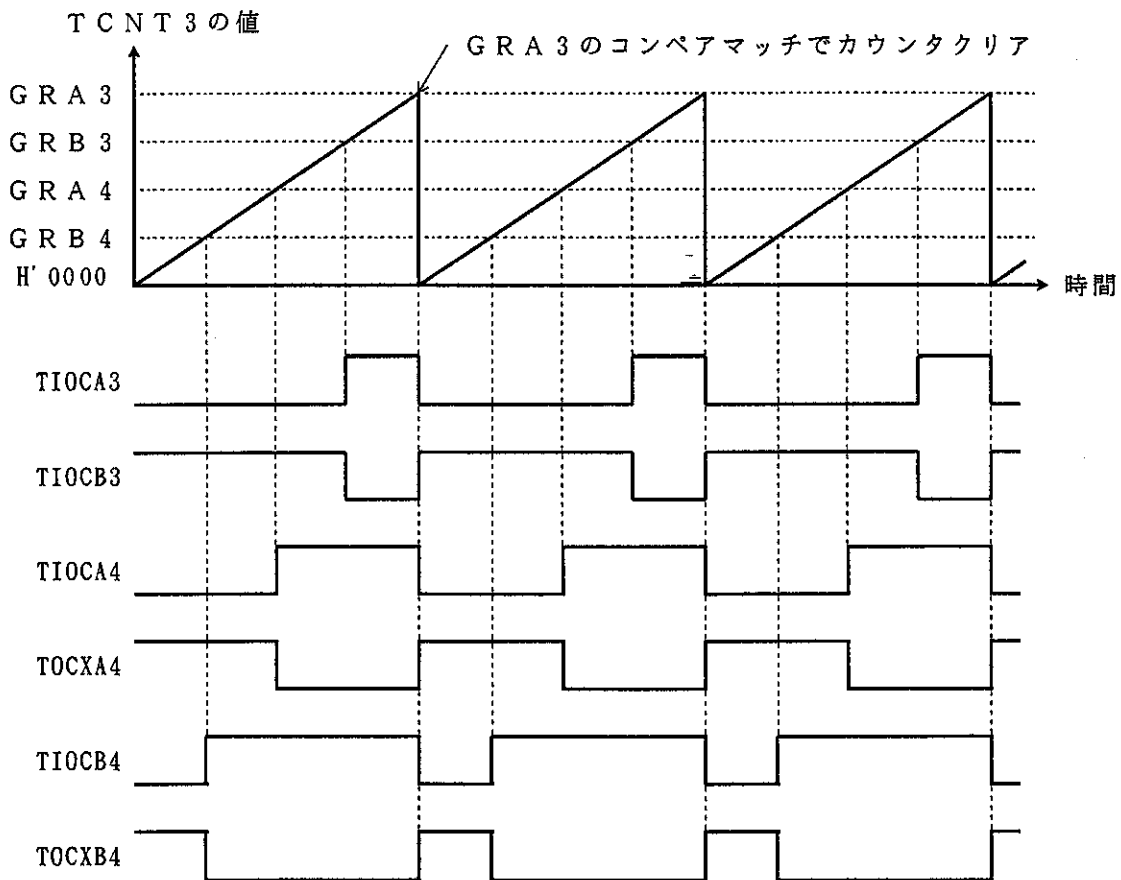


図10.32 リセット同期PWMモードの動作例 (OLS 3 = OLS 4 = 1の場合)

リセット同期PWMモードとバッファ動作を同時に設定した場合の動作については、「10.4.8 バッファ動作」を参照してください。

10.4.6 相補PWMモード

相補PWMモードは、チャンネル3、4を組み合わせることにより、正相と逆相がノンオーバーラップの関係にあるPWM波形を3相出力します。

相補PWMモードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、およびTIOCB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3とTCNT4はアップ/ダウンカウンタとして機能します。

使用されるPWM出力端子を表10.7に、使用するレジスタの設定を表10.8に示します。

表10.7 相補PWMモード時の出力端子

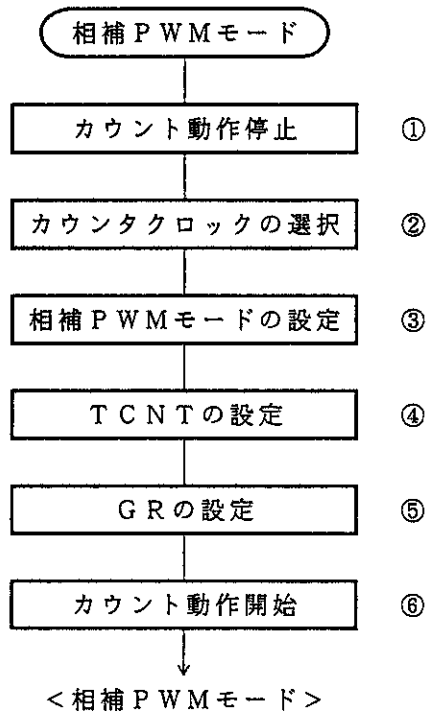
チャンネル	出力端子	説明
3	TIOCA3	PWM出力1
	TIOCB3	PWM出力1 ⁻ (PWM出力1とノンオーバーラップの関係にある逆相波形)
4	TIOCA4	PWM出力2
	TOCXA4	PWM出力2 ⁻ (PWM出力2とノンオーバーラップの関係にある逆相波形)
	TIOCB4	PWM出力3
	TOCXB4	PWM出力3 ⁻ (PWM出力3とノンオーバーラップの関係にある逆相波形)

表10.8 相補PWMモード時のレジスタ設定

レジスタ	設定内容
TCNT3	ノンオーバーラップ期間を初期設定 (TCNT4との差がノンオーバーラップ期間となります)
TCNT4	H'0000を初期設定
GRA3	TCNT3の上限値-1を設定
GRB3	TIOCA3、TIOCB3端子より出力されるPWM波形の変化点を設定
GRA4	TIOCA4、TOCXA4端子より出力されるPWM波形の変化点を設定
GRB4	TIOCB4、TOCXB4端子より出力されるPWM波形の変化点を設定

(1) 相補PWMモードの設定手順

相補PWMモードの設定手順例を図10.33に示します。



- ① TSTRのSTR3、STR4ビットを“0”にクリアしTCNTのカウント動作を停止してください。
相補PWMモードの設定は、TCNT3、TCNT4が停止した状態で行ってください。
- ② TCRのTPSC2～TPSC0ビットでチャンネル3、4に同一カウンタクロックを選択してください。
外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。TCRのCCLR1、CCLR0ビットでカウンタクリアは選択しないでください。
- ③ TFCRのCMD1、CMD0ビットで相補PWMモードを設定してください。TIOCA3、TIOCB3、TIOCA4、TIOCB4、TOCXA4、TOCXB4端子は自動的にPWM出力端子となります。
- ④ TCNT4は、H'0000としてください。TCNT3は、ノンオーバーラップ期間を設定してください。
TCNT3とTCNT4に同じ値を設定しないでください。
- ⑤ GRA3は周期レジスタです。GRA3には、TCNT3の上限値－1を設定してください。GRB3、GRA4、GRB4には、PWM出力波形変化タイミングを設定してください。ただし、設定値は、TCNT3とTCNT4がコンペアマッチする範囲で設定してください。
 $T \leq X$ (X: GRB3、GRA4、GRB4の初期設定値、T: TCNT3の初期設定値)
- ⑥ TSTRのSTR3、STR4ビットを“1”にセットして、TCNT3、TCNT4のカウント動作を開始してください。

【注】 相補PWMモードを途中で解除した後、再び相補PWMモードを開始したい場合、設定手順①から、再設定を行ってください。

図10.33 相補PWMモードの設定手順例

(2) 相補PWMモードの解除手順

相補PWMモードの解除手順を図10.34に示します。

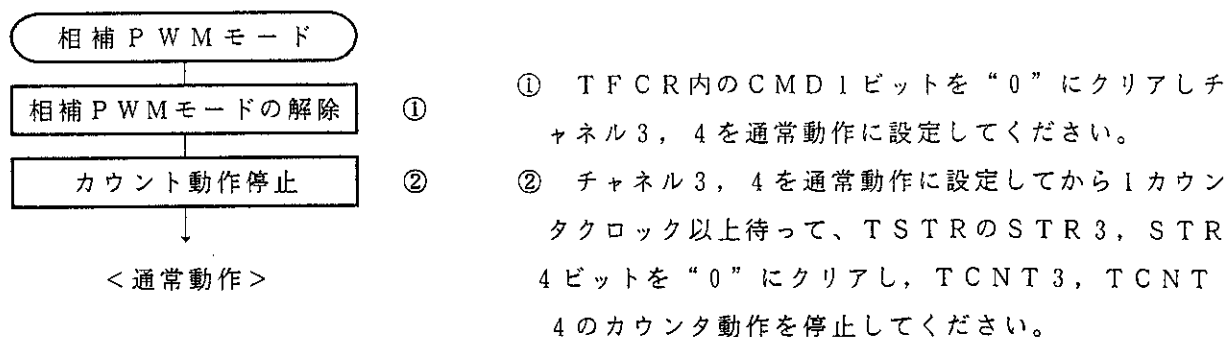


図10.34 相補PWMモードの解除手順

(3) 相補PWMモードの動作例

相補PWMモードの動作例を図10.35に示します。

相補PWMモードでは、TCNT3、TCNT4はアップ／ダウンカウンタとして動作します。TCNT3がGRA3とコンペアマッチするとダウンカウントし、TCNT4がアンドフローするとアップカウントします。

GRB3、GRA4、GRB4はカウンタのアップ／ダウン1周期中、それぞれTCNT3→TCNT4→TCNT4→TCNT3の順にコンペアマッチを行いPWM波形を生成します（本モードでは、TCNT3>TCNT4に初期設定します）。

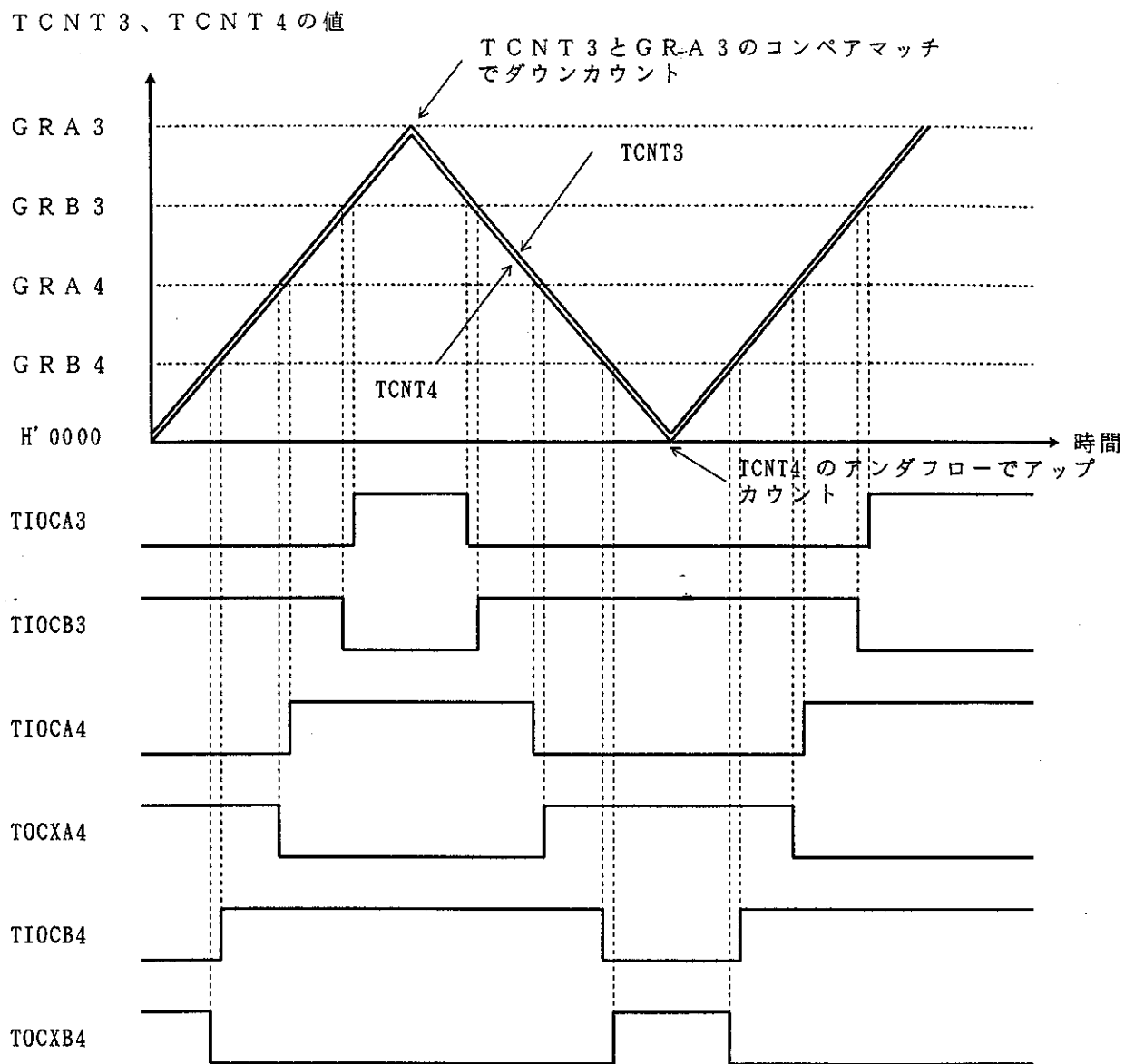
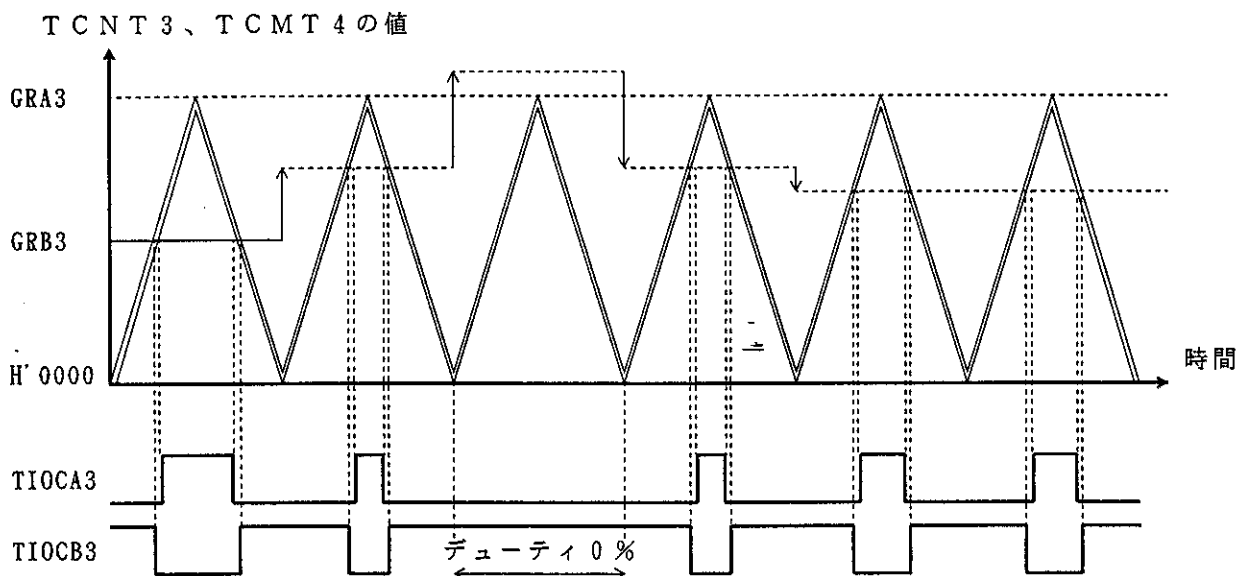


図10.35 相補PWMモードの動作例(1) (OLS 3 = OLS 4 = 1 の場合)

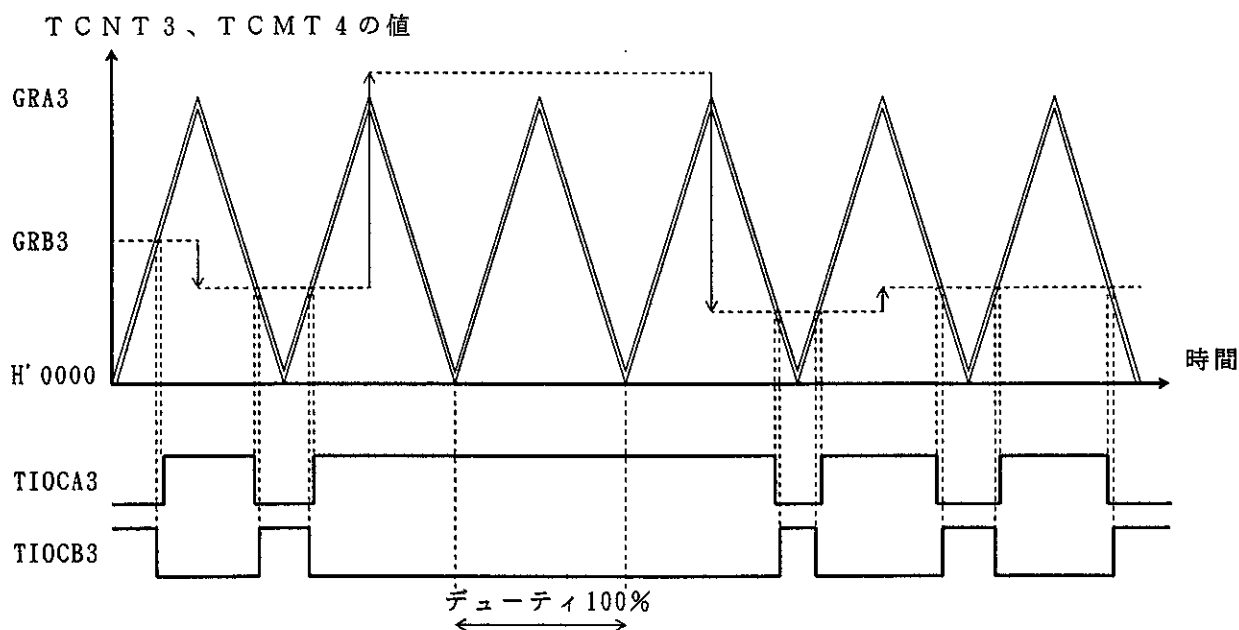
相補PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例(1相分)を図10.36に示します。

本例ではGRB3のコンペアマッチで端子出力が変化しますので、GRB3の値をGRA3の値よりも大きい値とすることでデューティ0%、デューティ100%の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については「10.4.8 バッファ動作」を参照してください。



(a) デューティ0%の場合



(b) デューティ100%の場合

図10.36 相補PWMモードの動作例(2) (OLS3=OLS4=1の場合)

相補PWMモードを使用しているときのアップカウント／ダウンカウントの変化点で、TCNT 3、TCNT 4はそれぞれオーバシュート／アンダシュートを発生します。

このとき、チャンネル3のIMFAフラグおよびチャンネル4のOVFフラグをセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを図10.37、図10.38に示します。

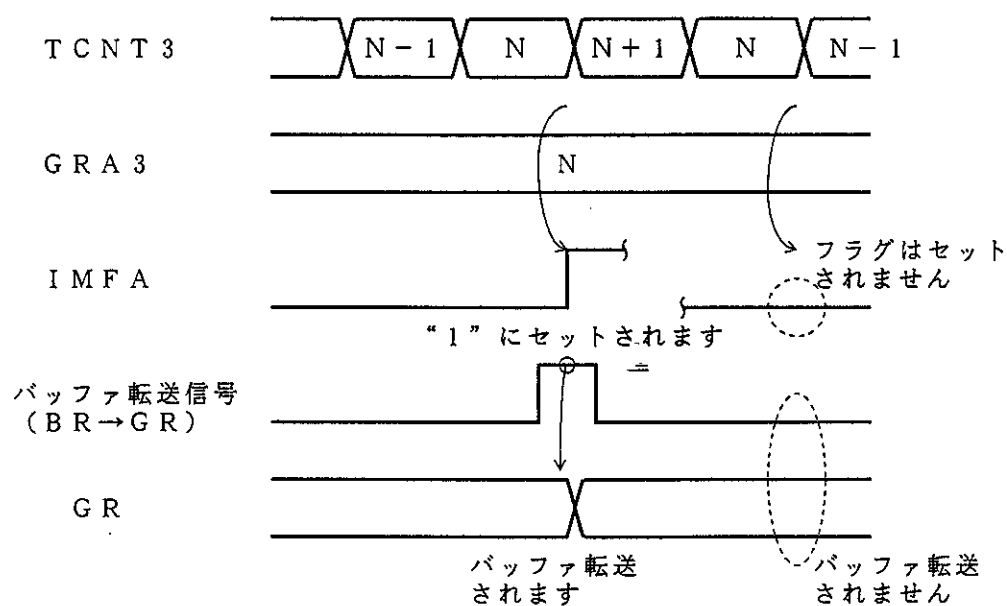


図10.37 オーバシュート時のタイミング

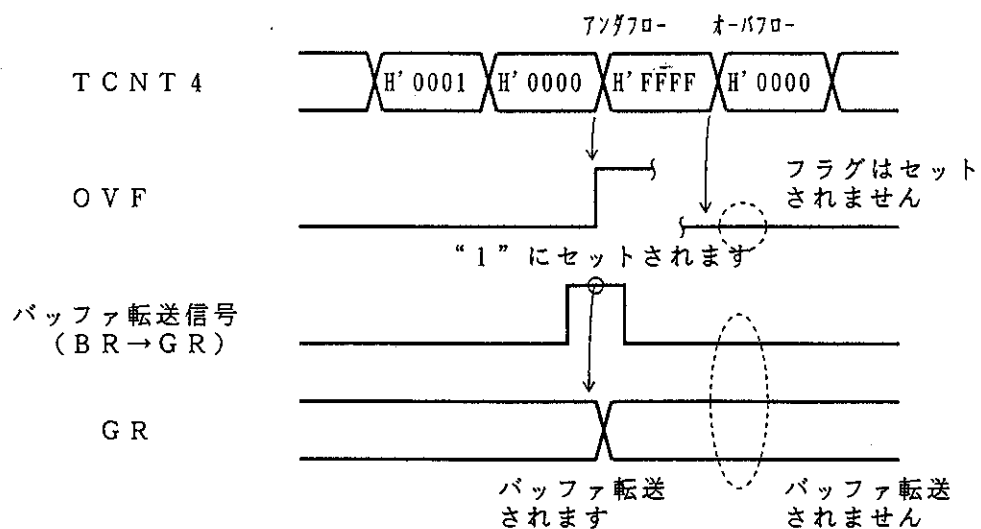


図10.38 アンダシュート時のタイミング

チャンネル3のIMFAフラグはアップカウント時に、チャンネル4のOVFフラグはアンダフロー時のみ、それぞれ“1”にセットされます。

バッファ動作を設定されたBRは、アップカウント動作時のコンペアマッチA3またはTCNT4のアンダフローによってGRに転送されます。

(4) 相補PWMモードでのGRの設定値

相補PWMモードでのGRの設定および動作中の変更については、以下の点に注意してください。

① 初期値

$H'0000 \sim T-1$ (T : TCNT3の初期設定値)の設定は禁止です。

なお、カウントスタート後、最初に発生するコンペアマッチA3のタイミング以降では、この設定も可能です。

② 設定値の変更方法

バッファ動作を使用してください。直接GRにライトすると、正しく波形出力されない場合があります。

③ 設定値変更時の注意

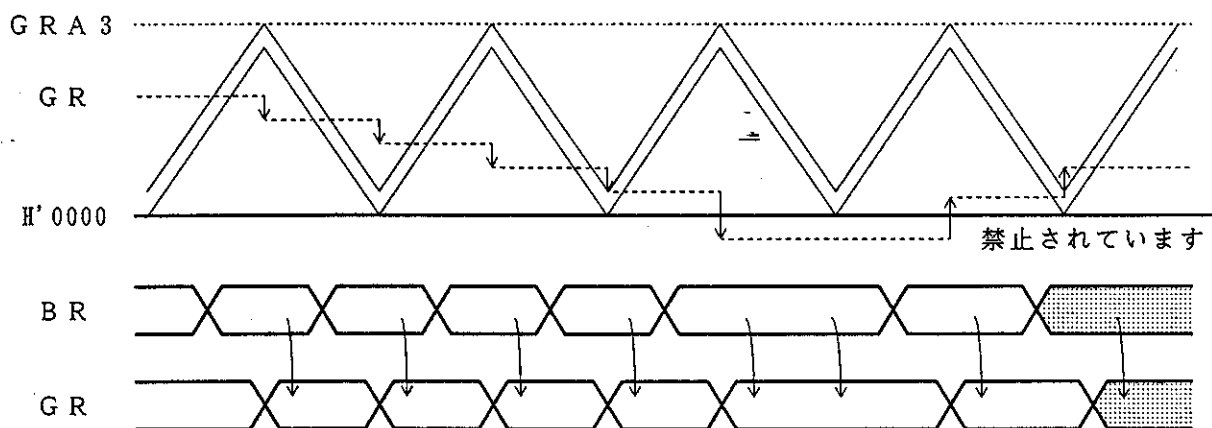


図10.39 バッファ動作によるGRの設定値変更例(1)

(a) アップカウントからダウンカウントへの変化時のバッファ転送

GRの内容が $GRA3 - T + 1 \sim GRA3$ の範囲内であるとき、この範囲外の値は転送しないでください。また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作によるGRの設定変更時の注意(1)を図10.40に示します。

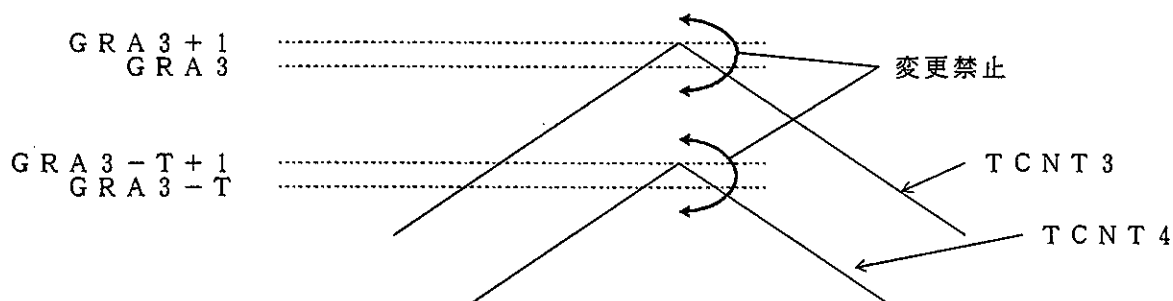


図10.40 バッファ動作によるGRの設定変更時の注意(1)

(b) ダウンカウントからアップカウントへの変化時のバッファ転送

G R の内容が $H'0000 \sim T-1$ の範囲であるとき、この範囲外の値は転送しないでください。
また、G R の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。
バッファ動作による G R の設定変更時の注意(2)を図10.41に示します。

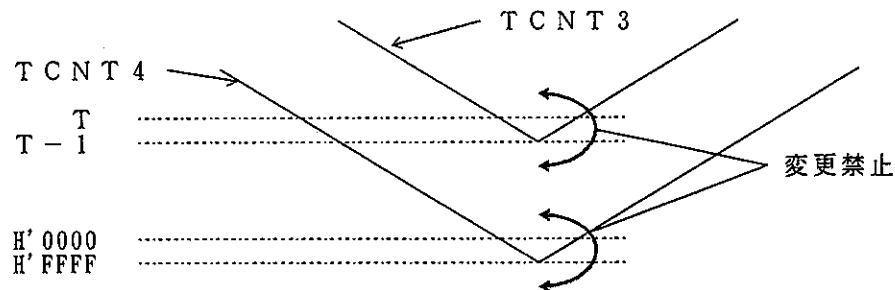


図10.41 バッファ動作による G R の設定変更時の注意(2)

(c) G R の設定をカウント領域 ($H'0000 \sim G R A 3$) 外とするとき

デューティ 0%、100%の波形を出力する場合、G R の設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値を B R にライトしたときのカウント方向（アップ/ダウンカウント）と、カウント領域内にもどる設定値を B R にライトするときのカウント方向が同一となるようにしてください。

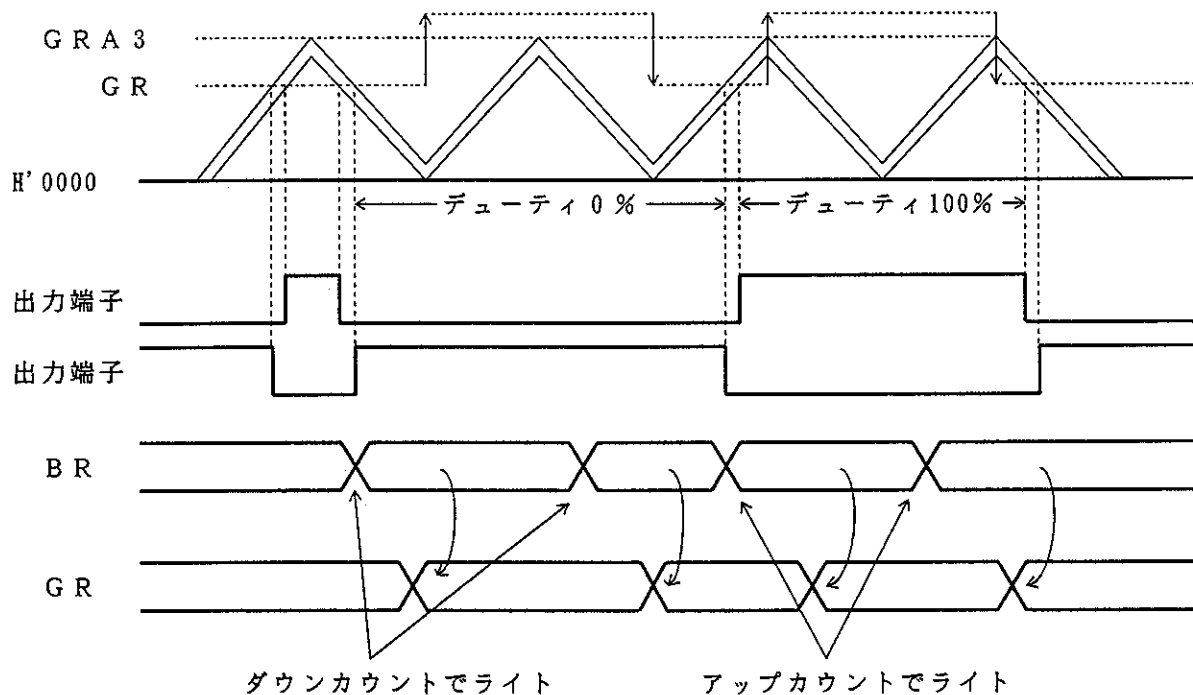


図10.42 バッファ動作による G R の設定値変更例(2)

上記設定は、G R A 3 のコンペアマッチまたは TCNT 4 のアンダフローが発生したことを検出して、B R へライトをすることによって実現可能です。また、G R A 3 のコンペアマッチによって D M A C を起動することによっても実現可能です。

10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力(TCLKA、TCLKB端子)の位相差を検出し、TCNT2をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR2のTPSC2～TPSC0ビット、CKEG1、CKEG0ビットの設定に関わらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、またTCNT2はアップ/ダウンカウンタとなります。ただし、TCR2のCCLR1、CCLR0ビット、TIOR2、TIER2、TSR2、GRA2、GRB2は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割込み要因は使用することができます。

位相計数モードはチャンネル2のみがもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図10.43に示します。

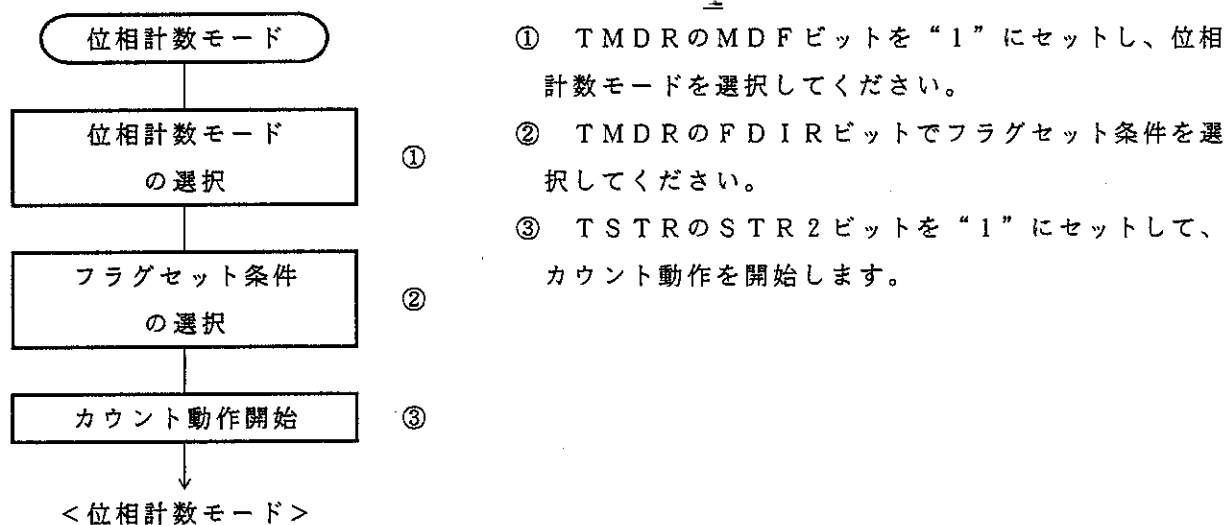


図10.43 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図10.44に、T C N T 2 のアップ／ダウンカウンタ条件を表10.9にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB端子の立上がり（ \uparrow ）／立下がり（ \downarrow ）の両エッジでカウントされます。このとき、TCLKA、TCLKBの位相差およびオーバーラップはそれぞれ1.5ステート以上、パルス幅は2.5ステート以上必要です。

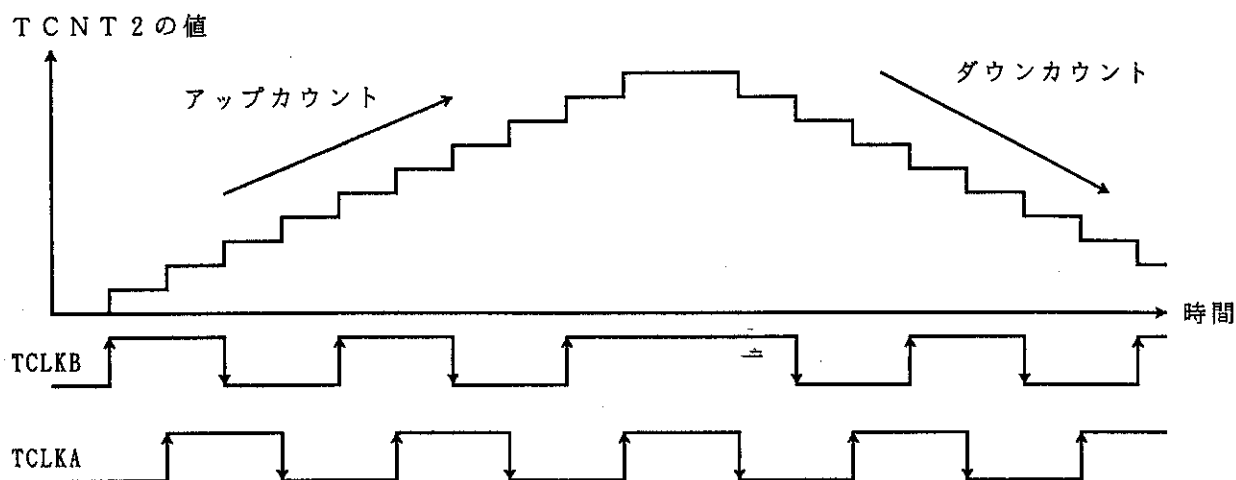


図10.44 位相計数モードの動作例

表10.9 アップ／ダウンカウンタ条件

カウント方向	アップカウント				ダウンカウント			
TCLKB	\uparrow	High	\downarrow	Low	High	\downarrow	Low	\uparrow
TCLKA	Low	\uparrow	High	\downarrow	\downarrow	Low	\uparrow	High

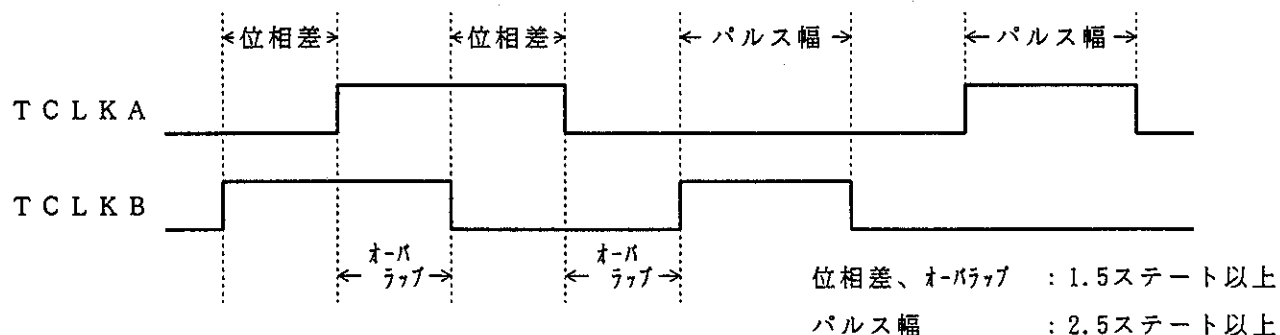


図10.45 位相計数モード時の位相差、オーバーラップおよびパルス幅

10.4.8 バッファ動作

バッファ動作は、G Rをアウトプットコンペアレジスタに設定した場合、G Rをインプットキャプチャレジスタに設定した場合、リセット同期P W Mモード時、および相補P W Mモード時で機能が異なります。

バッファ動作はチャンネル3、4のみがもつ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

① G Rがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのB Rの値が、G Rに転送されます。

この動作を図10.46に示します。

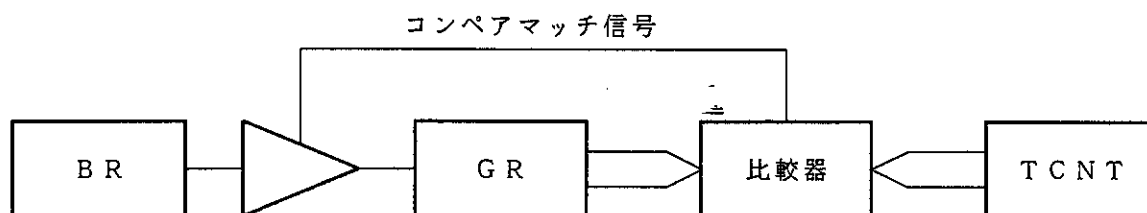


図10.46 コンペアマッチバッファ動作

② G Rがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとT C N Tの値をG Rに転送すると同時に、それまで格納されていたG Rの値をB Rに転送します。

この動作を図10.47に示します。

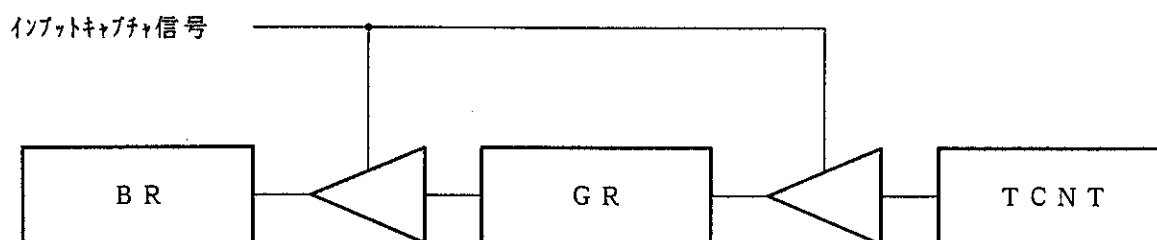


図10.47 インプットキャプチャバッファ動作

③ 相補PWMモードの場合

TCNT3、TCNT4のカウンタ方向が変化するとB_Rの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。

- ・ TCNT3とGRA3がコンペアマッチしたとき
- ・ TCNT4がアンダフローしたとき

④ リセット同期PWMモードの場合

コンペアマッチA3によりBRの値が、GRに転送されます。

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図10.48に示します。

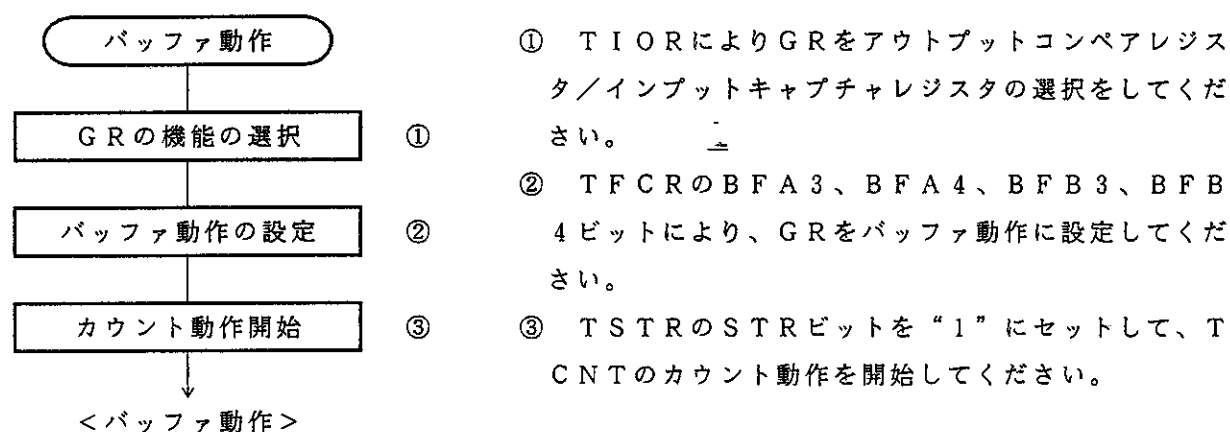


図10.48 バッファ動作の設定手順例

(2) バッファ動作例

GR Aをアウトプットコンペアレジスタに設定し、GR AとBR Aをバッファ動作に設定したときの動作を図10.49に示します。

TCNTがコンペアマッチBによりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB端子は、それぞれコンペアマッチA、Bによるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチAでTIOCA端子がトグル出力を行うと同時に、BR Aの値がGR Aに転送されます。この動作をコンペアマッチAが発生するたびに繰り返します。この転送タイミングを図10.50に示します。

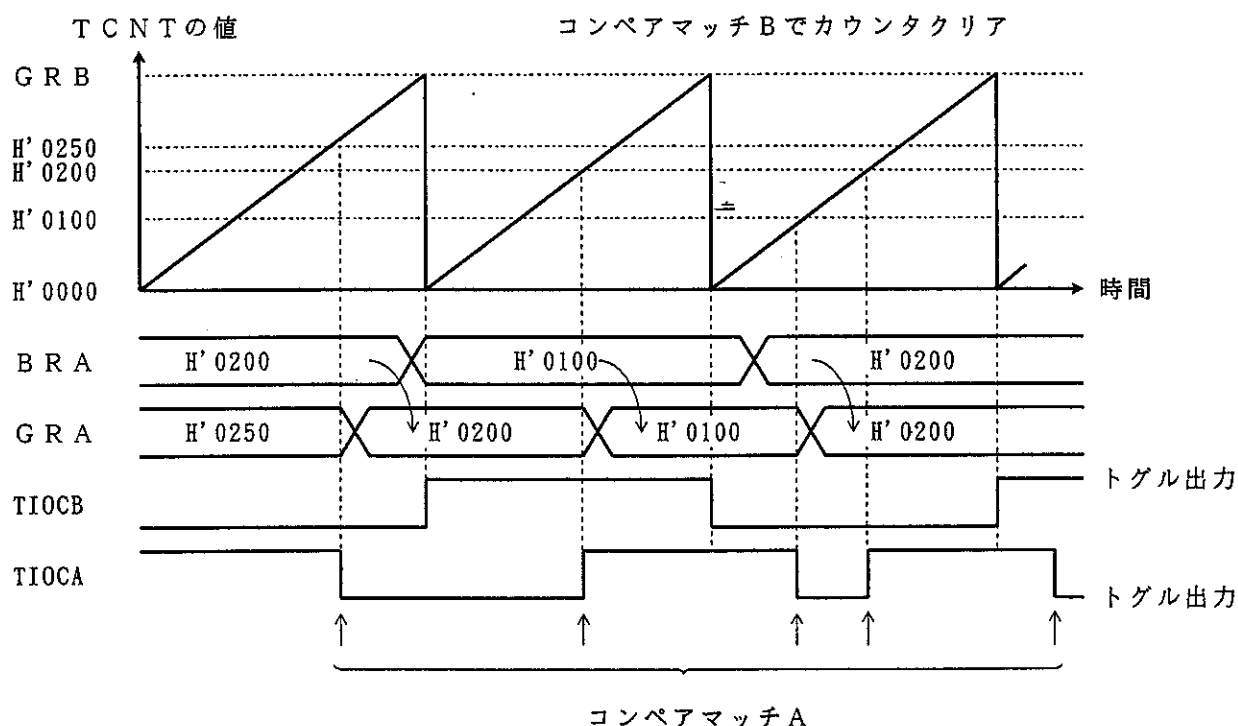


図10.49 バッファ動作例(1) (アウトプットコンペアレジスタに対するバッファ動作)

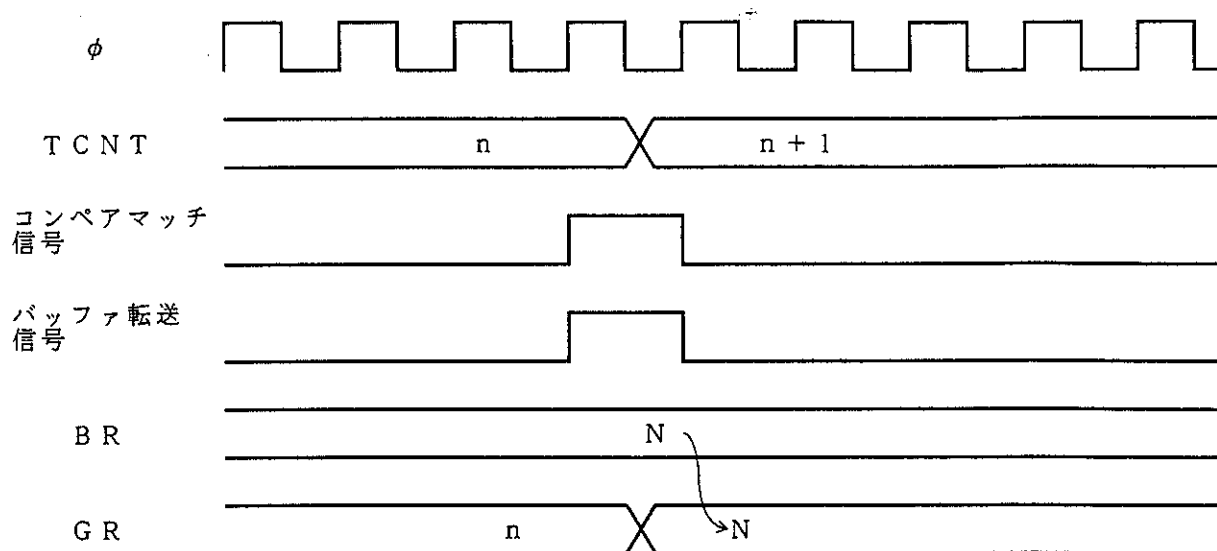


図10.50 バッファ動作時のコンペアマッチタイミング例

G R Aをインプットキャプチャレジスタに設定し、G R AとB R Aをバッファ動作に設定したときの動作を図10.51に示します。

T C N TがインプットキャプチャBによりカウンタクリアされる場合の例です。T I O C B端子のインプットキャプチャ入力エッジは、立下がりエッジが選択され、また、T I O C A端子のインプットキャプチャ入力エッジは、立上がり／立下りの両エッジが選択されているとします。バッファ動作が設定されているため、インプットキャプチャAによりT C N Tの値がG R Aに格納されると同時に、それまで格納されていたG R Aの値がB R Aに転送されます。

この転送タイミングを図10.52に示します。

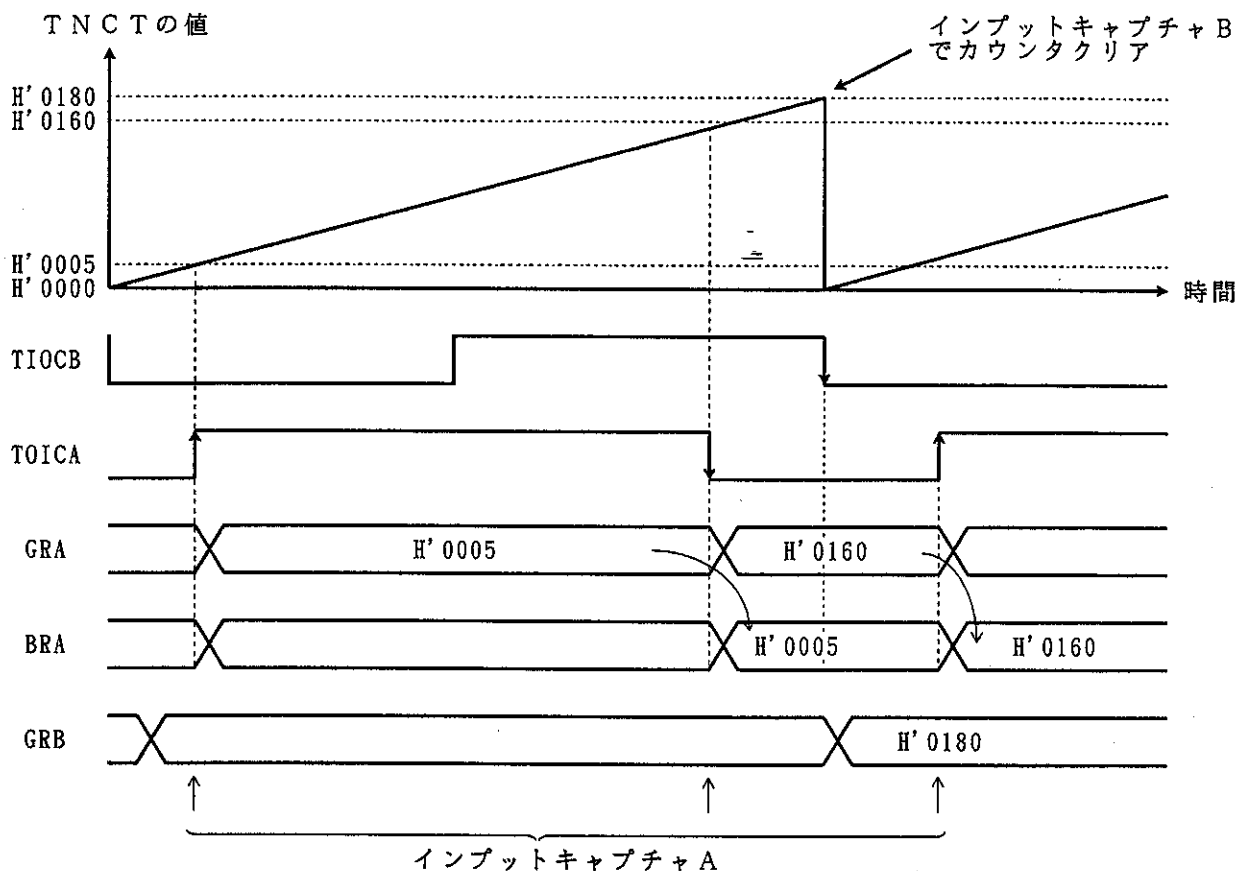


図10.51 バッファ動作例(2) (インプットキャプチャレジスタに対するバッファ動作)

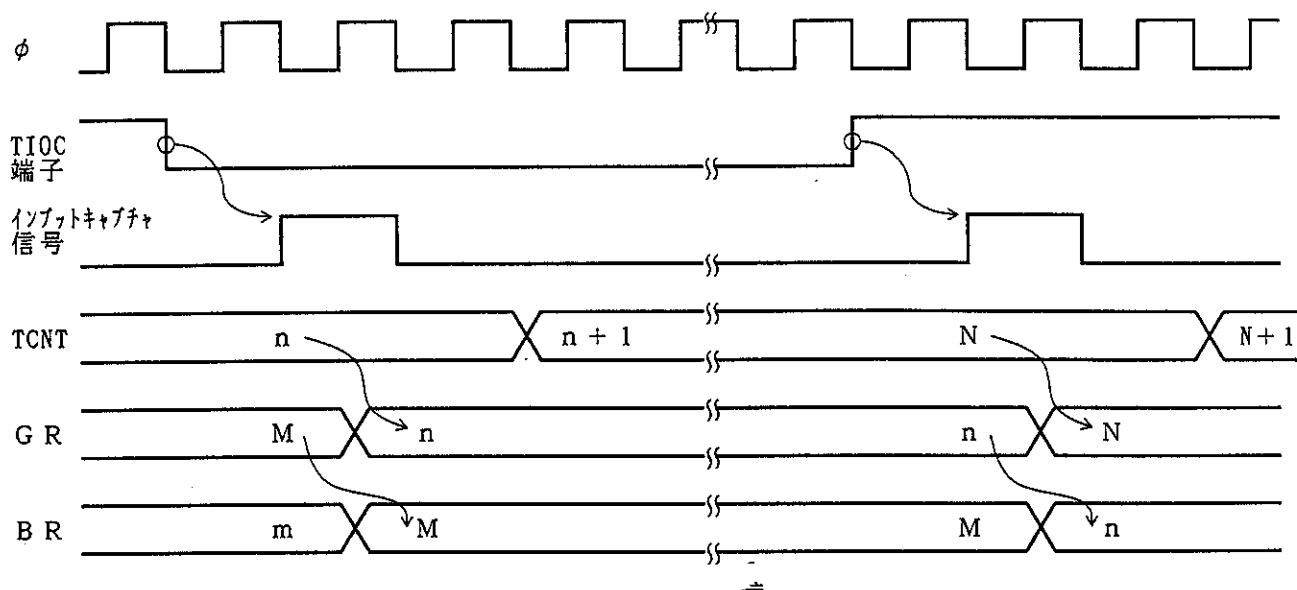


図10.52 バッファ動作時のインプットキャプチャタイミング

相補PWMモード時、GRB3とBRB3をバッファ動作に設定したときの動作例を図10.53に示します。

バッファ動作を使用してGRB3 > GRA3とすることにより、デューティ0%のPWM波形を生成した場合の例です。

BRBからGRBへの転送は、TCNT3とGRA3がコンパマッチしたとき、およびTCNT4がアンダフローしたときに行われます。

TCNT3、TCNT4の値

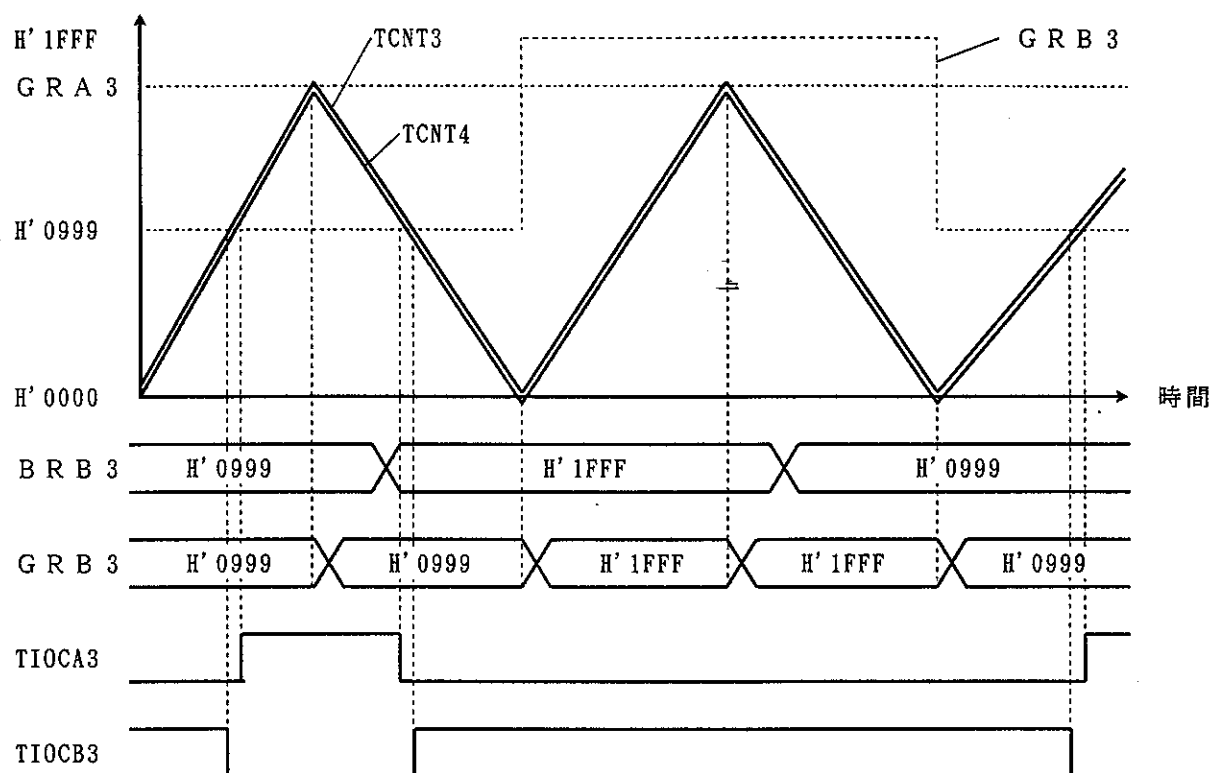


図10.53 バッファ動作例(3) (相補PWMモード時のバッファ動作)

10.4.9 I T U出力タイミング

チャンネル3、4のI T U出力は、T O E R、T O C Rの設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1) T O E RによるI T U出力の許可／禁止タイミング

T O E Rのマスタイネーブルビットを“0”にクリアして、I T U出力を禁止する場合の例です。対応する入出力ポートのD R、D D Rをあらかじめ設定しておくことにより、任意の値を出力することができます。

T O E RによるI T U出力を許可／禁止するタイミングを図10.54に示します。

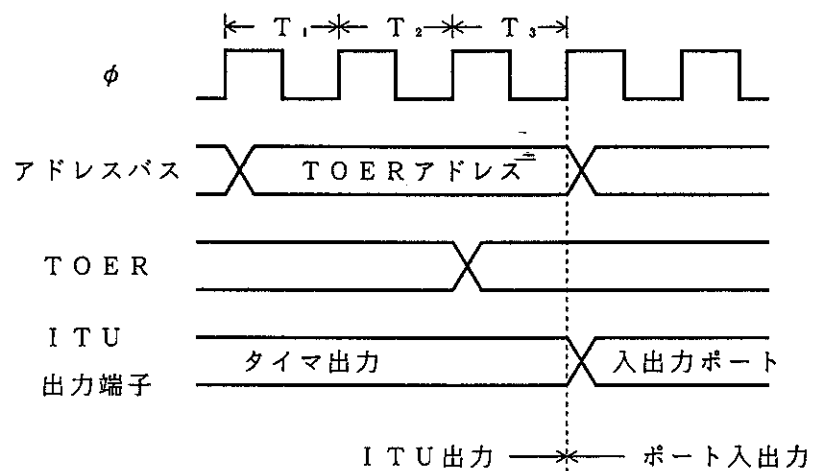


図10.54 T O E RへのライトによるI T U出力禁止タイミングの例

(2) 外部トリガによる I T U 出力禁止タイミング

リセット同期 P W M モードまたは相補 P W M モード時に、T O C R の X T G D ビットが“0”にクリアされている状態でチャンネル 1 のインプットキャプチャ A 信号が発生すると、T O E R のマスクタイネーブルビットが“0”にクリアされ I T U 出力が禁止されます。

このタイミングを図 10.55 に示します。

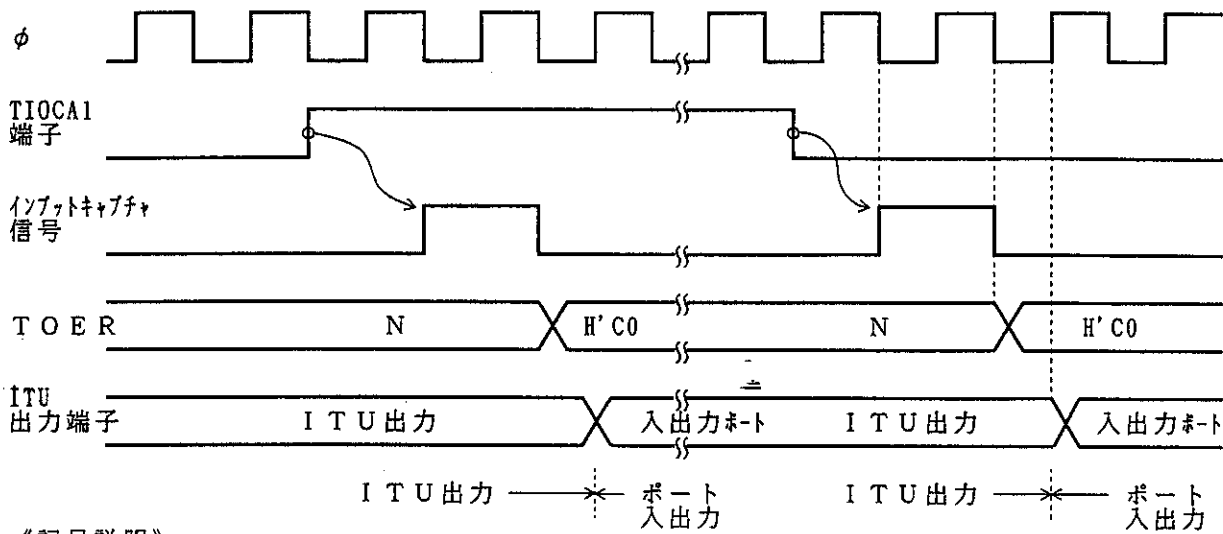


図 10.55 外部トリガによる I T U 出力禁止タイミングの例

(3) TOCRによる出力反転タイミング

リセット同期PWMモードまたは相補PWMモード時に、TOCRのアウトプットレベルセレクト(OLS4、OLS3)ビットを反転することにより、出力レベルを反転することができます。

このタイミングを図10.56に示します。

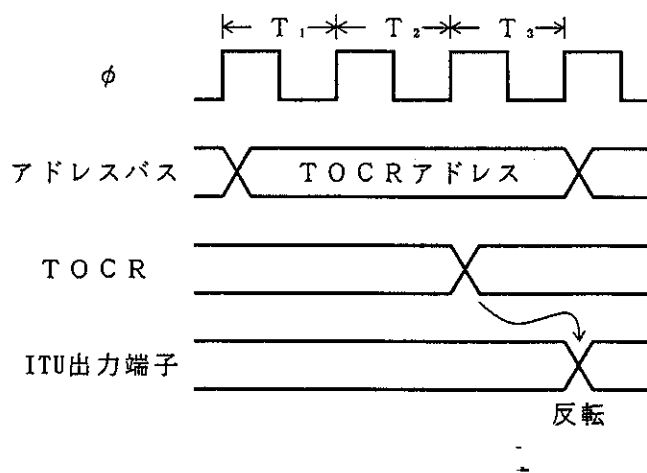


図10.56 TOCRへのライトによるITU出力レベル反転タイミングの例

10.5 割込み

I T Uの割込み要因には、インプットキャプチャ／コンペアマッチ割込み、オーバフロー割込みの2種類があります。

10.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

IMFフラグは、GRとTCNTが一致したときに発生するコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図10.57にIMFフラグのセットタイミングを示します。

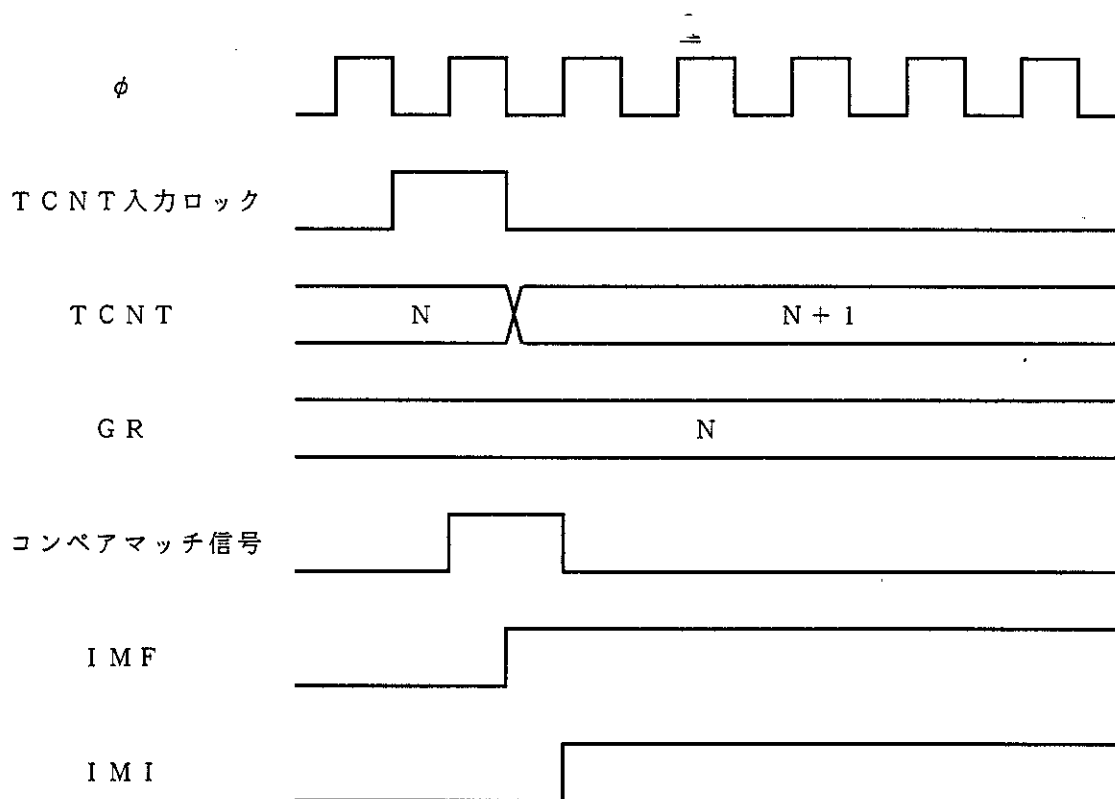


図10.57 コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

(2) インพุットキャプチャ時のIMFA、IMFBフラグのセットタイミング

インพุットキャプチャ信号の発生によりIMFフラグは“1”にセットされ、同時にTCNTの値が対応するGRに転送されます。

このタイミングを図10.58に示します。

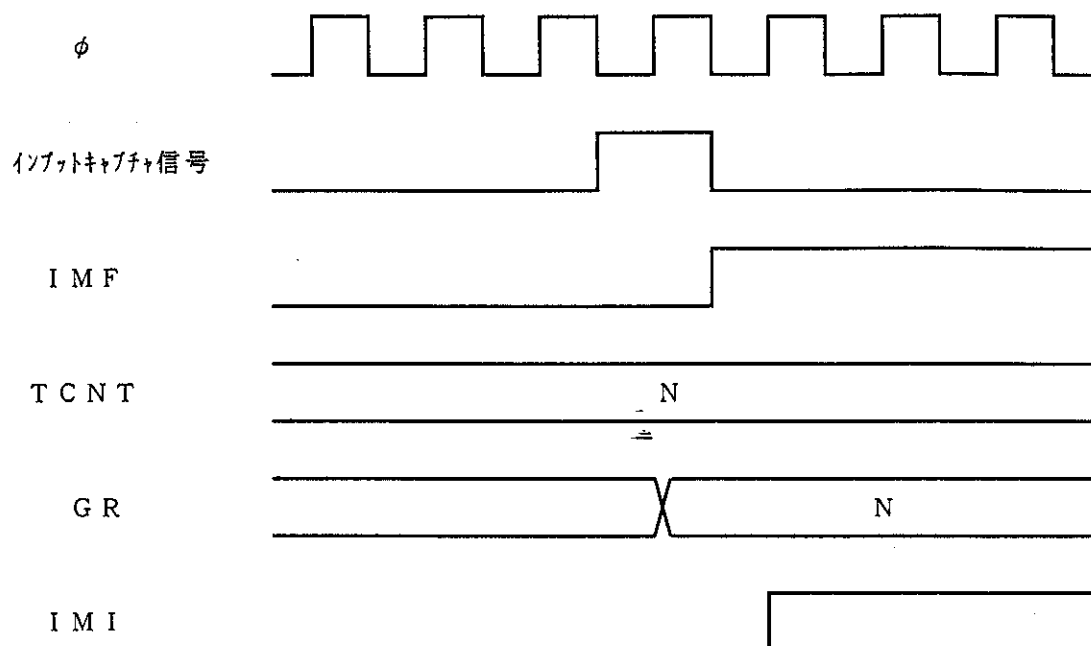


図10.58 インพุットキャプチャ時のIMFA、IMFBフラグのセットタイミング

(3) オーバフローフラグ(OVF)のセットタイミング

OVFフラグは、TCNTがオーバフロー(H'FFFF→H'0000)したとき、またはアンダフロー(H'0000→H'FFFF)したときに“1”にセットされます。

このときのタイミングを図10.59に示します。

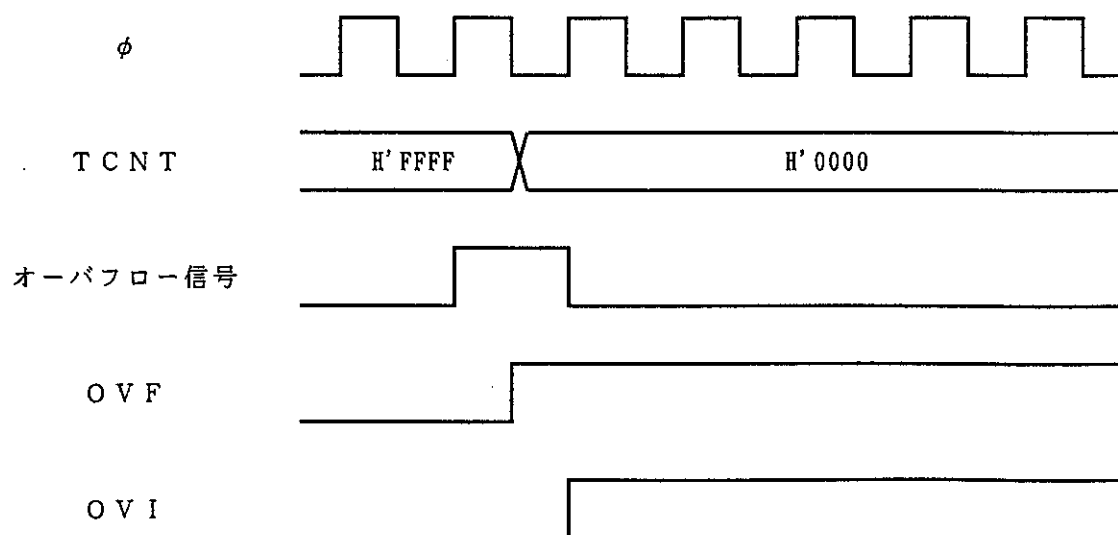


図10.59 OVFフラグのセットタイミング

10.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが“1”の状態をリードした後“0”をライトするとクリアされます。
このタイミングを図10.60に示します。

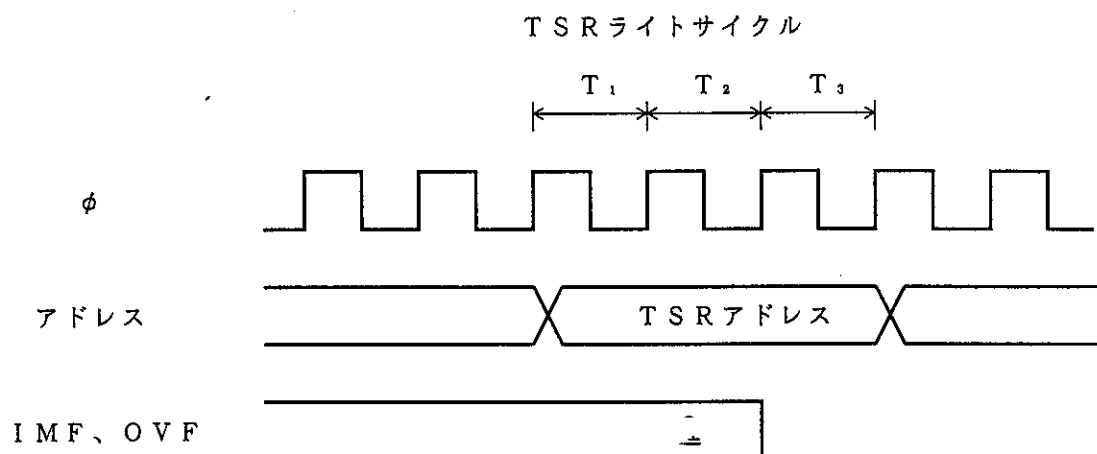


図10.60 ステータスフラグのクリアタイミング

10.5.3 割込み要因とDMAコントローラの起動

I T Uは各チャンネルごとにコンペアマッチ／インプットキャプチャA割込み、コンペアマッチ／インプットキャプチャB割込み、およびオーバーフロー割込みをもっています。これら2種類の割込み計15本の割込みは、それぞれ独立のベクタアドレスが割り付けられています。割込み要求フラグが“1”にセットされ、かつ割込み許可ビットが“1”にセットされているとき、当該割込みが要求されます。

チャンネル間の優先順位は、I P R A、I P R Bにより変更可能です。詳細は「第5章 割込みコントローラ」を参照してください。

チャンネル0～3のコンペアマッチ／インプットキャプチャA割込みはD M A Cの起動要因とすることができます。このときは、C P Uへは当該割込みは要求されません。

I T Uの割込み要因を表10.10に示します。

表10.10 I T U割込み要因

チャンネル	割込み要因	内 容	D M A Cの起動	優先順位*
0	I M I A 0	コンペアマッチ／インプットキャプチャA 0	可	高 ↑ 低
	I M I B 0	コンペアマッチ／インプットキャプチャB 0	不可	
	O V I 0	オーバーフロー 0	不可	
1	I M I A 1	コンペアマッチ／インプットキャプチャA 1	可	
	I M I B 1	コンペアマッチ／インプットキャプチャB 1	不可	
	O V I 1	オーバーフロー 1	不可	
2	I M I A 2	コンペアマッチ／インプットキャプチャA 2	可	
	I M I B 2	コンペアマッチ／インプットキャプチャB 2	不可	
	O V I 2	オーバーフロー 2	不可	
3	I M I A 3	コンペアマッチ／インプットキャプチャA 3	可	
	I M I B 3	コンペアマッチ／インプットキャプチャB 3	不可	
	O V I 3	オーバーフロー 3	不可	
4	I M I A 4	コンペアマッチ／インプットキャプチャA 4	不可	
	I M I B 4	コンペアマッチ／インプットキャプチャB 4	不可	
	O V I 4	オーバーフロー 4	不可	

【注】* リセット直後の初期状態について示しています。チャンネル間の優先順位はI P R A、I P R Bにより変更可能です。

10.6 使用上の注意

I T Uの動作中、次のような競合や動作が起こりますので、注意してください。

(1) T C N Tのライトとクリアの競合

T C N Tのライトサイクル中のT 3ステートで、カウンタクリア信号が発生すると、T C N Tへの書き込みサイクルは行われずT C N Tのクリアが優先されます。

このタイミングを図10.61に示します。

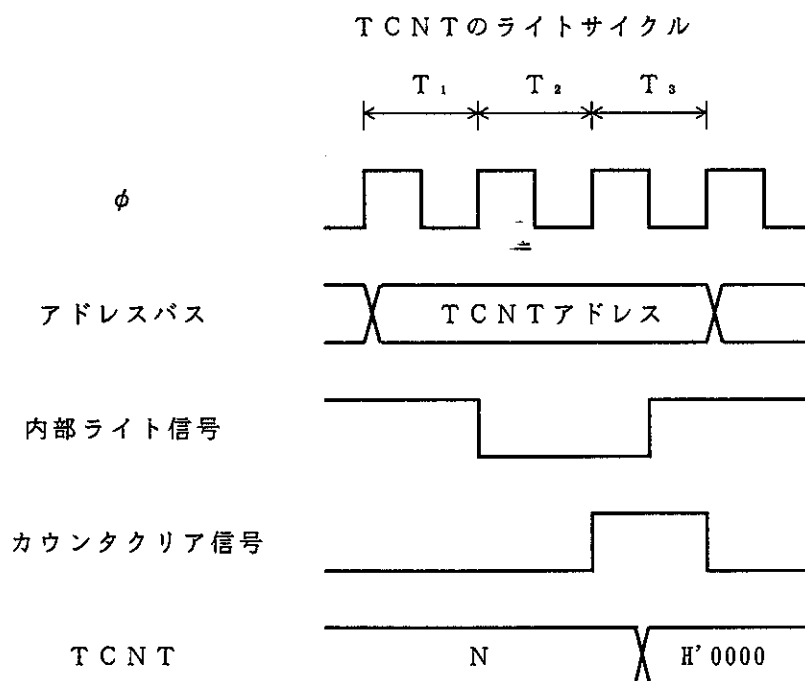


図10.61 T C N Tのライトとクリアの競合

(2) TCNTのワードライトとカウントアップの競合

TCNTのワードライトサイクル中のT3状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図10.62に示します。

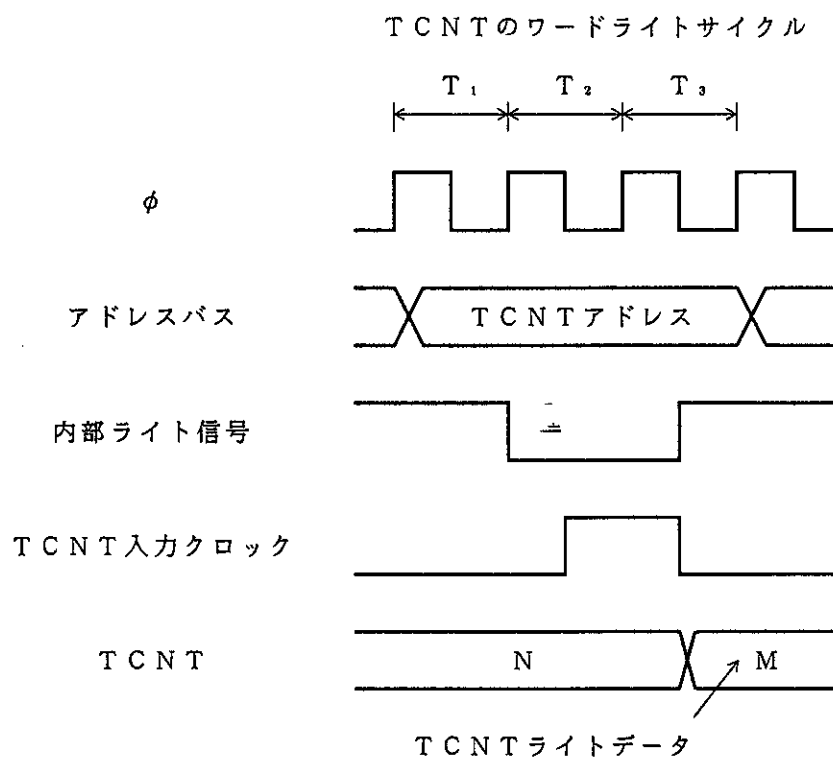


図10.62 TCNTのワードライトとカウントアップの競合

(3) TCNTのバイトライトとカウントアップの競合

TCNTのバイトライトサイクル中のT2ステートまたはT3ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図10.63に示します。

TCNTHのバイトライトサイクル中のT2ステートでカウントアップが発生した場合の例です。

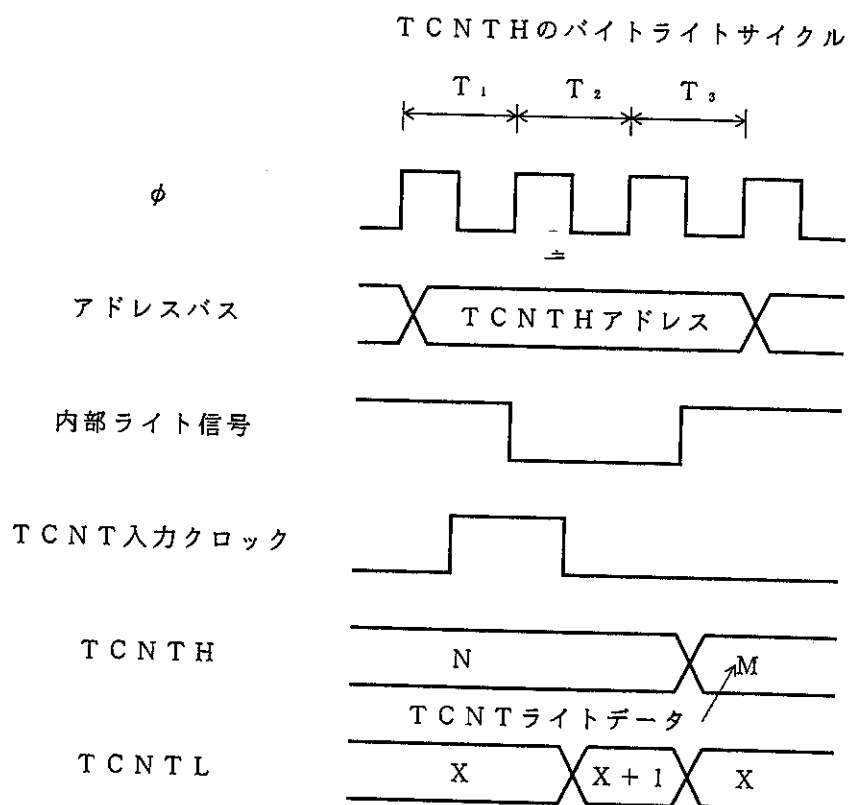


図10.63 TCNTのバイトライトとカウントアップの競合

(4) GRのライトとコンペアマッチの競合

GRのライトサイクル中のT3状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図10.64に示します。

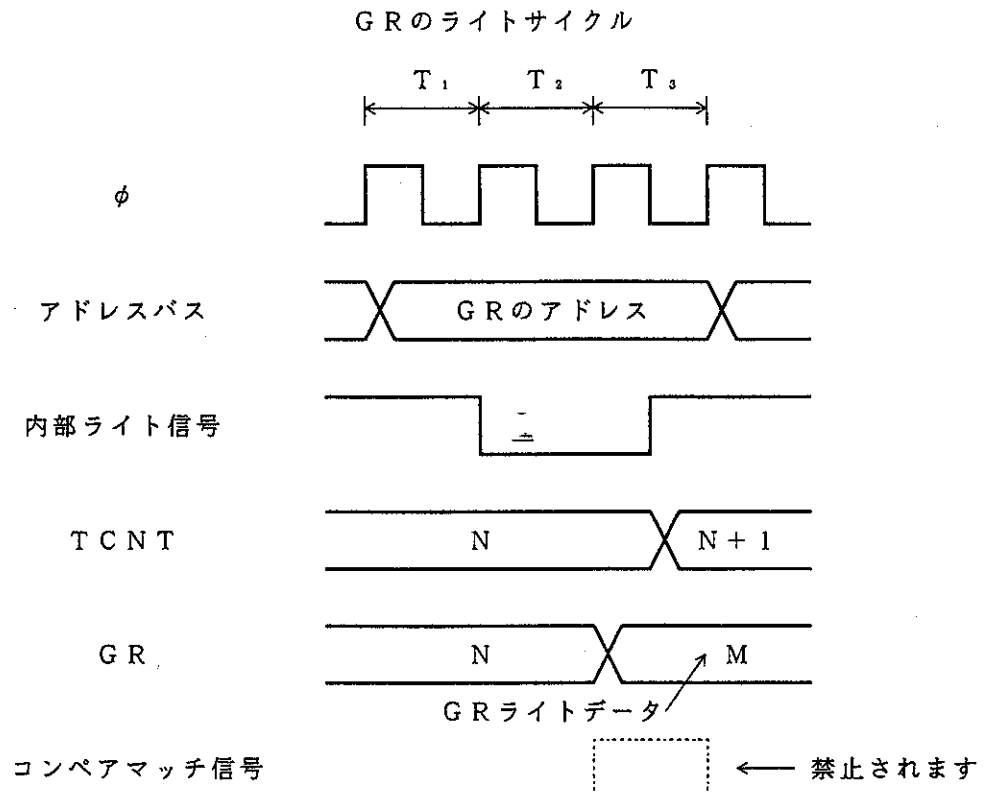


図10.64 GRのライトとコンペアマッチの競合

(5) TCNTのライトとオーバーフロー／アンダフローとの競合

TCNTのライトサイクル中のT3ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このときOVFフラグは“1”にセットされます。アンダフローの場合も同様です。

このタイミングを図10.65に示します。

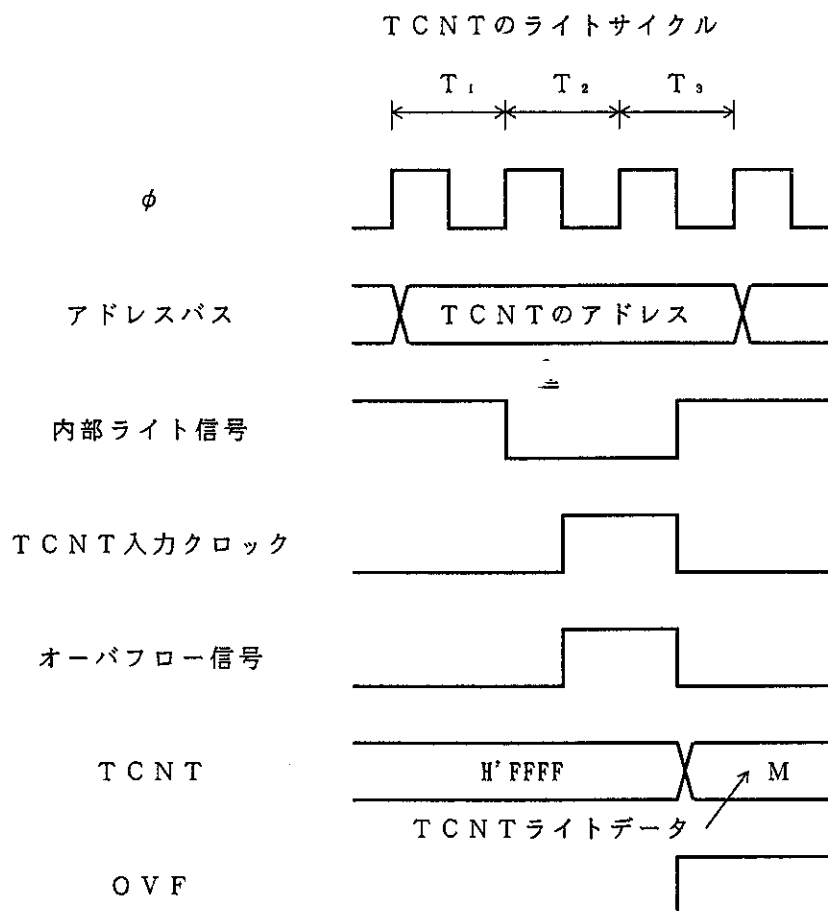


図10.65 TCNTのライトとオーバーフローの競合

(6) GRのリードとインプットキャプチャの競合

GRのリードサイクル中のT3ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図10.66に示します。

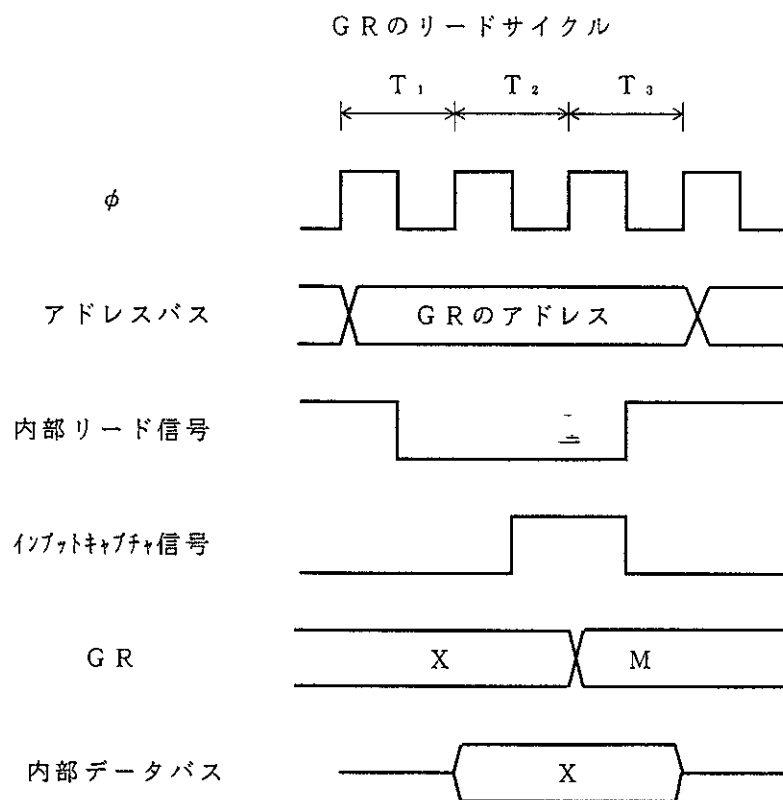


図10.66 GRのリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GRにはカウンタクリア前のTCNTの内容が転送されます。

このタイミングを図10.67に示します。

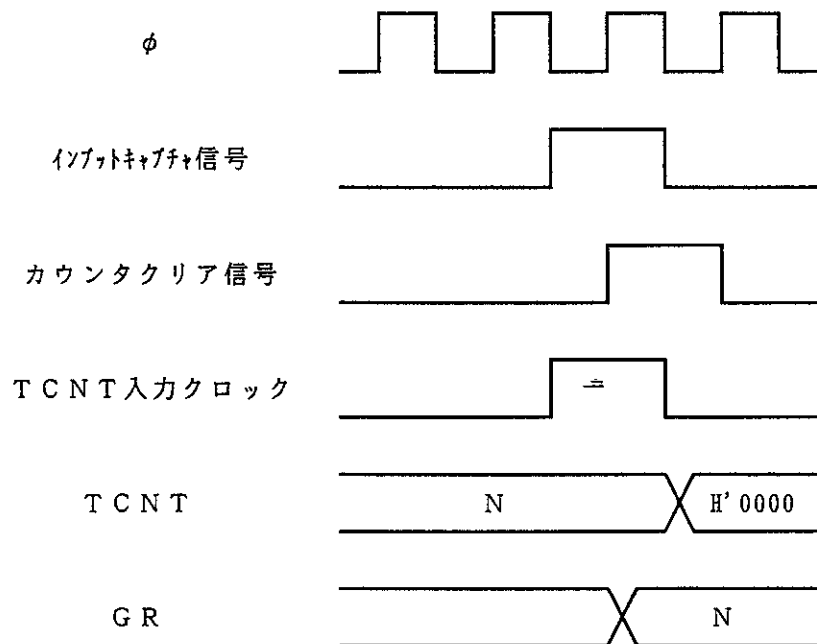


図10.67 インพุットキャプチャによるカウンタクリアとカウントアップの競合

(8) GRのライトとインプットキャプチャの競合

GRのライトサイクル中のT3ステートで、インプットキャプチャ信号が発生すると、GRへの書込みは行われず、インプットキャプチャが優先されます。

このタイミングを図10.68に示します。

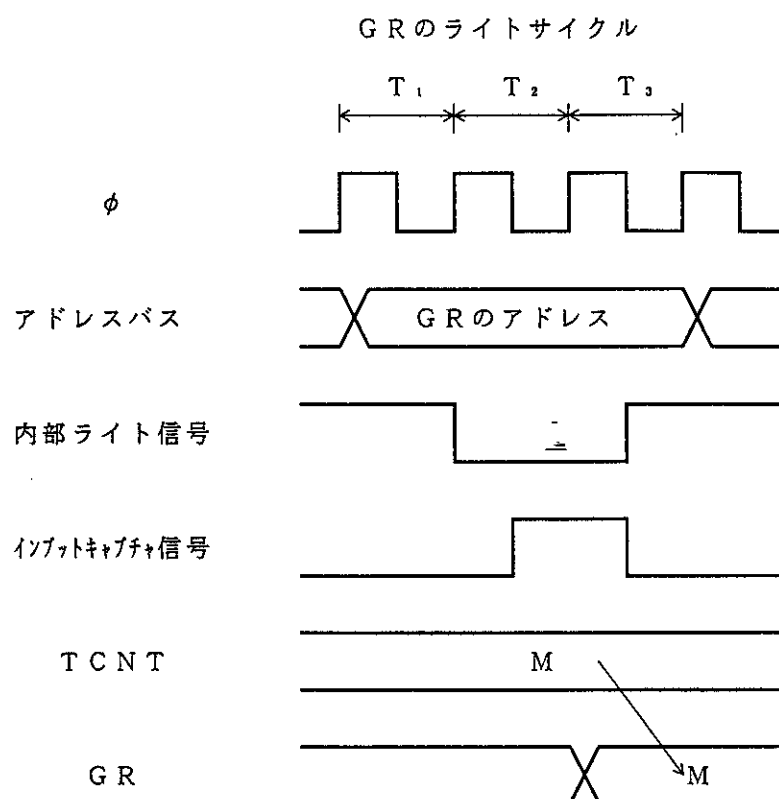


図10.68 GRのライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式のようにになります。

$$f = \frac{\phi}{(N+1)}$$

(f : カウンタ周波数、φ : 動作周波数、N : GRの設定値)

(10) B Rのライトとインプットキャプチャの競合

B Rをインプットキャプチャバッファレジスタとして使用しているとき、ライトサイクル中のT₃ステートでインプットキャプチャ信号が発生すると、B Rへのライトは行われずバッファ動作が優先されます。

このタイミングを図10.69に示します。

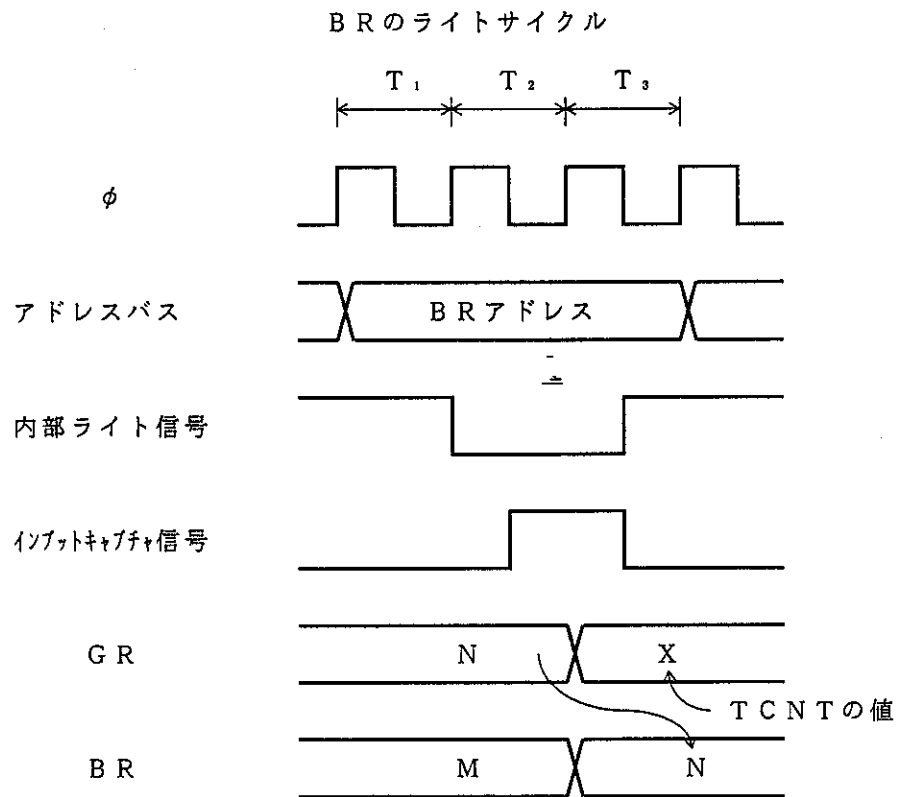


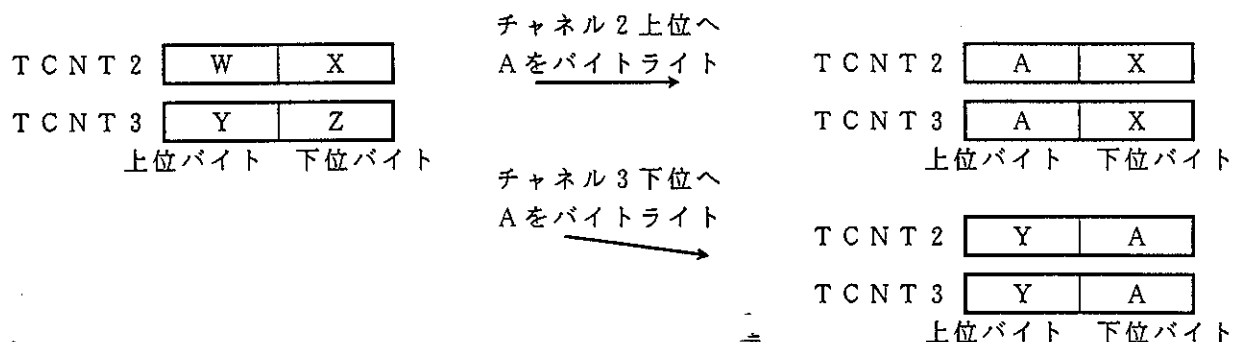
図10.69 B Rのライトとインプットキャプチャの競合

(11) 同期動作時のライト動作に関する注意事項

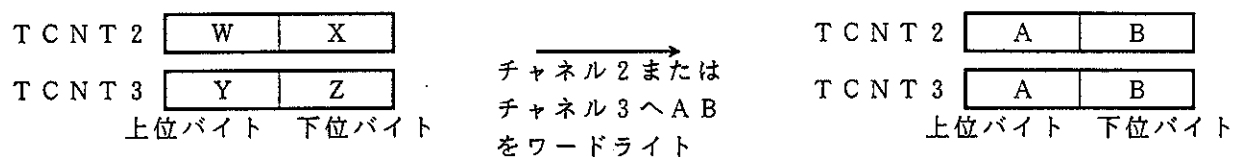
同期動作を設定した状態で、TCNTのバイトライトを行った場合、同期しているすべてカウンタはアドレスで指定したTCNTと、16ビットすべて同じ値となります。

(例) チャンネル2、3を同期モードで指定した場合

・チャンネル2 / チャンネル3 へのバイトライト



・チャンネル2 / チャンネル3 へのワードライト



(12) リセット同期PWMモード / 相補PWMモード設定時の注意事項

TFCRのCMD1、CMD0ビットを設定するときは、次のことに注意してください。

- ① CMD1、CMD0ビットへのライトは、TCNT3、TCNT4が停止中に行ってください。
- ② リセット同期PWMモードと相補PWMモードの相互の設定変更は禁止されています。通常動作 (CMD1ビットを“0”にクリア) に設定した後に、リセット同期PWMモードまたは相補PWMモードに設定してください。

表10.11 (a) I T Uの動作モード (チャネル0)

動作モード	レ ジ ス タ 設 定													
	TSNC 同期動作	TMDR			TFCR			TOCR		TOER マスタ イネーブル	TIOR0		TCR0	
		MDF	FDIR	PWM	相 補 PWM	セット同期 PWM	パツファ 動 作	XTGD出力	IOA		IOB	クリア選択	クロック 選 択	
同期プリセット	SYNC0="1"	—	—	○	—	—	—	—	—	—	○	○	○	○
PWMモ ー ド	○	—	—	PWM0="1"	—	—	—	—	—	—	—	○	○	○
アウトプット コンペアA機能	○	—	—	PWM0="0"	—	—	—	—	—	—	IOA2="0" 他任意	○	○	○
アウトプット コンペアB機能	○	—	—	○	—	—	—	—	—	—	IOB2="0" 他任意	○	○	○
インプット キヤプチャA 機 能	○	—	—	PWM0="0"	—	—	—	—	—	—	IOA2="1" 他任意	○	○	○
インプット キヤプチャB 機 能	○	—	—	PWM0="0"	—	—	—	—	—	—	IOB2="1" 他任意	○	○	○
カ ウ ン タ 機 能	○	—	—	○	—	—	—	—	—	—	○	○	○	○
同期クリ	同期クリ7	—	—	○	—	—	—	—	—	—	○	○	○	○

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】* P W M モードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表10.11 (b) ITUの動作モード (チャネル1)

レ ジ ス タ 設 定														
動作モード	TMDR			TFCR			TOCR		TOER	TIOR1		TCR1		
	TSNC	MDF	FDIR	PWM	相補 PWM	パルス同期 PWM	バック 動作	X TGD		出力 出力外	IOA	IOB	クリア選択	クロック 選択
同期プリセット	同期動作 SYNC1="1"	—	—	○	—	—	—	—	—	○	○	○	○	
PWMモ ー ド	○	—	—	PWM1="1"	—	—	—	—	—	—	○	○	○	
アウトプット コンベアA機能	○	—	—	PWM1="0"	—	—	—	—	—	IOA2="0" 他任意	○	○	○	
アウトプット コンベアB機能	○	—	—	○	—	—	—	—	—	○	IOB2="0" 他任意	○	○	
インプット チャネルA 機能	○	—	—	PWM1="0"	—	—	—	○	—	IOA2="1" 他任意	○	○	○	
インプット チャネルB 機能	○	—	—	PWM1="0"	—	—	—	—	—	○	IOB2="1" 他任意	○	○	
カウンタ機能	○	—	—	○	—	—	—	—	—	○	CCLR1="0" CCLR0="1"	○	○	
同期クリ	同期動作 SYNC1="1"	—	—	○	—	—	—	—	—	○	CCLR1="1" CCLR0="0"	○	○	

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】^{*1} PWMモードでは、インプットキャプチャ機能は使用できません。また、コンベアマッチAとコンベアマッチBが同時に発生した場合、コンベアマッチ信号は禁止されます。

^{*2} チャネル3とチャネル4が相補PWMモードまたはリセット同期PWMモードで動作している時のみ有効となります。

表10.11 (c) I T Uの動作モード (チャンネル2)

レ ジ ス タ 設 定														
動作モード	TSNC	TMDR			TFCR			TOCR		TOER	TIO R2		TCR2	
		MDF	FDIR	PWM	相 補 PWM	リセット同期 PWM	バツファ 動 作	XTGD	出 力 レベル		IOA	IOB	クリア選択	クロック 選 択
同期プリセット	SYNC2="1"	○	—	○	—	—	—	—	—	—	○	○	○	○
PWMモ ー ド	○	○	—	PWM2="1"	—	—	—	—	—	—	—	○	○	○
アウトプット コンペアA機能	○	○	—	PWM2="0"	—	—	—	—	—	—	IOA2="0" 他任意	○	○	○
アウトプット コンペアB機能	○	○	—	○	—	—	—	—	—	—	IOB2="0" 他任意	○	○	○
インプット キヤプチャA 機能	○	○	—	PWM2="0"	—	—	—	—	—	—	IOA2="1" 他任意	○	○	○
インプット キヤプチャB 機能	○	○	—	PWM2="0"	—	—	—	—	—	—	IOB2="1" 他任意	○	○	○
カウンタ リニア 機 能	○	○	—	○	—	—	—	—	—	—	○	○	CCLR1="0" CCLR0="1"	○
	○	○	—	○	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="0"	○
	同期クリア	○	—	○	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="1"	○
	SYNC2="1"	○	—	○	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="1"	○
位相計数モード	○	MDF="1"	○	○	—	—	—	—	—	—	○	○	○	—

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】・ PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表10.11 (d) ITUの動作モード (チャネル3)

レジスタ設定													
動作モード	TSNC	TMDR			TFCR		TOCR		TOER	TIOR3		TCR3	
		MDF	FDIR	PWM	相補PWM	パルス同期PWM	バックアップ動作	XTGD		出力パルス	IOA	IOB	クリア選択
同期リセット	SYNC3="1"	—	—	○	○	○	○	—	○	○	○	○	○
PWMモード	○	—	—	PWM3="1"	CMD1="0"	CMD1="0"	○	—	○	—	○	○	○
アウトプットコンベアA機能	○	—	—	PWM3="0"	CMD1="0"	CMD1="0"	○	—	○	IOA2="0" 他任意	○	○	○
アウトプットコンベアB機能	○	—	—	○	CMD1="0"	CMD1="0"	○	—	○	IOB2="0" 他任意	○	○	○
インプットキャプチャA機能	○	—	—	PWM3="0"	CMD1="0"	CMD1="0"	○	—	E A 3は無効他任意	IOA2="1" 他任意	○	○	○
インプットキャプチャB機能	○	—	—	PWM3="0"	CMD1="0"	CMD1="0"	○	—	E B 3は無効他任意	IOA2="1" 他任意	○	○	○
カウンタ機能	○	—	—	○	CMD1="1" CMD0="0" は禁止	○	○	—	○	○	○	CCLR1="0" CCLR0="1"	○
	○	—	—	○	CMD1="0"	CMD1="0"	○	—	○	○	○	CCLR1="1" CCLR0="0"	○
	SYNC3="1"	—	—	○	CMD1="1" CMD0="0" は禁止	○	○	—	○	○	○	CCLR1="1" CCLR0="1"	○
相補PWMモード	○	—	—	—	CMD1="1" CMD0="0"	CMD1="1" CMD0="0"	○	○	○	—	—	CCLR1="0" CCLR0="0"	○
リセット同期PWMモード	○	—	—	—	CMD1="1" CMD0="1"	CMD1="1" CMD0="1"	○	○	○	—	—	CCLR1="0" CCLR0="1"	○
バッファ動作 (BRA)	○	—	—	○	○	○	○	—	○	○	○	○	○
バッファ動作 (BRB)	○	—	—	○	○	○	○	—	○	○	○	○	○

《記号説明》

○ 設定可能（有効）です。 — 設定は当該動作モードに影響しません。

【注】・ マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。

・ PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

・ 相補PWMモード設定時には、チャンネル3とチャンネル4を同時に同期動作に設定しないで下さい。

・ インプットキャプチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。

・ 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。

・ チャンネル1のインプットキャプチャA機能を使用してください。

表10.11 (e) I T Uの動作モード (チャネル4)

動作モード	レ ジ ス タ 設 定												
	TSNC	TMDR			TFCR		TOCR		TOER	TIOR4		TCR4	
		MDF	FDIR	PWM	相補 PWM	パツファ 同期 PWM	XTGD	出力 ワツタフ		IOA	IOB	クリア選択	クロック 選択
同期プリセット	SYNC4="1"	—	—	○	○ ^{**}	○	—	—	○ ^{*1}	○	○	○	○
PWMモード	○	—	—	PWM4="1"	CMD1="0"	CMD1="0"	—	—	○	—	○ ^{**}	○	○
アウトプット コンベアA機能	○	—	—	PWM4="0"	CMD1="0"	CMD1="0"	—	—	○	IOA2="0" 他任意	○	○	○
アウトプット コンベアB機能	○	—	—	○	CMD1="0"	CMD1="0"	—	—	○	IOA2="0" 他任意	IOB2="0" 他任意	○	○
インプット キャプチャA機能	○	—	—	PWM4="0"	CMD1="0"	CMD1="0"	—	—	E A 4 は無効 他任意	IOA2="1" 他任意	○	○	○
インプット キャプチャB機能	○	—	—	PWM4="0"	CMD1="0"	CMD1="0"	—	—	E B 4 は無効 他任意	○	IOB2="1" 他任意	○	○
カウリン アタ機 能	○	—	—	○	CMD1="1" CMD0="0" は禁止	CMD1="1" CMD0="0" は禁止	—	—	○ ^{*1}	○	○	CCLR1="0" CCLR0="1"	○
	○	—	—	○	CMD1="1" CMD0="0" は禁止	CMD1="1" CMD0="0" は禁止	—	—	○ ^{*1}	○	○	CCLR1="1" CCLR0="0"	○
	○	—	—	○	CMD1="1" CMD0="0" は禁止	CMD1="1" CMD0="0" は禁止	—	—	○ ^{*1}	○	○	CCLR1="1" CCLR0="1"	○
	同期リブ SYNC4="1"	—	—	○	CMD1="1" CMD0="0"	CMD1="1" CMD0="0"	—	—	○ ^{*1}	○	○	CCLR1="1" CCLR0="1"	○
相補PWMモード	○ ^{**}	—	—	—	CMD1="1" CMD0="0"	CMD1="1" CMD0="0"	○	○	○	—	—	CCLR1="0" CCLR0="0"	○ ^{**}
リセット同期 PWMモード	○	—	—	—	CMD1="1" CMD0="1"	CMD1="1" CMD0="1"	○	○	○	—	—	○ ^{**}	○
パツファ動作 (BRA)	○	—	—	○	○	○	—	—	○ ^{*1}	○	○	○	○
パツファ動作 (BRB)	○	—	—	○	○	○	—	—	○ ^{*1}	○	○	○	○

《記号説明》

○ 設定可能（有効）です。 — 設定は当該動作モードに影響しません。

【注】** マスタイネーブレットの設定は、波形出力動作時のみ有効となります。

** PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

** 相補PWMモード設定時には、チャネル3とチャネル4を同時に同期動作設定しないで下さい。

** リセット同期PWMモード設定時は、カウンタクリア機能は有効ですが、TCNT4は独立動作しています。出力波形には影響しません。

** 相補PWMモード設定時のクロック選択は、チャネル3とチャネル4を同一としてください。

** リセット同期PWMモード動作時は、TCR4の設定は有効ですが、TCNT4は独立動作しています。出力波形には影響しません。