

付 錄

付 錄

A. 命 令	767
A. 1 命令一覧	767
A. 2 オペレーションコードマップ	782
A. 3 命令実行ステート数	785
B. 内部 I/O レジスター一覧	795
B. 1 アドレス一覧	795
B. 2 機能一覧	803
C. I/O ポートブロック図	886
C. 1 ポート 1 ブロック図	886
C. 2 ポート 2 ブロック図	887
C. 3 ポート 3 ブロック図	888
C. 4 ポート 4 ブロック図	889
C. 5 ポート 5 ブロック図	890
C. 6 ポート 6 ブロック図	891
C. 7 ポート 7 ブロック図	895
C. 8 ポート 8 ブロック図	896
C. 9 ポート 9 ブロック図	899
C. 10 ポート A ブロック図	903
C. 11 ポート B ブロック図	907
D. 端子状態	911
D. 1 各処理状態におけるポートの状態	911
D. 2 リセット時の端子状態	914
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて	917
F. ROM発注手順	918
F. 1 ROM書き換え品開発の流れ（発注手順）	918
F. 2 ROM発注時の注意事項	919
G. 型名一覧	920
H. 外形寸法図	921

付録

A. 命令

A. 1 命令一覧

《オペレーションの記号》

記号	内容
R d	デスティネーション側の汎用レジスタ
R s	ソース側の汎用レジスタ
R n	汎用レジスタ
E R d	デスティネーション側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
E R s	ソース側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
E R n	汎用レジスタ (32ビットレジスタ)
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
P C	プログラムカウンタ
S P	スタックポインタ
C C R	コンディションコードレジスタ
N	C C R の N (ネガティブ) フラグ
Z	C C R の Z (ゼロ) フラグ
V	C C R の V (オーバフロー) フラグ
C	C C R の C (キャリ) フラグ
d i s p	ディスペリースメント
→	左辺のオペランドから右辺のオペランドへの転送、 または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
^	両辺のオペランドの論理積
∨	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
～	反転論理 (論理的補数)
() < >	オペランドの内容

【注】 汎用レジスタは、8ビット (R 0 H～R 7 H、R 0 L～R 7 L) または16ビット (R 0～R 7、E 0～E 7) です。

《コンディションコードの記号》

記号	内容
↑	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
-	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

表 A. 1 命令セット一覧(1)

(1) データ転送命令

データモード	サイズ	アドレッシングモード/命令長(バイト)				オペレーション				コンディショナルコード				実行バス数			
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-ZW
MOV	B #xx:8, Rd	B	2							#xx:8→Rd8	-	-	↑	↑	0	-	2
	MOV, B Rs, Rd	B	2							Rs8→Rd8	-	-	↑	↑	0	-	2
	MOV, B @ERs, Rd	B	2							@ERs→Rd8	-	-	↑	↑	0	-	4
	MOV, B @(d:16, ERs), Rd	B	4							@(d:16, ERs)→Rd8	-	-	↑	↑	0	-	6
	MOV, B @(d:24, ERs), Rd	B	8							@(d:24, ERs)→Rd8	-	-	↑	↑	0	-	10
	MOV, B @ERs+, Rd	B								@ERs+→Rd8, ERs32+1→ERs32	-	-	↑	↑	0	-	6
	MOV, B @@aa:8, Rd	B								@aa:8→Rd8	-	-	↑	↑	0	-	4
	MOV, B @aa:16, Rd	B								@aa:16→Rd8	-	-	↑	↑	0	-	6
	MOV, B @aa:24, Rd	B								@aa:24→Rd8	-	-	↑	↑	0	-	8
	MOV, B Rs, @ERd	B	2							Rs8→@ERd	-	-	↑	↑	0	-	4
	MOV, B Rs, @(d:16, ERd)	B	4							Rs8→@(d:16, ERd)	-	-	↑	↑	0	-	6
	MOV, B Rs, @(d:24, ERd)	B	8							Rs8→@(d:24, ERd)	-	-	↑	↑	0	-	10
	MOV, B Rs, @(d:32, ERd)	B	2							ERd32-1→ERd32, Rs3→@ERd	-	-	↑	↑	0	-	6
	MOV, B Rs, @aa:8	B								Rs8→@aa:8	-	-	↑	↑	0	-	4
	MOV, B Rs, @aa:16	B								Rs8→@aa:16	-	-	↑	↑	0	-	6
	MOV, B Rs, @aa:24	B								Rs8→@aa:24	-	-	↑	↑	0	-	8
	MOV, W #xx:16, Rd	W	4							#xx:16→Rd16	-	-	↑	↑	0	-	4
	MOV, W Rs, Rd	W	2							Rs16→Rd16	-	-	↑	↑	0	-	2
	MOV, W @ERs, Rd	W	2							@ERs→Rd16	-	-	↑	↑	0	-	4
	MOV, W @(d:16, ERs), Rd	W	4							@(d:16, ERs)→Rd16	-	-	↑	↑	0	-	6
	MOV, W @(d:24, ERs), Rd	W	8							@(d:24, ERs)→Rd16	-	-	↑	↑	0	-	10
	MOV, W @ERs+, Rd	W								@ERs+→Rd16, ERs32+2→@Rd32	-	-	↑	↑	0	-	6
	MOV, W @aa:16, Rd	W								@aa:16→Rd16	-	-	↑	↑	0	-	6
	MOV, W @@aa:24, Rd	W								@aa:24→Rd16	-	-	↑	↑	0	-	8

表 A. 1 命令セット一覧(2)

	ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション				コンディションコード				実行バス数			
			#xx	Rn	@ERn	@(d, ERn)	@ERn/@Rn+1	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-Z#
MOV	MOV. W Rs, @ERd	W		2							Rs16→@ERd	-	-	↑	0	-	-	4
	MOV. W Rs, @(d:16, ERd)	W		4							Rs16→@(d:16, ERd)	-	-	↑	0	-	-	6
	MOV. W Rs, @(d:24, ERd)	W		8							Rs16→@(d:24, ERd)	-	-	↑	0	-	-	10
	MOV. W Rs, @-ERd	W		2							ERd32/2→ERd32, Rs16→@ERd	-	-	↑	0	-	-	6
	MOV. W Rs, @aa:16	W		4							Rs16→@aa:16	-	-	↑	0	-	-	6
	MOV. W Rs, @aa:24	W		6							Rs16→@aa:24	-	-	↑	0	-	-	8
	MOV. L #xx:32, Rd	L	6								#xx:32→Rd32	-	-	↑	0	-	-	6
	MOV. L ERs, ERd	L	2								ERS32→ERd32	-	-	↑	0	-	-	2
	MOV. L @ERs, ERd	L	4								@ERs→ERd32	-	-	↑	0	-	-	8
	MOV. L @(d:16, ERs), ERd	L	6								@(d:16, ERs)→ERd32	-	-	↑	0	-	-	10
	MOV. L @(d:24, ERs), ERd	L	10								@(d:24, ERs)→ERd32	-	-	↑	0	-	-	14
	MOV. L @ERs1, ERd	L	4								@ERs→ERd32, ERS32/4→ERS32	-	-	↑	0	-	-	10
	MOV. L @aa:16, ERd	L	6								@aa:16→ERd32	-	-	↑	0	-	-	10
	MOV. L @aa:24, ERd	L	8								@aa:24→ERd32	-	-	↑	0	-	-	12
	MOV. L ERs, @ERd	L	4								ERs32→@ERd	-	-	↑	0	-	-	8
	MOV. L ERs, @(d:16, ERd)	L	6								ERS32→@(d:16, ERd)	-	-	↑	0	-	-	10
	MOV. L ERs, @(d:24, ERd)	L	10								ERS32→@(d:24, ERd)	-	-	↑	0	-	-	14
	MOV. L ERs, @-ERd	L	4								ERd32/4→ERd32, ERS32→@ERd	-	-	↑	0	-	-	10
	MOV. L ERs, @aa:16	L	6								ERS32→@aa:16	-	-	↑	0	-	-	10
	MOV. L ERs, @aa:24	L	8								ERS32→@aa:24	-	-	↑	0	-	-	12
POP	POP. W Rn	W						6			2 @SP→Rn16, SP+2→SP	-	-	↑	0	-	-	6
	POP. L ERn	L						8			4 @SP→ERn32, SP+4→SP	-	-	↑	0	-	-	10
PUSH	PUSH. W Rn	W									2 SP-2→SP, Rn16→@SP	-	-	↑	0	-	-	6
	PUSH. L ERn	L									4 SP-4→SP, ERn32→@SP	-	-	↑	0	-	-	10
MVPP	MVPP. @aa:16, Rd	B						4			本L.S Iでは使用できません							
MVTP	MVTP. Rs, @aa:16	B						4			本L.S Iでは使用できません							

(2) 算術演算命令

表 A. 1 命令セット一覧(3)

二-モニック サイズ	アドレッシングモード/命令長(バイト)						オペレーション						コンディションコード						実行ガート数			
	#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa	-	Rd8+#xx:8→Rd8	-	H	N	Z	V	C	J-N	DN	J-N			
ADD ADD. B #xx:8, Rd ADD. B Rs, Rd ADD. W #xx:16, Rd ADD. W Rs, Rd ADD. L #xx:32, Erd ADD. L ERs, Erd ADDX ADDX. B #xx:8, Rd ADDX. B Rs, Rd ADDS ADDS. L #1, Erd ADDS. L #2, Erd ADDS. L #4, Erd INC INC. B Rd INC. W #1, Rd INC. W #2, Rd INC. L #1, Erd INC. L #2, Erd DMA SUB SUB. B Rs, Rd SUB. W #xx:16, Rd SUB. W Rs, Rd SUB. L #xx:32, Erd SUB. L ERs, Rd SUBX SUBX. B #xx:8, Rd SUBX. B Rs, Rd	B	2								Rd8+Rs8→Rd8	-	↑	↑	↑	↑	↑	↑	↑	2			
	B	2								Rd16+#xx:16→Rd16	-	①	↑	↑	↑	↑	↑	↑	4			
	W	4								Rd16+Rs16→Rd16	-	①	↑	↑	↑	↑	↑	↑	2			
	W	2								ERd32:#xx:32→ERd32	-	②	↑	↑	↑	↑	↑	↑	6			
	L	6								ERd32:ERs32→ERd32	-	②	↑	↑	↑	↑	↑	↑	2			
	L	2								Rd8+#xx:8+C→Rd8	-	↑	↑	③	↑	↑	↑	↑	2			
	B	2								Rd8+Rs8+C→Rd8	-	↑	↑	③	↑	↑	↑	↑	2			
	B	2								ERd32+1→ERd32	-	-	-	-	-	-	-	-	2			
	L	2								ERd32+2→ERd32	-	-	-	-	-	-	-	-	2			
	L	2								ERd32+4→ERd32	-	-	-	-	-	-	-	-	2			
	B	2								Rd8+1→Rd8	-	-	↑	↑	↑	↑	↑	↑	2			
	W	2								Rd16+1→Rd16	-	-	↑	↑	↑	↑	↑	↑	2			
	W	2								Rd16+2→Rd16	-	-	↑	↑	↑	↑	↑	↑	2			
	L	2								ERd32+1→ERd32	-	-	↑	↑	↑	↑	↑	↑	2			
	W	2								Rd16+1→Rd16	-	-	↑	↑	↑	↑	↑	↑	2			
	W	2								ERd32+2→ERd32	-	*	↑	↑	↑	↑	↑	↑	2			
	B	2								Rd8 10進補正→Rd8	-	①	↑	↑	↑	↑	↑	↑	2			
	B	2								Rd8-Rs8→Rd8	-	↑	↑	↑	↑	↑	↑	↑	2			
	W	4								Rd16+#xx:16→Rd16	-	①	↑	↑	↑	↑	↑	↑	4			
	W	2								Rd16-Rs16→Rd16	-	①	↑	↑	↑	↑	↑	↑	2			
	L	6								ERd32:#xx:32→ERd32	-	②	↑	↑	↑	↑	↑	↑	6			
	L	2								ERd32:ERs32→ERd32	-	②	↑	↑	↑	↑	↑	↑	2			
	B	2								Rd8-#xx:8-C→Rd8	-	↑	↑	③	↑	↑	↑	↑	2			
	B	2								Rd8-Rs8-C→Rd8	-	↑	↑	③	↑	↑	↑	↑	2			

表 A. 1 命令セット一覧(4)

一一モニック		サイズ		アドレスシングモード/命令長(ハイイト)				オペレーション				コンディションコード				実行時間(ナミ)			
SUBS	SUBS.L #1, Erd	#xx	Rn	@ERn	@(d, ERn)	@-ERn/@BRn+	@aa	@(d, PC)	@@aa	-	ERd32-1→ERd32	-	H	N	Z	V	C	/A#	TKV/T
SUBS	SUBS.L #2, Erd	L	2								ERd32-2→ERd32	-	-	-	-	-	-	-	2
SUBS	SUBS.L #3, Erd	L	2								ERd32-4→ERd32	-	-	-	-	-	-	-	2
DEC	DEC.B Rd	B	2								Rd8-1→Rd8	-	-	↑	↑	↑	↑	-	2
DEC	DEC.W #1, Rd	W	2								Rd16-1→Rd16	-	-	↑	↑	↑	↑	-	2
DEC	DEC.W #2, Rd	W	2								Rd16-2→Rd16	-	-	↑	↑	↑	↑	-	2
DEC	DEC.L #1, Erd	L	2								ERd32-1→ERd32	-	-	↑	↑	↑	↑	-	2
DEC	DEC.L #2, Erd	L	2								ERd32-2→ERd32	-	-	↑	↑	↑	↑	-	2
DAS	DAS.Rd	B	2								Rd8 10進補正→Rd8	-	*	↑	↑	↑	*	-	2
MULXU	MULXU.B Rs, Rd	B	2								Rd8×Rs3→Rd16 (符号なし乗算)	-	-	-	-	-	-	-	14
MULXU	MULXU.W Rs, Erd	W	2								Rd16×Rs16→ERd32 (符号なし乗算)	-	-	-	-	-	-	-	22
MULXS	MULXS.B Rs, Rd	B	4								Rd8×Rs8→Rd16 (符号付乗算)	-	-	↑	↑	↑	↑	-	16
MULXS	MULXS.W Rs, Erd	W	4								Rd16×Rs16→ERd32 (符号付乗算)	-	-	↑	↑	↑	↑	-	24
DIVXU	DIVXU.B Rs, Rd	B	2								Rd16÷Rs8→Rd16(RdH:余り, RdL:商) (符号なし除算)	-	-	⑥	⑦	-	-	14	
DIVXU	DIVXU.W Rs, Erd	W	2								ERd32÷Rs16→ERd32(Ed:余り, Rd:商) (符号なし除算)	-	-	⑥	⑦	-	-	22	
DIVXS	DIVXS.B Rs, Rd	B	4								Rd16÷Rs8→Rd16(RdH:余り, RdL:商) (符号付除算)	-	-	⑧	⑨	-	-	16	
DIVXS	DIVXS.W Rs, Erd	W	4								ERd32÷Rs16→ERd32(Ed:余り, Rd:商) (符号付除算)	-	-	⑧	⑨	-	-	24	
CMP	CMP.B #xx:8, Rd	B	2								Rd8 #xx:8	-	↑	↑	↑	↑	↑	-	2
CMP	CMP.B Rs, Rd	B	2								Rd8-Rs8	-	↑	↑	↑	↑	↑	-	2
CMP	CMP.W #xx:16, Rd	W	4								Rd16-#xx:16	-	①	↑	↑	↑	↑	4	
CMP	CMP.W Rs, Rd	W	2								Rd16-Rs16	-	①	↑	↑	↑	↑	2	

表 A. 1 命令セット一覧(5)

二-モニック		アドレッシングモード/命令長(ハイト)						オペレーションコード										
サイズ	#xx	Rn	@ERn	@(d,ERn)	@-Rn/@ERn+	@aa,	@(d,PC)	@@aa	-	コンディションコード	I	H	N	Z	V	C	J-ZW	JNW&Z
CMP	CMP.L #xx:32, ERd	L	6							ERd32:#xx:32	-	②	↑	↑	↑	↑	↑	4
	CMP.L ERs, ERd	L	2							ERd32-ERs32	-	②	↑	↑	↑	↑	↑	2
NEG	NEG.B Rd	B	2							0-Rd8→Rd8	-	↑	↑	↑	↑	↑	↑	2
	NEG.W Rd	W	2							0-Rd16→Rd16	-	↑	↑	↑	↑	↑	↑	2
NEGL	NEGL ERd	L	2							0-ER32→ER32	-	↑	↑	↑	↑	↑	↑	2
	EXTU.W Rd	W	2							0→(<#t15~8>of Rd16)	-	0	↑	0	0	0	-	2
EXTL	EXTL ERd	L	2							0→(<#t131~16>of ER32)	-	0	↑	0	0	0	-	2
	EXTS.W Rd	W	2							(<t17>of Rd16)→(<t15~8>of Rd16)	-	0	↑	0	0	0	-	2
EXTS	EXTS.L Rd	L	2							(<t11>of ER32)→	-	0	↑	0	0	0	-	2
	EXTS.L ERd	W	2							(<t131~16>of ER32)	-	0	↑	0	0	0	-	2

(3) 論理演算命令

二-モニック		アドレッシングモード/命令長(ハイト)						オペレーションコード										
サイズ	#xx	Rn	@ERn	@(d,ERn)	@-Rn/@ERn+	@aa,	@(d,PC)	@@aa	-	コンディションコード	I	H	N	Z	V	C	J-ZW	JNW&Z
AND	AND.B #xx:8, Rd	B	2							Rd8 ∧ #xx: 8 → Rd8	-	↑	0	0	-	-	2	
	AND.B Rs, Rd	B	2							Rd8 ∧ Rs8 → Rd8	-	↑	0	0	-	-	2	
AND.W	AND.W #xx:16, Rd	W	4							Rd16 ∧ #xx: 16 → Rd16	-	↑	0	0	-	-	4	
	AND.W Rs, Rd	W	2							Rd16 ∧ Rs16 → Rd16	-	↑	0	0	-	-	2	
AND.L	AND.L #xx:32, ERd	L	6							ERd32 ∧ #xx: 32 → ERd32	-	↑	0	0	-	-	6	
	AND.L ERs, ERd	L	4							ERd32 ∧ ERs32 → ERd32	-	↑	0	0	-	-	4	
OR	OR.B #xx:8, Rd	B	2							Rd8 ∨ #xx: 8 → Rd8	-	↑	0	0	-	-	2	
	OR.B Rs, Rd	B	2							Rd8 ∨ Rs8 → Rd8	-	↑	0	0	-	-	2	
OR.W	OR.W #xx:16, Rd	W	4							Rd16 ∨ #xx: 16 → Rd16	-	↑	0	0	-	-	4	
	OR.W Rs, Rd	W	2							Rd16 ∨ Rs16 → Rd16	-	↑	0	0	-	-	2	

表 A. 1 命令セット一覧(6)

		アドレッシングモード/命令長(バイト)						オペレーション				コンディションコード				実行bit-数*			
二-モニック		サイズ	#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-ZH	J-NZP
OR	OR.L #xx:32, ERd	L	6									ERd32 ∨ #xx:32 → ERd32	-	-	↑	0	-	6	
	OR.L ERs, ERd	L	4									ERd32 ∨ ERs32 → ERd32	-	-	↑	0	-	4	
XOR	XOR.B #xx:8, Rd	B	2									Rd8⊕#xx:8 → Rd8	-	-	↑	0	-	2	
	XOR.B Rs, Rd	B	2									Rd8⊕Rs8 → Rd8	-	-	↑	0	-	2	
	XOR.W #xx:16, Rd	W	4									Rd16⊕#xx:16 → Rd16	-	-	↑	0	-	4	
	XOR.W Rs, Rd	W	2									Rd16⊕Rs16 → Rd16	-	-	↑	0	-	2	
	XOR.L #xx:32, ERd	L	6									ERd32⊕#xx:32 → ERd32	-	-	↑	0	-	6	
	XOR.L ERs, ERd	L	4									ERd32⊕ERs32 → ERd32	-	-	↑	0	-	4	
NOT	NOT.B Rd	B	2									~Rd8 → Rd8	-	-	↑	0	-	2	
	NOT.W Rd	W	2									~Rd16 → Rd16	-	-	↑	0	-	2	
	NOT.L ERd	L	-	2								~Rd32 → Rd32	-	-	↑	0	-	2	

(4) シフト命令

		アドレッシングモード/命令長(バイト)						オペレーション				コンディションコード				実行bit-数*			
二-モニック		サイズ	#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-ZH	J-NZP
SHAL	SHAL.B Rd	B	2									↑ ← []	-	-	↑	↑	↑	2	
	SHAL.W Rd	W	2									↑ ← []	-	-	↑	↑	↑	2	
	SHAL.L ERd	L	2									↑ ← []	-	-	↑	↑	↑	2	
SHAR	SHAR.B Rd	B	2									[] → []	-	-	↑	0	↑	2	
	SHAR.W Rd	W	2									[] → []	-	-	↑	0	↑	2	
	SHAR.L ERd	L	2									[] → []	-	-	↑	0	↑	2	
SLLL	SLLL.B Rd	B	2									↑ ← []	-	-	↑	0	↑	2	
	SLLL.W Rd	W	2									↑ ← []	-	-	↑	0	↑	2	
	SLLL.L ERd	L	2									↑ ← []	-	-	↑	0	↑	2	

表 A. 1 命令セット一覧(7)

二モニック	サイズ	アドレッシングモード／命令長(バイト)				オペレーション				コンディションコード				実行ガート数 ¹¹			
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa	I	H	N	Z	V _f	C	J-ZW	TFN/AT
SHLR	SHLR.B Rd	B	2							-	-	-	-	-	-	-	2
	SHLR.W Rd	W	2							-	-	-	-	-	-	-	2
	SHLR.L Erd	L	2							-	-	-	-	-	-	-	2
ROTXL	ROTXL.B Rd	B	2							0→	→						
	ROTXL.W Rd	W	2							MSB	→	LSB	C	-	-	-	2
	ROTXL.L Erd	L	2							↓	↓	↓	↓	↓	↓	↓	2
ROTR	ROTR.B Rd	B	2							↓	↓	↓	↓	↓	↓	↓	2
	ROTR.W Rd	W	2							↓	↓	↓	↓	↓	↓	↓	2
	ROTR.L Erd	L	2							C	MSB	←	LSB	-	-	↓	2
ROTL	ROTL.B Rd	B	2							↓	↓	↓	↓	↓	↓	↓	2
	ROTL.W Rd	W	2							↓	↓	↓	↓	↓	↓	↓	2
	ROTL.L Erd	L	2							MSB	→	LSB	C	-	-	↓	2
ROTR	ROTR.B Rd	B	2							↓	↓	↓	↓	↓	↓	↓	2
	ROTR.W Rd	W	2							↓	↓	↓	↓	↓	↓	↓	2
	ROTR.L Erd	L	2							C	MSB	←	LSB	-	-	↓	2

(5) ビット操作命令

二モニック	サイズ	アドレッシングモード／命令長(バイト)				オペレーション				コンディションコード				実行ガート数 ¹¹			
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa	I	H	N	Z	V	C	J-ZW	TFN/AT
BSET	BSET #xx:3, Rd	B	2							(#xx:3 of Rd8)←1	-	-	-	-	-	-	2
	BSET #xx:3, @(ERd)	B		4						(#xx:3 of @ERd)←1	-	-	-	-	-	-	8
	BSET #xx:3, @aa:8	B			4					(#xx:3 of @aa:8)←1	-	-	-	-	-	-	8
	BSET Rn, Rd	B	2							(Rn8 of Rd8)←1	-	-	-	-	-	-	2
	BSET Rn, @(ERd)	B		4						(Rn8 of @ERd)←1	-	-	-	-	-	-	8
	BSET Rn, @aa:8	B			4					(Rn8 of @aa:8)←1	-	-	-	-	-	-	8

表 A. 1 命令セット一覧(8)

二一モニック		アドレッシングモード/命令長(バイト)						オペレーションコード						コンディションコード		実行行数 ^{*1}		
	サイン	#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+t	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-N	TKYJ#
BCLR	BCLR #xx:3, Rd	B	2							(#xx:3 of Rd8)→0	-	-	-	-	-	-	2	
	BCLR #xx:3, @ERd	B	4							(#xx:3 of @ERd)→0	-	-	-	-	-	-	8	
	BCLR #xx:3, @aa:8	B					4			(#xx:3 of @aa:8)→0	-	-	-	-	-	-	8	
	BCLR Rn, Rd	B	2							(Rn8 of Rd8)→0	-	-	-	-	-	-	2	
	BCLR Rn, @ERd	B	4							(Rn8 of @ERd)→0	-	-	-	-	-	-	8	
	BCLR Rn, @aa:8	B					4			(Rn8 of @aa:8)→0	-	-	-	-	-	-	8	
BNOT	BNOT #xx:3, Rd	B	2							(#xx:3 of Rd8)↔~(#xx:3 of Rd8)	-	-	-	-	-	-	2	
	BNOT #xx:3, @ERd	B	4							(#xx:3 of @ERd)↔~(#xx:3 of @ERd)	-	-	-	-	-	-	8	
	BNOT #xx:3, @aa:8	B					4			(#xx:3 of @aa:8)↔~(#xx:3 of @aa:8)	-	-	-	-	-	-	8	
	BNOT Rn, Rd	B	2							(Rn8 of Rd8)↔~(Rn8 of Rd8)	-	-	-	-	-	-	2	
	BNOT Rn, @ERd	B	4							(Rn8 of @ERd)↔~(Rn8 of @ERd)	-	-	-	-	-	-	8	
	BNOT Rn, @aa:8	B					4			(Rn8 of @aa:8)↔~(Rn8 of @aa:8)	-	-	-	-	-	-	8	
BTST	BTST #xx:3, Rd	B	2							~(#xx:3 of Rd8)→Z	-	-	↑	-	-	-	2	
	BTST #xx:3, @ERd	B	4							~(#xx:3 of @ERd)→Z	-	-	↑	-	-	-	6	
	BTST #xx:3, @aa:8	B					4			~(#xx:3 of @aa:8)→Z	-	-	↑	-	-	-	6	
	BTST Rn, Rd	B	2							~(Rn8 of @Rd8)→Z	-	-	↑	-	-	-	2	
	BTST Rn, @ERd	B	4							~(Rn8 of @ERd)→Z	-	-	↑	-	-	-	6	
	BTST Rn, @aa:8	B					4			~(Rn8 of @aa:8)→Z	-	-	↑	-	-	-	6	
BLD	BLD #xx:3, Rd	B	2							(#xx:3 of Rd8)→C	-	-	-	↑	2	2		
	BLD #xx:3, @ERd	B	4							(#xx:3 of @ERd)→C	-	-	-	↑	6	6		
	BLD #xx:3, @aa:8	B					4			(#xx:3 of @aa:8)→C	-	-	-	↑	6	6		
	BLD #xx:3, Rd	B	2							~(#xx:3 of Rd8)→C	-	-	-	↑	2	2		
	BLD #xx:3, @ERd	B	4							~(#xx:3 of @ERd)→C	-	-	-	↑	6	6		
	BLD #xx:3, @aa:8	B					4			~(#xx:3 of @aa:8)→C	-	-	-	↑	6	6		

表A. 1 命令セット一覧(9)

一一モニック		アドレッシングモード/命令長(バイト)						オペレーション						コンディションコード				実行行数
サイズ	#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-N#	JN#J!	
BST	BST #xx:3, Rd	B	2						C->(#xx:3 of Rd8)	-	-	-	-	-	-	-	2	
	BST #xx:3, @ERd	B	4						C->(#xx:3 of @ERd24)	-	-	-	-	-	-	-	8	
BIST	BIST #xx:3, @aa:8	B				4			C->(#xx:3 of @aa:8)	-	-	-	-	-	-	-	8	
	BIST #xx:3, Rd	B	2						~C->(#xx:3 of Rd8)	-	-	-	-	-	-	-	2	
BIST	BIST #xx:3, @ERd	B	4						~C->(#xx:3 of @ERd24)	-	-	-	-	-	-	-	8	
	BIST #xx:3, @aa:8	B				4			~C->(#xx:3 of @aa:8)	-	-	-	-	-	-	-	8	
BAND	BAND #xx:3, Rd	B	2						C\wedge(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	
	BAND #xx:3, @ERd	B	4						C\wedge(#xx:3 of @ERd24)->C	-	-	-	-	-	-	-	6	
BAND	BAND #xx:3, @aa:8	B				4			C\wedge(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
	BAND #xx:3, Rd	B	2						C\wedge~(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	
BIAND	BIAND #xx:3, @ERd	B	4						C\wedge~(#xx:3 of @ERd24)->C	-	-	-	-	-	-	-	6	
	BIAND #xx:3, @aa:8	B				4			C\wedge~(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
BOR	BOR #xx:3, Rd	B	2						C\vee(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	
	BOR #xx:3, @ERd	B	4						C\vee(#xx:3 of @ERd24)->C	-	-	-	-	-	-	-	6	
BOR	BOR #xx:3, @aa:8	B				4			C\vee~(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
	BOR #xx:3, Rd	B	2						C\vee~(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	
BIXOR	BIXOR #xx:3, @aa:8	B				4			C\oplus~(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
	BIXOR #xx:3, Rd	B	2						C\oplus~(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	
BIXOR	BIXOR #xx:3, @ERd	B	4						C\oplus~(#xx:3 of @ERd24)->C	-	-	-	-	-	-	-	6	
	BIXOR #xx:3, @aa:8	B				4			C\oplus~(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
BIXOR	BIXOR #xx:3, Rd	B	2						C\oplus~(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	
	BIXOR #xx:3, @aa:8	B	4						C\oplus~(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
BIXOR	BIXOR #xx:3, @ERd	B	4						C\oplus~(#xx:3 of @ERd24)->C	-	-	-	-	-	-	-	2	
	BIXOR #xx:3, @aa:8	B				4			C\oplus~(#xx:3 of @aa:8)->C	-	-	-	-	-	-	-	6	
BIXOR	BIXOR #xx:3, Rd	B	2						C\oplus~(#xx:3 of Rd8)->C	-	-	-	-	-	-	-	2	

表A. 1 命令セット一覧(II)

(6) 分岐命令

二モニック		アドレスングモード/命令長(バイト)										オペレーション						コンディションコード						実行行数	
	サイズ	#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@ea	-	if condition is true	分岐条件	I	H	N	Z	V	C	J-ZW	TRW#t					
Bcc	BRA d:8(BT d:8)	-					2			-	Always	-	-	-	-	-	-	-	-	4					
	BRA d:16(BT d:16)	-					4			-	then PC->PC+d	-	-	-	-	-	-	-	-	6					
	BRN d:8(BR d:8)	-					2			-	else next;	-	-	-	-	-	-	-	-	4					
	BRN d:16(BR d:16)	-					4			-		-	-	-	-	-	-	-	-	6					
BHI	d:8	-					2			-	CVZ=0	-	-	-	-	-	-	-	-	4					
BHI	d:16	-					4			-	CVZ=1	-	-	-	-	-	-	-	-	6					
BLS	d:8	-					2			-	C=0	-	-	-	-	-	-	-	-	4					
BLS	d:16	-					4			-	C=1	-	-	-	-	-	-	-	-	6					
BCC	d:8(BHS d:8)	-					2			-		-	-	-	-	-	-	-	-	4					
BCC	d:16(BHS d:16)	-					4			-		-	-	-	-	-	-	-	-	6					
BCS	d:8(BLO d:8)	-					2			-		-	-	-	-	-	-	-	-	4					
BCS	d:16(BLO d:16)	-					4			-		-	-	-	-	-	-	-	-	6					
BNE	d:8	-					2			-	Z=0	-	-	-	-	-	-	-	-	4					
BNE	d:16	-					4			-	Z=1	-	-	-	-	-	-	-	-	6					
BBQ	d:8	-					2			-	V=0	-	-	-	-	-	-	-	-	4					
BBQ	d:16	-					4			-	V=1	-	-	-	-	-	-	-	-	6					
BVC	d:8	-					2			-	N=0	-	-	-	-	-	-	-	-	4					
BVC	d:16	-					4			-	N=1	-	-	-	-	-	-	-	-	6					
BVS	d:8	-					2			-		-	-	-	-	-	-	-	-	6					
BVS	d:16	-					4			-		-	-	-	-	-	-	-	-	6					
BPL	d:8	-					2			-		-	-	-	-	-	-	-	-	4					
BPL	d:16	-					4			-		-	-	-	-	-	-	-	-	6					
BMI	d:8	-					2			-		-	-	-	-	-	-	-	-	4					
BMI	d:16	-					4			-		-	-	-	-	-	-	-	-	6					

表 A. 1 命令セット一覧(II)

モード	サイン	アドレッシングモード/命令長(バイト)				オペレーション				コンディションコード				実行時間				
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	J-W	TF/SAT
Bcc	BGE d:8	-						2		if condition is true	N⊕W=0	-	-	-	-	-	-	4
	BGE d:16	-						4		then PC←PCd	-	-	-	-	-	-	-	6
	BLT d:8	-						2		else next;	N⊕W=1	-	-	-	-	-	-	4
	BLT d:16	-						4			-	-	-	-	-	-	-	6
	BGT d:8	-						2			Z∨(N⊕V)=0	-	-	-	-	-	-	4
	BGT d:16	-						4			-	-	-	-	-	-	-	6
	BLE d:8	-						2			Z∨(N⊕V)=1	-	-	-	-	-	-	4
	BLE d:16	-						4			-	-	-	-	-	-	-	6
JMP	JMP @ERn	-								PC←ERn	-	-	-	-	-	-	-	4
	JMP @aa:24	-						4		PC←aa:24	-	-	-	-	-	-	-	6
	JMP @@aa:8	-							2	PC←@aa:8	-	-	-	-	-	-	8	10
BSR	BSR d:8	-							2	PC→@-SP, PC←PCd:8	-	-	-	-	-	-	6	8
	BSR d:16	-							4	PC→@-SP, PC←PCd:16	-	-	-	-	-	-	8	10
JSR	JSR @ERn	-							2	PC→@-SP, PC←@ERn	-	-	-	-	-	-	6	8
	JSR @aa:24	-							4	PC→@-SP, PC←@aa:24	-	-	-	-	-	-	8	10
	JSR @@aa:8	-							2	PC→@-SP, PC←@aa:8	-	-	-	-	-	-	8	12
KTS	KTS	-								2 PC←@SP+	-	-	-	-	-	-	8	10

(7) システム制御命令

表A. 1 命令セット一覧(7)

二モニック	サイズ	アドレッシングモード／命令長(バイト)										オペレーション	コンディションコード	実行手段 ¹⁾
		#xx	Mn	@Etn	@(d, Etn)	@-ERn/@ERnt	@aa	@(d, PC)	@@aa	-	PC->@-SP, CCR->@-SP, <(d)>-PC	I - H N Z V C J-Z# A&B&T		
TRAPA #x:2	-										2	CCR->@SP+, PC->@SP+	1 - H N Z V C J-Z# A&B&T	
KTE	KTE	-										低消費電力状態に遷移	- - -	- - -
SLEEP	SLEEP	-											- - -	- - -
LDC	LDC #xx:8, CCR	B	2								#xx:8->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	2
LDC	RS, CCR	B	2								RS8->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	10
LDC	@ERS, CCR	W	4								@ERS->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	2
LDC	@(d:16, ERS), CCR	W	6								@(d:16, ERS)->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	2
LDC	@(d:24, ERS), CCR	W	10								@(d:24, ERS)->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	12
LDC	@ERS+, CCR	W	4								@ERS->CCR, ERS32+2->ERS32	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	6
LDC	@aa:16, CCR	W	6								@aa:16->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	8
LDC	@aa:24, CCR	W	8								@aa:24->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	10
STC	CCR, Rd	B	2								CCR->Rd8	- - -	- - -	2
STC	CCR, @ERd	W	4								CCR->@ERd	- - -	- - -	6
STC	CCR, @(d:16, ERd)	W	6								CCR->@(d:16, ERd)	- - -	- - -	8
STC	CCR, @(d:24, ERd)	W	10								CCR->@(d:24, ERd)	- - -	- - -	12
STC	CCR, @-Rd	W	4								ERd32-2->ERd32, CCR->@ERd	- - -	- - -	8
STC	CCR, @aa:16	W	6								CCR->@aa:16	- - -	- - -	8
STC	CCR, @aa:24	W	8								CCR->@aa:24	- - -	- - -	10
ANDC	ANDC #xx:8, CCR	B	2								CCR ^ #xx:8->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	2
ORC	ORC #xx:8, CCR	B	2								CCR V #xx:8->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	2
XORC	XORC #xx:8, CCR	B	2								CCR⊕#xx:8->CCR	1 - H N Z V C J-Z# A&B&T	1 - H N Z V C J-Z# A&B&T	2
NOP	NOP	-									2 PC->PC+2	- - -	- - -	2

(8) プロック転送命令

表 A. 1 命令セット一覧(II)

二モニック	サイズ	アドレスシングモード／命令長(バイト)				オペレーション	コンディションコード				実行ステート数*									
		#xx	Rn	@ERn	@(d, ERn)		@ERn/ERn+	@aa	@(d, PC)	@@aa		I	H	N	Z	V	C	J-ZW	TMOVXt	
EMOVY, B	-										4	if R4L ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	-	-	-	-	-	-	-	8+4n*2
EMOVY, W	-										4	if R4 ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	-	-	-	-	-	-	-	8+4n*2

【注】*: 実行ステート数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステート数」を参照してください。

*2 n は R4L または R4 の設定値です。

- ① ビット11から桁上がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ② ビット27から桁上がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ③ 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき“0”にクリアされます。
- ④ 演算結果に桁上がりが発生したとき、“1”にセットされ、それ以外のとき演算前の値を保持します。
- ⑤ エクロック同期転送命令の実行ステート数は一定ではありません。
- ⑥ 商が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ⑦ 商がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ⑧ 商が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。

A. 2 オペレーショントラップ

表A. 2 オペレーショントヨコードマップ(1)

命令コード:		BHの最上位ビットが0の場合は示します。			
		BHの最上位ビットが1の場合は示します。			
第1バイト	第2バイト				
AH	AL	BH	BL		

<u>A L</u>	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A H	N O P 表 A. 2(2)	S T C 表 A. 2(2)	L D C 表 A. 2(2)	O R C 表 A. 2(2)	X O R C 表 A. 2(2)	A N D C 表 A. 2(2)	L D C 表 A. 2(2)	A D D 表 A. 2(2)			表 A. 2(2) MOV			A D D X 表 A. 2(2)		
	表 A. 2(2)	表 A. 2(2)	表 A. 2(2)	表 A. 2(2)	表 A. 2(2)	表 A. 2(2)	表 A. 2(2) S U B	表 A. 2(2)	表 A. 2(2) C M P	表 A. 2(2) C M P	S U B X 表 A. 2(2)					

M. O. V. B.

ADD

APPENDIX

CMP

SUBX

20

AND

M 0

表A. 2 オペレーショントラップ(2)

命令コード:

	第1バイト	第2バイト
AH	AL	BH
BL		

AH AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC		SLEEP									
0A	INC															※A.2(3)
0B	ADD S				INC		INC		ADD S							※A.2(3)
0F	DAA															
																MOV
10	SHLL				SHLL											
11	SHLR				SHLR											
12	ROTXL					ROTXL										
13	ROTXR					ROTXR										
17	NOT				NOT		EXTU		EXTU		NEG		NEG		EXTS	EXTS
1A	DEC															
1B	SUBS					DEC		DEC		SUBS						
1F	DAS															CMP
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表A. 2 オペレーショントマップ(3)

命令コード:

第1バイト	第2バイト	第3バイト	第4バイト
AH	AL	BL	CH
DH	DL		

DHの最上位ビットが0の場合を示します。

A		B		C		D		E		F	
LDC		STC		LDC		STC		LDC		STC	
01A06	MULXS	MULXS									
01C05			DIVXS								
01D05				O R	X O R	A N D					
01F06				BTST							
7Cr06**				BTST	BOR	BYOR	BAND	BLD			
7Cr07**	BSET	BNOT	BCLR		BIOR	BYIOR	BIAND	BLID			
7Dr06**	BSET	BNOT	BCLR				BST				
7Dr07**	BSET	BNOT	BCLR				BIST				
7Ra a6**				BTST							
7Ra a7**	BSET	BNOT	BCLR	BTST	BOR	BYOR	BAND	BLD			
7Ra a8**	BSET	BNOT	BCLR		BIOR	BYIOR	BIAND	BLID			
7Ra a9**	BSET	BNOT	BCLR				BST				
							BIST				

【注】¹⁾ 「日本ノタクニ指定期報

* 2 とは絶対アドレス指定都

A.3 命令実行ステート数

H8/300H CPUの各命令についての実行状態と実行ステート数の計算方法を示します。

表A.4に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.3に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■実行ステート数計算例

(例) アドバンストモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET #0, @FFFFC7:8

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 4, S_L = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表A.4より

$$I = J = K = 2, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表A.3 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺モジュール		外部デバイス			
		8ビット バス	16ビット バス	2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S ₁	2	6	3	4	6+2m	2	3+m
分岐アドレスリード S ₂				2	3+m		
スタック操作 S ₃		3		4	6+2m		
バイトデータアクセス S ₄		6	4	6+2m	3+m	2	1
ワードデータアクセス S ₅				1			
内部動作 S _N							

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態（サイクル数）(1)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					

表 A.4 命令実行状態（サイクル数）(2)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部動作
		フェッチ	レスリード	操作	アクセス	アクセス	
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
	BLE d:16	2					2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

表 A.4 命令実行状態（サイクル数）(3)

命令	ニーモニック	命令	分岐ア フチャ	ス	バイト-タ	ワード-タ	内部
		I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	/マル*	2		1		
		アドバンスト	2	..	2		
	BSR d:16	/マル*	2		1		2
		アドバンスト	2		2		2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

【注】* 本 L S I では使用できません。

表 A.4 命令実行状態（サイクル数）(4)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2				$2n+2^{*2}$	
	EEPMOV.W	2				$2n+2^{*2}$	
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERN	2					
	JMP @aa:24	2					2
	JMP @@aa:8	/マル ^{*1}	2	1			2
		アドバスト	2	2			2
JSR	JSR @ERN	/マル ^{*1}	2		1		
		アドバスト	2		2		
	JSR @aa:24	/マル ^{*1}	2		1		2

【注】^{*1} 本LSIでは使用できません。

^{*2} nはR4L、R4の設定値です。ソース側、ディスティネーション側のアクセスが、それぞれ(n+1)回行われます。

表 A.4 命令実行状態（サイクル数）(5)

命令	ニーモニック	命令	分岐アド	スタック	バイトーカ	ワードデータ	内部動作
		フィッチ	レスリード	操作	アクセス	アクセス	N
JSR	JSR @aa:24	アドバンスト	2		2		2
	JSR @@aa:8	/マル*	2	1	1		
		アドバンスト	2	2	2		
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC @ERs, CCR	2				1	
	LDC @(d:16, ERs), CCR	3				1	
	LDC @(d:24, ERs), CCR	5				1	
	LDC @ERst, CCR	2				1	2
	LDC @aa:16, CCR	3				1	
	LDC @aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERst, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERst, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	

【注】* 本 L S I では使用できません

表 A.4 命令実行状態（サイクル数）(6)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部
		I	J	K	L	M	N
MOV	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @d:16, ERd	2				1	
	MOV.W Rs, @d:24, ERd	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @d:16, ERs), ERd	3				2	
	MOV.L @d:24, ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @d:16, ERd)	3				2	
	MOV.L ERs, @d:24, ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFPE	MOVFPE @aa:16, Rd*	2			1		
MOVTPE	MOVTPE Rs, @aa:16*	2	..		1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

【注】* 本 L S I では使用できません

表 A.4 命令実行状態 (サイクル数) (7)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部動作
		フック	レスリード	操作	アクセス	アクセス	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2			2
RTS	RTS	/マル*	2		1		2
		アドバント	2		2		2
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					

【注】* 本LSIでは使用できません。

表 A.4 命令実行状態（サイクル数）(8)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部動作
		I	J	K	L	M	N
SHLL	SHLL.L ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @d:16, ERd)	3				1	
	STC CCR, @d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	2
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル*	2	1	2		4
		アドバスト	2	2	2		4
XOR	XOR.B #xx:8, Rd	1	--				
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】* 本LSIでは使用できません。

B. 内部I/Oレジスター一覧

B. 1 アドレス一覧

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'1C											
H'1D											
H'1E											
H'1F											
H'20	MAR0AR	8									
H'21	MAR0AE	8									
H'22	MAR0AH	8									
H'23	MAR0AL	8									
H'24	ETCR0AH	8									
H'25	ETCR0AL	8									
H'26	IOAR0A	8									
H'27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H'28	MAR0BR	8									
H'29	MAR0BE	8									
H'2A	MAR0BH	8									
H'2B	MAR0BL	8									
H'2C	ETCR0BH	8									
H'2D	ETCR0BL	8									
H'2E	IOAR0B	8									
H'2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード
H'30	MAR1AR	8									
H'31	MAR1AE	8									
H'32	MAR1AH	8									
H'33	MAR1AL	8									
H'34	ETCR1AH	8									
H'35	ETCR1AL	8									
H'36	IOAR1A	8									
H'37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード

《記号説明》

(次頁に続く)

DMAC : DMAコントローラ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'38	MAR1BR	8									DMA C チャネル1B
H'39	MAR1BE	8									
H'3A	MAR1BH	8									
H'3B	MAR1BL	8									
H'3C	ETCR1BH	8									
H'3D	ETCR1BL	8									
H'3E	IOAR1B	8									
H'3F	DT CR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTSOB	フルアドレスモード
H'40	FLMCR	8	V _{PP}	V _{PP} E	—	—	EV	PV	E	P	フラッシュ メモリ
H'41	—	—	—	—	—	—	—	—	—	—	
H'42	E BR1	8	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	
H'43	E BR2	8	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
H'44	—	—	—	—	—	—	—	—	—	—	
H'45	—	—	—	—	—	—	—	—	—	—	
H'46	—	—	—	—	—	—	—	—	—	—	
H'47	—	—	—	—	—	—	—	—	—	—	
H'48	RAMCR	8	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0	
H'49	—	—	—	—	—	—	—	—	—	—	
H'4A	—	—	—	—	—	—	—	—	—	—	
H'4B	—	—	—	—	—	—	—	—	—	—	
H'4C	—	—	—	—	—	—	—	—	—	—	
H'4D	—	—	—	—	—	—	—	—	—	—	
H'4E	—	—	—	—	—	—	—	—	—	—	
H'4F	—	—	—	—	—	—	—	—	—	—	

(次頁に続く)

《記号説明》

DMAC : DMAコントローラ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'50	_____		—	—	—	—	—	—	—	—	
H'51	_____		—	—	—	—	—	—	—	—	
H'52	_____		—	—	—	—	—	—	—	—	
H'53	_____		—	—	—	—	—	—	—	—	
H'54	_____		—	—	—	—	—	—	—	—	
H'55	_____		—	—	—	—	—	—	—	—	
H'56	_____		—	—	—	—	—	—	—	—	
H'57	_____		—	—	—	—	—	—	—	—	
H'58	_____		—	—	—	—	—	—	—	—	
H'59	_____		—	—	—	—	—	—	—	—	
H'5A	_____		—	—	—	—	—	—	—	—	
H'5B	_____		—	—	—	—	—	—	—	—	
H'5C	DASTCR	8	—	—	—	—	—	—	—	DASTE	D/A変換器
H'5D	DIVCR	8	—	—	—	—	—	—	DIV1	DIV0	システム制御
H'5E	MSTCR	8	PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0	
H'5F	CSCR	8	CS7E	CS6E	CS5E	CS4E	—	—	—	—	バスコントローラ
H'60	TSTR	8	—	—	—	STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'64	TCR0	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'65	TIOR0	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	ITU チャネル0
H'66	TIER0	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'67	TSR0	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'68	TCNT0H	16	—	—	—	—	—	—	—	—	
H'69	TCNT0L		—	—	—	—	—	—	—	—	
H'6A	GRA0H	16	—	—	—	—	—	—	—	—	
H'6B	GRA0L		—	—	—	—	—	—	—	—	
H'6C	GRB0H	16	—	—	—	—	—	—	—	—	
H'6D	GRB0L		—	—	—	—	—	—	—	—	

《記号説明》

(次頁へ続く)

ITU : 16ビットインテグレーテッドタイマユニット

(前頁より続く)

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'6E	TCR1	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル1
H'6F	TIOR1	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'70	TIER1	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'71	TSR1	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'72	TCNT1H	16	—	—	—	—	—	—	—	—	
H'73	TCNT1L		—	—	—	—	—	—	—	—	
H'74	GRA1H	16	—	—	—	—	—	—	—	—	
H'75	GRA1L		—	—	—	—	—	—	—	—	
H'76	GRB1H	16	—	—	—	—	—	—	—	—	
H'77	GRB1L		—	—	—	—	—	—	—	—	
H'78	TCR2	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル2
H'79	TIOR2	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'7A	TIER2	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'7B	TSR2	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'7C	TCNT2H	16	—	—	—	—	—	—	—	—	
H'7D	TCNT2L		—	—	—	—	—	—	—	—	
H'7E	GRA2H	16	—	—	—	—	—	—	—	—	
H'7F	GRA2L		—	—	—	—	—	—	—	—	
H'80	GRB2H	16	—	—	—	—	—	—	—	—	ITU チャネル3
H'81	GRB2L		—	—	—	—	—	—	—	—	
H'82	TCR3	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'83	TIOR3	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'84	TIER3	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'85	TSR3	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'86	TCNT3H	16	—	—	—	—	—	—	—	—	
H'87	TCNT3L		—	—	—	—	—	—	—	—	
H'88	GRA3H	16	—	—	—	—	—	—	—	—	
H'89	GRA3L		—	—	—	—	—	—	—	—	
H'8A	GRB3H	16	—	—	—	—	—	—	—	—	
H'8B	GRB3L		—	—	—	—	—	—	—	—	
H'8C	BRA3H	16	—	—	—	—	—	—	—	—	
H'8D	BRA3L		—	—	—	—	—	—	—	—	
H'8E	BRB3H	16	—	—	—	—	—	—	—	—	
H'8F	BRB3L		—	—	—	—	—	—	—	—	

(次頁へ続く)

《記号説明》

ITU : 16ビットインテグレーテッドタイマユニット

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'90	TOER	8	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3	I T U 共通
H'91	TOCR	8	—	—	—	XTCR	—	—	OLS4	OLS3	
H'92	TCR4	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'93	TIOR4	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'94	TIER4	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'95	TSR4	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'96	TCNT4H	16	—	—	—	—	—	—	—	—	
H'97	TCNT4L		—	—	—	—	—	—	—	—	
H'98	GRA4H	16	—	—	—	—	—	—	—	—	I T U チャネル4
H'99	GRA4L		—	—	—	—	—	—	—	—	
H'9A	GRB4H	16	—	—	—	—	—	—	—	—	
H'9B	GRB4L		—	—	—	—	—	—	—	—	
H'9C	BRA4H	16	—	—	—	—	—	—	—	—	
H'9D	BRA4L		—	—	—	—	—	—	—	—	
H'9E	BRB4H	16	—	—	—	—	—	—	—	—	
H'9F	BRB4L		—	—	—	—	—	—	—	—	
H'A0	TPMR	8	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV	T P C
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'A4	NDRB** ¹	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		8	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
H'A5	NDRA** ¹	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		8	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
H'A6	NDRB** ¹	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
H'A7	NDRA** ¹	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
H'A8	TCSR** ²	8	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	W D T
H'A9	TCNT** ²	8	—	—	—	—	—	—	—	—	

(次頁に続く)

【注】*¹ 出力トリガの設定によりアドレスが変化します。

*² TCSR、TCNTのライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。

《記号説明》

I T U : 16ビットインテグレーテッドタイマユニット

T P C : プログラマブルタイミングパターンコントローラ

W D T : ウォッチドッグタイマ

(前頁より続く)

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' AA	_____	—	—	—	—	—	—	—	—	—	WDT リフレッシュ コントローラ
H' AB	RSTCSR*	8	WRST	RSTOE	—	—	—	—	—	—	
H' AC	RFSHCR	8	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	RFSHE	—	RCYCE	
H' AD	RTMCSR	8	CWF	CWIE	CKS2	CKS1	CKS0	—	—	—	
H' AE	RTCNT	8	—	—	—	—	—	—	—	—	
H' AF	RTCOR	8	—	—	—	—	—	—	—	—	
H' B0	SMR	8	C/A GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャネル0
H' B1	BRR	8	—	—	—	—	—	—	—	—	
H' B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H' B3	TDR	8	—	—	—	—	—	—	—	—	
H' B4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H' B5	RDR	8	—	—	—	—	—	—	—	—	
H' B6	SCMR	8	—	—	—	—	SDIR	SINV	—	SMIF	
H' B7	—	—	—	—	—	—	—	—	—	—	
H' B8	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	
H' B9	BRR	8	—	—	—	—	—	—	—	—	
H' BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI チャネル1
H' BB	TDR	8	—	—	—	—	—	—	—	—	
H' BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H' BD	RDR	8	—	—	—	—	—	—	—	—	
H' BE	—	—	—	—	—	—	—	—	—	—	
H' BF	—	—	—	—	—	—	—	—	—	—	
H' C0	P1DDR	8	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	P1,DDR	ポート1
H' C1	P2DDR	8	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	P2,DDR	ポート2
H' C2	P1DR	8	P1,	P1,	P1,	P1,	P1,	P1,	P1,	P1,	ポート1
H' C3	P2DR	8	P2,	P2,	P2,	P2,	P2,	P2,	P2,	P2,	ポート2
H' C4	P3DDR	8	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	P3,DDR	ポート3
H' C5	P4DDR	8	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	P4,DDR	ポート4
H' C6	P3DR	8	P3,	P3,	P3,	P3,	P3,	P3,	P3,	P3,	ポート3
H' C7	P4DR	8	P4,	P4,	P4,	P4,	P4,	P4,	P4,	P4,	ポート4
H' C8	P5DDR	8	—	—	—	—	P5,DDR	P5,DDR	P5,DDR	P5,DDR	ポート5
H' C9	P6DDR	8	—	P6,DDR	P6,DDR	P6,DDR	P6,DDR	P6,DDR	P6,DDR	P6,DDR	ポート6

(次頁へ続く)

【注】* RSTCSRのライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。

《記号説明》

WDT : ウォッチドッグタイマ

SCI : シリアルコミュニケーションインターフェース

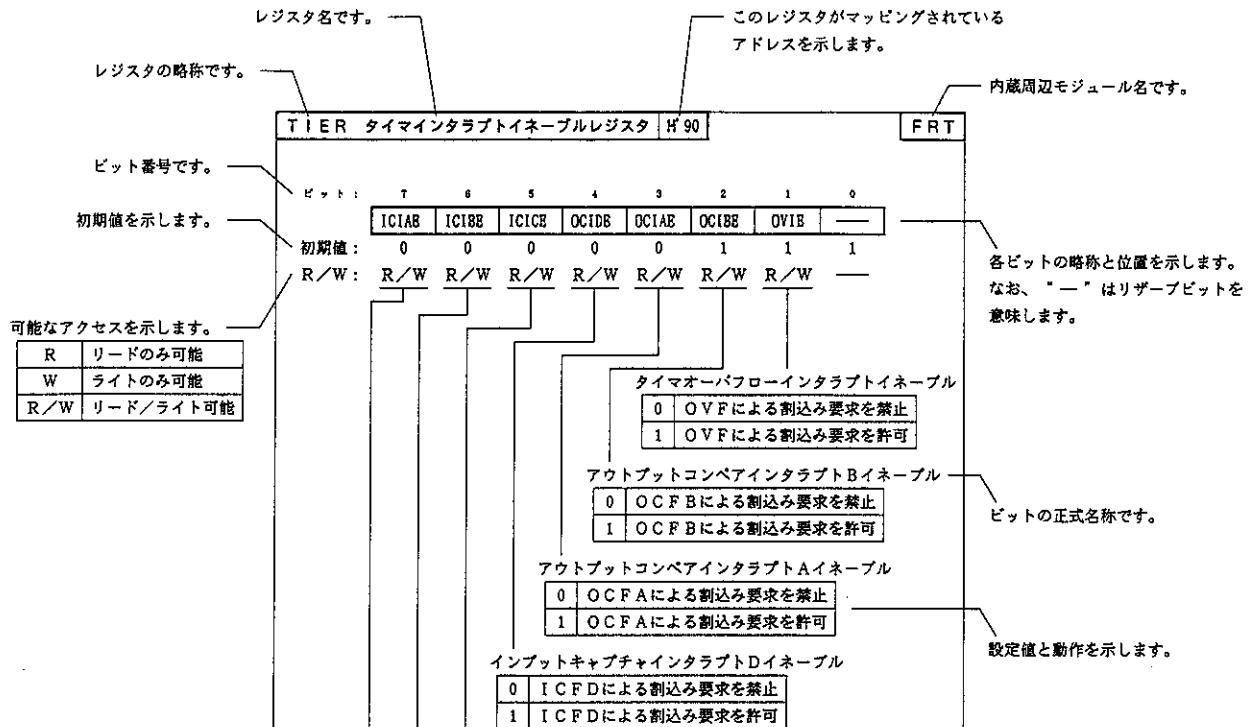
(前頁より続く)

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'CA	P5DR	8	—	—	—	—	P5 ₃	P5 ₂	P5 ₁	P5 ₀	ポート5
H'CB	P6DR	8	—	P6 ₈	P6 ₇	P6 ₆	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
H'CC	—	—	—	—	—	—	—	—	—	—	—
H'CD	P8DDR	8	—	—	—	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR	ポート8
H'CE	P7DR	8	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート7
H'CF	P8DR	8	—	—	—	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート8
H'D0	P9DDR	8	—	—	P9 ₈ DDR	P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	ポート9
H'D1	PADDR	8	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR	ポートA
H'D2	P9DR	8	—	—	P9 ₈	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	ポート9
H'D3	PADR	8	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポートA
H'D4	PBDDR	8	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR	ポートB
H'D5	—	—	—	—	—	—	—	—	—	—	—
H'D6	PBDR	8	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	ポートB
H'D7	—	—	—	—	—	—	—	—	—	—	—
H'D8	P2PCR	—	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート2
H'D9	—	—	—	—	—	—	—	—	—	—	—
H'DA	P4PCR	8	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR	ポート4
H'DB	P5PCR	8	—	—	—	—	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR	ポート5
H'DC	DADRO	8	—	—	—	—	—	—	—	—	D/A変換器
H'DD	DADRI	8	—	—	—	—	—	—	—	—	
H'DE	DACR	8	DAOE1	DAOE0	DAE	—	—	—	—	—	
H'DF	—	—	—	—	—	—	—	—	—	—	
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E1	ADDRAL	8	AD1	AD0	—	—	—	—	—	—	A/D変換器
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0	—	—	—	—	—	—	
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0	—	—	—	—	—	—	
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0	—	—	—	—	—	—	
H'E8	ADCSCR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCRR	8	TRGE	—	—	—	—	—	—	—	
H'EA	—	—	—	—	—	—	—	—	—	—	
H'EB	—	—	—	—	—	—	—	—	—	—	

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' EC	A B W C R	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ	
H' ED	A S T C R	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H' EE	W C R	8	—	—	—	—	WMS1	WMS0	WC1	WC0		
H' EF	W C E R	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0		
H' F0	—	—	—	—	—	—	—	—	—	—		
H' F1	M D C R	8	—	—	—	—	—	—	MDS2	MDS1	MDS0	システム制御
H' F2	S Y S C R	8	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME		
H' F3	B R C R	8	A23E	A22E	A21E	—	—	—	—	BRLE	バスコントローラ	
H' F4	I S C R	8	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	—	
H' F5	I E R	8	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	—	割込み コントローラ
H' F6	I S R	8	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	—	
H' F7	—	—	—	—	—	—	—	—	—	—	—	
H' F8	I P R A	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	—	
H' F9	I P R B	8	IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—	—	
H' FA	—	—	—	—	—	—	—	—	—	—	—	
H' FB	—	—	—	—	—	—	—	—	—	—	—	
H' FC	—	—	—	—	—	—	—	—	—	—	—	
H' FD	—	—	—	—	—	—	—	—	—	—	—	
H' FE	—	—	—	—	—	—	—	—	—	—	—	
H' FF	—	—	—	—	—	—	—	—	—	—	—	

B. 2 機能一覧



(前頁より続く)

■フルアドレスモード

(1) ノーマルモード

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W

転送カウンタ

(2) ブロック転送モード

ビット : 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定 不定

R/W : R/W R/W

ETCR0AH

ETCR0AL

ブロックサイズカウンタ

ブロックサイズ保持

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ショートアドレスモード：ソースアドレスまたはデスティネーション

アドレスを設定

フルアドレスモード : 未使用

■ ショートアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

データトランスマニセレクト

ビット2 ビット1 ビット0			データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコンペアマッチ/インプットキャプチャ割込みで起動
		1	ITUチャネル1のコンペアマッチ/インプットキャプチャ割込みで起動
	1	0	ITUチャネル2のコンペアマッチ/インプットキャプチャ割込みで起動
		1	ITUチャネル3のコンペアマッチ/インプットキャプチャ割込みで起動
1	0	0	SCI0の送信データエンブティ割込みで起動
		1	SCI0の受信データフル割込みで起動
	1	0	フルアドレスモード転送を指定
		1	フルアドレスモード転送を指定

データトランスマニインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスマニインクリメント/デクリメント

0	インクリメント : DTSZ = "0" のとき、転送後 MAR を + 1 DTSZ = "1" のとき、転送後 MAR を + 2
1	デクリメント : DTSZ = "0" のとき、転送後 MAR を - 1 DTSZ = "1" のとき、転送後 MAR を - 2

データトランスマニサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスマニイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

(前頁より続く)

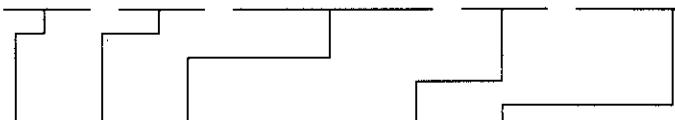
■フルアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
-----	------	------	-------	------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W



データトランスマニコントロール0A

0	ノーマルモードで動作
1	ブロック転送モードで動作

データトランスマニコントロール2A、1A

いずれも“1”にセットしてください

データトランスマニコントロール

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

ソースアドレスインクリメント/デクリメント(ビット5)

ソースアドレスインクリメント/デクリメントイネーブル(ビット4)

ビット5	ビット4	インクリメント/デクリメントイネーブル
SAID	SAIDE	
0	0	MARA固定
	1	インクリメント:DTSZ="0"のとき、転送後MARAを+1 DTSZ="1"のとき、転送後MARAを+2
1	0	MARA固定
	1	デクリメント:DTSZ="0"のとき、転送後MARAを-1 DTSZ="1"のとき、転送後MARAを-2

データトランスマニコントロール

0	バイトサイズ転送
1	ワードサイズ転送

データトランスマニコントロール

0	データ転送を禁止
1	データ転送を許可

MAROB R,E,H,L メモリアドレスレジスタ0B R,E,H,L H'28,H'29,H'2A,H'2B DMAC0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 不定

R/W : — — — — — — R/W
 MAR0BR MAR0BE

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定 不定

R/W : R/W
 MAR0BH MAR0BL

ソースアドレスまたはデスティネーションアドレスを設定

ETCR0B H,L 転送カウントレジスタ0B H,L H'2C, H'2D DMAC0

■ショートアドレスモード

(1) I/Oモードまたはアイドルモード

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W
 転送カウンタ

(2) リピートモード

ビット : 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定 不定

R/W : R/W
 ETCR0BH ETCR0BL

転送カウンタ

転送回数保持

(次頁に続く)

(前頁より続く)

■フルアドレスモード

(1) ノーマルモード

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W

未使用

(2) ブロック転送モード

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W

ブロック転送カウンタ

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ショートアドレスモード : ソースアドレスまたはデスティネーション
アドレスを設定

フルアドレスモード : 未使用

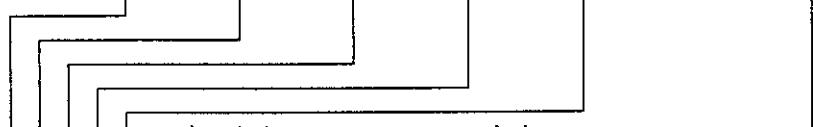
■ショートアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W



データトランスマルチコントロールレジスタ

ビット2 DTS2	ビット1 DTS1	ビット0 DTS0	データ転送の起動要因	
			0	1
0	0	0	ITUチャネル0のコンペアマッチ/インプットキャプチャ割込みで起動	
		1	ITUチャネル1のコンペアマッチ/インプットキャプチャ割込みで起動	
	1	0	ITUチャネル2のコンペアマッチ/インプットキャプチャ割込みで起動	
		1	ITUチャネル3のコンペアマッチ/インプットキャプチャ割込みで起動	
1	0	0	SCI0の送信データエンブティ割込みで起動	
		1	SCI0の受信データフル割込みで起動	
	1	0	DREQ端子の立下がりエッジ入力で起動	
		1	DREQ端子の“Low”レベル入力で起動	

データトランスマルチコントロールレジスタ

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可 DTEビット = “0”的とき、CPUに割込みを要求

リピートオーバーヘッド

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスマルチコントロールレジスタ

0	インクリメント : DTSZ = “0”的とき、転送後MARを + 1 DTSZ = “1”的とき、転送後MARを + 2
1	デクリメント : DTSZ = “0”的とき、転送後MARを - 1 DTSZ = “1”的とき、転送後MARを - 2

データトランスマルチコントロールレジスタ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスマルチコントロールレジスタ

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

(前頁より続く)

■ フルアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
------	---	------	-------	-----	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

データトランスマスクセレクト2B～0B

ビット2	ビット1	ビット0	データ転送の起動要因	
DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード
0	0	0	オートリクエスト (バーストモード)	ITUチャネル0のコンペアマッチ/ インプットキャプチャA割込みで起動
		1	使用できません	ITUチャネル1のコンペアマッチ/ インプットキャプチャA割込みで起動
0	1	0	オートリクエスト (サイクルスチールモード)	ITUチャネル2のコンペアマッチ/ インプットキャプチャA割込みで起動
		1	使用できません	ITUチャネル3のコンペアマッチ/ インプットキャプチャA割込みで起動
1	0	0	使用できません	使用できません
		1	使用できません	使用できません
	1	0	DREQ端子の立下がりで起動	DREQ端子の立下がりで起動
		1	DREQ端子の“Low”レベルで起動	使用できません

トランスマスクセレクト

0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送
1	ブロック転送モード時、ソース側をブロックエリアとして転送

デスティネーションアドレスインクリメント/デクリメント(ビット5)

デスティネーションアドレスインクリメント/デクリメントイネーブル(ビット4)

ビット5	ビット4	インクリメント/デクリメントイネーブル
DAID	DAIDE	
0	0	MARB固定
	1	インクリメント : DTSZ = “0”的とき、転送後MARBを + 1 DTSZ = “1”的とき、転送後MARBを + 2
1	0	MARB固定
	1	デクリメント : DTSZ = “0”的とき、転送後MARBを - 1 DTSZ = “1”的とき、転送後MARBを - 2

データトランスマスクイネーブル

0	データ転送を禁止
1	データ転送を許可

MAR1A R,E,H,L メモリアドレスレジスタ1A R,E,H,L	H'30,H'31,H'32,H'33	DMAC1
-------------------------------------	---------------------	-------

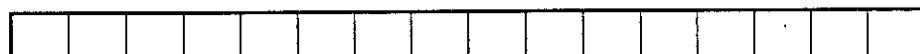
ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



初期値 : 1 1 1 1 1 1 1 不定

R/W : — — — — — — R/W
 MAR1AR MAR1AE

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



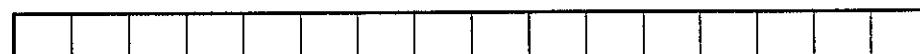
初期値 : 不定 不定

R/W : R/W
 MAR1AH MAR1AL

※機能はDMAC0と同じです。

ETCR1A H,L 転送カウントレジスタ1A H,L	H'34, H'35	DMAC1
-----------------------------	------------	-------

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 不定

R/W : R/W R/W

ビット : 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0



初期値 : 不定 不定

R/W : R/W
 ETCR1AH ETCR1AL

※機能はDMAC0と同じです。

IOAR1A I/O アドレスレジスタ1A H'36

DMAC1

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※機能は DMAC0 と同じです。

DTCR1A データトランスマスクонтロールレジスタ1A H'37

DMAC1

■ ショートアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

■ フルアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
-----	------	------	-------	------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※機能は DMAC0 と同じです。

MAR1B R-E-H-L メモリアドレスレジスタ1B R-E-H-L H' 38, H' 39, H' 3A, H' 3B DMAC1

16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31

初期値 : 1 1 1 1 1 1 1 1 不定

R / W : — — — — — — — — R/W
M A R 1 B R M A R 1 B E

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値： 不定 不定

※機能はD M A C 0と同じです。

ETCR1B H-L 転送カウントレジスタ1B H-L H' 3C、H' 3D DMAC1

ビットト：
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値： 不定

15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 50 51 52 53 54 55 56 57 58 59

初期値： 不定 不定

※機能はD.M.A.C.9と同じです。

I0AR1B I/O アドレスレジスタ1B H'3E

DMAC1

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 不定

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※機能は DMAC0 と同じです。

DTCR1B データトランスマニコントロールレジスタ1B H'3F

DMAC1

■ショートアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

■フルアドレスモード

ビット : 7 6 5 4 3 2 1 0

DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
------	---	------	-------	-----	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※機能は DMAC0 と同じです。

ビット : 7 6 5 4 3 2 1 0

V _{PP}	V _{PP} E	—	—	EV	PV	E	P
-----------------	-------------------	---	---	----	----	---	---

初期値* : 0 0 0 0 0 0 0 0

R/W : R R/W — — R/W* R/W* R/W* R/W*

プログラムモード

0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移

イレースモード

0	イレースモードを解除 (初期値)
1	イレースモードに遷移

プログラムベリファイモード

0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

イレースベリファイモード

0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移

V_{PP}イネーブル

0	V _{PP} 端子の12V 電源無効 (初期値)
1	V _{PP} 端子の12V 電源有効

プログラム電源

0	〔クリア条件〕 (初期値) V _{PP} に12Vが印加されていないとき
1	〔セット条件〕 V _{PP} に12Vが印加されているとき

* モード5、6、7（内蔵フラッシュメモリが有効）のとき初期値はH'00となります。

モード1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

EBR1 消去ブロック指定レジスタ 1 H'42

フラッシュメモリ

ビット : 7 6 5 4 3 2 1 0

LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
-----	-----	-----	-----	-----	-----	-----	-----

初期値* : 0 0 0 0 0 0 0 0

R/W : R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

ラージブロック 7 ~ 0

0	L B 7 ~ L B 0 ブロックをそれぞれ選択していない（初期値）
1	L B 7 ~ L B 0 ブロックをそれぞれ選択している

* モード 5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。

モード 1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

EBR2 消去ブロック指定レジスタ 2 H'43

フラッシュメモリ

ビット : 7 6 5 4 3 2 1 0

SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
-----	-----	-----	-----	-----	-----	-----	-----

初期値* : 0 0 0 0 0 0 0 0

R/W : R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

スマールブロック 7 ~ 0

0	S B 7 ~ S B 0 ブロックをそれぞれ選択していない（初期値）
1	S B 7 ~ S B 0 ブロックをそれぞれ選択している

* モード 5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。

モード 1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

ビット : 7 6 5 4 3 2 1 0

FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
------	---	---	---	------	------	------	------

初期値 : 0 1 1 1 0 0 0 0

R/W : R — — R/W R/W R/W R/W

RAMセレクト、RAM2～0

ビット3 RAMS	ビット2 RAM2	ビット1 RAM1	ビット0 RAM0	RAMエリア
0	1/0	1/0	1/0	H'FFF000～H'FFF1FF
1	0	0	0	H'01F000～H'01F1FF
			1	H'01F200～H'01F3FF
	1	1	0	H'01F400～H'01F5FF
			1	H'01F600～H'01F7FF
	0	0	0	H'01F800～H'01F9FF
			1	H'01FA00～H'01FBFF
	1	1	0	H'01FC00～H'01FDFF
			1	H'01FE00～H'01FFFF

フラッシュメモリエラー

0	フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が無効（初期値）
1	フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	DASTE
---	---	---	---	---	---	---	-------

初期値 : 1 1 1 1 1 1 1 0

R/W : — — — — — — — R/W

D/Aスタンバイイネーブル

0	ソフトウェアスタンバイモードでのD/A出力を禁止 (初期値)
1	ソフトウェアスタンバイモードでのD/A出力を許可

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	—	DIV1	DIV0
---	---	---	---	---	---	------	------

初期値 : 1 1 1 1 1 1 0 0

R/W : — — — — — — R/W R/W

分周比 1、0

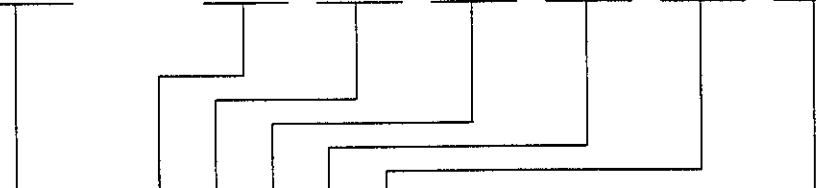
		分周比	
ビット1	ビット0	DIV1	DIV0
0	0	0	1/1 (初期値)
	1	1	1/2
1	0	0	1/4
	1	1	1/8

ビット : 7 6 5 4 3 2 1 0

PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0
-------	---	--------	--------	--------	--------	--------	--------

初期値 : 0 1 0 0 0 0 0 0

R/W : R/W — R/W R/W R/W R/W R/W R/W



モジュールスタンバイ 0

0	A/D変換器は通常動作 (初期値)
1	A/D変換器はスタンバイ状態

モジュールスタンバイ 1

0	リフレッシュコントローラは通常動作 (初期値)
1	リフレッシュコントローラはスタンバイ状態

モジュールスタンバイ 2

0	D MACは通常動作 (初期値)
1	D MACはスタンバイ状態

モジュールスタンバイ 3

0	S C I 1は通常動作 (初期値)
1	S C I 1はスタンバイ状態

モジュールスタンバイ 4

0	S C I 0は通常動作 (初期値)
1	S C I 0はスタンバイ状態

モジュールスタンバイ 5

0	I T Uは通常動作 (初期値)
1	I T Uはスタンバイ状態

φクロックストップ

0	φクロック出力を許可 (初期値)
1	φクロック出力を禁止

ビット : 7 6 5 4 3 2 1 0

CS7E	CS6E	CS5E	CS4E	—	—	—	—
------	------	------	------	---	---	---	---

初期値 : 0 0 0 0 1 1 1 1

R/W : R/W R/W R/W R/W — — — —

チップセレクト 7 ~ 4 イネーブル

ビット n	説	明
C S n E		
0	チップセレクト信号 (C S n) の出力を禁止 (初期値)	
1	チップセレクト信号 (C S n) の出力を許可	

n = 7 ~ 4

ビット : 7 6 5 4 3 2 1 0

—	—	—	STR4	STR3	STR2	STR1	STR0
---	---	---	------	------	------	------	------

初期値 : 1 1 1 0 0 0 0 0

R/W : — — — R/W R/W R/W R/W R/W



カウンタスタート 0

0	TCNT0のカウント動作は停止
1	TCNT0はカウント動作

カウンタスタート 1

0	TCNT1のカウント動作は停止
1	TCNT1はカウント動作

カウンタスタート 2

0	TCNT2のカウント動作は停止
1	TCNT2はカウント動作

カウンタスタート 3

0	TCNT3のカウント動作は停止
1	TCNT3はカウント動作

カウンタスタート 4

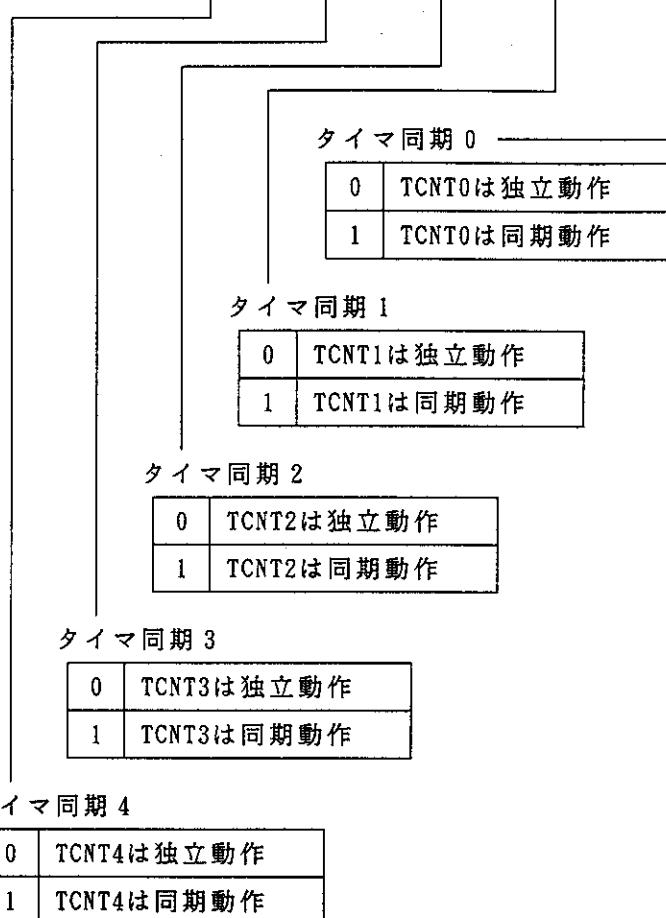
0	TCNT4のカウント動作は停止
1	TCNT4はカウント動作

ビット : 7 6 5 4 3 2 1 0

—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
---	---	---	-------	-------	-------	-------	-------

初期値 : 1 1 1 0 0 0 0 0

R/W : — — — R/W R/W R/W R/W R/W

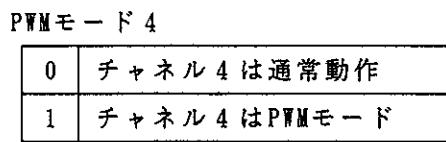
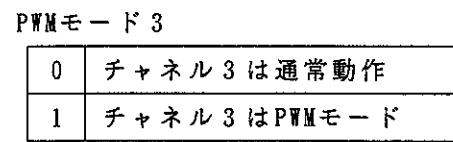
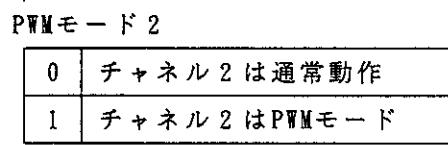
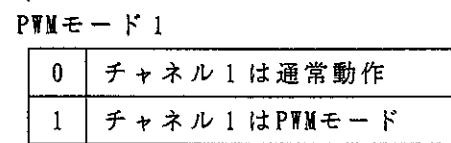
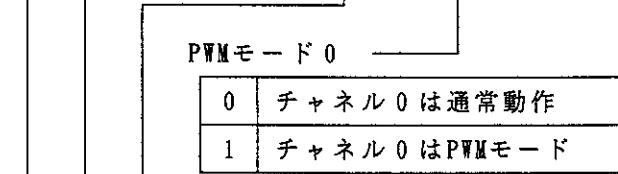


ビット : 7 6 5 4 3 2 1 0

—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
---	-----	------	------	------	------	------	------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W



フラグディレクション

0	TSR2のOVFフラグは、TCNT2がオーバフローまたはアンダフローしたときに“1”にセット
1	TSR2のOVFフラグは、TCNT2がオーバフローしたときに“1”にセット

位相計数モード

0	チャネル 2 は通常動作
1	チャネル 2 は位相計数モード

ビット :	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3

初期値 : 1 1 0 0 0 0 0 0

R/W : — — R/W R/W R/W R/W R/W R/W

バッファ動作A3

0	GRA3は通常動作
1	GRA3とBRA3はバッファ動作

バッファ動作B3

0	GRB3は通常動作
1	GRB3とBRB3はバッファ動作

バッファ動作A4

0	GRA4は通常動作
1	GRA4とBRA4はバッファ動作

バッファ動作B4

0	GRB4は通常動作
1	GRB4とBRB4はバッファ動作

コンビネーションモード 1 ~ 0

ビット5	ビット4	チャネル3、4の動作モードの指定
CMD1	CMD0	
0	0	チャネル3、4は通常動作
	1	
1	0	チャネル3、4を組み合わせ、相補PWMモードで動作
	1	チャネル3、4を組み合わせ、リセット同期PWMモードで動作

ビット : 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
---	-------	-------	-------	-------	-------	-------	-------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W

タイマプリスケーラ 2 ~ 0

ビット2	ビット1	ビット0	TCNTのカウントクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : φ
		1	内部クロック : φ/2
	1	0	内部クロック : φ/4
		1	内部クロック : φ/8
1	0	0	外部クロック A : TCLKA端子入力でカウント
		1	外部クロック B : TCLKB端子入力でカウント
	1	0	外部クロック C : TCLKC端子入力でカウント
		1	外部クロック D : TCLKD端子入力でカウント

クロックエッジ 1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立上がりエッジでカウント
	1	立下がりエッジでカウント
1	—	立上がり/立下がりの両エッジでカウント

カウンタクリア 1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

ビット : 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値 : 1 0 0 0 1 0 0 0

R/W : — R/W R/W R/W — R/W R/W R/W

I/O コントロール A 2 ~ 0

ビット2	ビット1	ビット0	GRAの機能の選択	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRAのコンペアマッチで0出力
	1	0		GRAのコンペアマッチで1出力
		1		GRAのコンペアマッチでトグル出力
1	0	0	GRAはインプットキャプチャレジスタ	立上がりエッジでGRAへインプットキャプチャ
		1		立下がりエッジでGRAへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRA へインプットキャプチャ
		1		

I/O コントロール B 2 ~ 0

ビット6	ビット5	ビット4	GRBの機能の選択	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRBのコンペアマッチで0出力
	1	0		GRBのコンペアマッチで1出力
		1		GRBのコンペアマッチでトグル出力
1	0	0	GRBはインプットキャプチャレジスタ	立上がりエッジでGRBへインプットキャプチャ
		1		立下がりエッジでGRBへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRB へインプットキャプチャ
		1		

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVIE	IMIEB	IMIEA
---	---	---	---	---	------	-------	-------

初期値 : 1 1 1 1 1 0 0 0

R / W : — — — — — R / W R / W R / W

インпутキャプチャ/コンペアマッチインタラプトイネーブルA

0	IMFA フラグによる割込み (IMIA) 要求を禁止
1	IMFA フラグによる割込み (IMIA) 要求を許可

インпутキャプチャ/コンペアマッチインタラプトイネーブルB

0	IMFB フラグによる割込み (IMIB) 要求を禁止
1	IMFB フラグによる割込み (IMIB) 要求を許可

オーバフローインタラプトイネーブル

0	OVF フラグによる割込み (OVI) 要求を禁止
1	OVF フラグによる割込み (OVI) 要求を許可

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVF	IMFB	IMFA
---	---	---	---	---	-----	------	------

初期値 : 1 1 1 1 1 0 0 0

R/W : — — — — — R/(W)* R/(W)* R/(W)*

インプットキャプチャ／コンペアマッチフラグ A

	[クリア条件]
0	IMFA = "1" の状態で、IMFA フラグをリードした後、IMFA フラグに "0" をライトしたとき
	[セット条件]
1	(1) GRA がアプトプットコンペアレジスタとして機能している場合、TCNT = GRA になったとき (2) GRA がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRA に転送されたとき

インプットキャプチャ／コンペアマッチフラグ B

	[クリア条件]
0	IMFB = "1" の状態で、IMFB フラグをリードした後、IMFB フラグに "0" をライトしたとき
	[セット条件]
1	(1) GRB がアウトプットコンペアレジスタとして機能している場合、TCNT = GRB になったとき (2) GRB がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRB に転送されたとき

オーバフローフラグ

	[クリア条件]
0	OVF = "1" の状態で、OVF フラグをリードした後、OVF フラグに "0" をライトしたとき
	[セット条件]
1	TCNT の値がオーバフロー ($H' FFFF \rightarrow H' 0000$) または、アンダーフロー ($H' 0000 \rightarrow H' FFFF$) したとき

【注】* フラグクリアのための "0" ライトのみ可能です。

TCNT0 H,L タイマカウンタ0 H,L | H'68、H'69

ITU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W

↓
アップカウンタ

GRA0 H,L ジェネラルレジスタA0 H,L | H'6A、H'6B

ITU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

↓
アウトプットコンペア／インプットキャプチャ兼用レジスタ

GRB0 H,L ジェネラルレジスタB0 H,L | H'6C、H'6D

ITU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

↓
アウトプットコンペア／インプットキャプチャ兼用レジスタ

TCR1 タイマコントロールレジスタ 1 | H' 6E

ITU1

ビット : 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
---	-------	-------	-------	-------	-------	-------	-------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W

※機能は ITU0 と同じです。

T1OR1 タイマ1/0コントロールレジスタ 1 | H' 6F

ITU1

ビット : 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値 : 1 0 0 0 1 0 0 0

R/W : — R/W R/W R/W — R/W R/W R/W

※機能は ITU0 と同じです。

TIER1 タイマインタラプトイネーブルレジスタ 1 | H' 70

ITU1

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVIE	IMIEB	IMIEA
---	---	---	---	---	------	-------	-------

初期値 : 1 1 1 1 1 0 0 0

R/W : — — — — — R/W R/W R/W

※機能は ITU0 と同じです。

TSR1 タイマステータスレジスタ 1 | H' 71

ITU1

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVF	IMFB	IMFA
---	---	---	---	---	-----	------	------

初期値 : 1 1 1 1 1 0 0 0

R/W : — — — — — R/(W)* R/(W)* R/(W)*

※機能は ITU0 と同じです。

【注】* フラグクリアのための“0”ライトのみ可能です。

TCNT1 H,L タイマカウンタ1 H,L H'72、H'73

ITU1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W

※機能はITU0と同じです。

GRA1 H,L ジェネラルレジスタA1 H,L H'74、H'75

ITU1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能はITU0と同じです。

GRB1 H,L ジェネラルレジスタB1 H,L H'76、H'77

ITU1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能はITU0と同じです。

TCR2 タイマコントロールレジスタ2 H'78

ITU2

ビット : 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
---	-------	-------	-------	-------	-------	-------	-------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

【注】 チャネル2を位相計数モードに設定したとき、TPSC2～TPSC0ビットによるカウントクロックの選択は無効となります。

TIOR2 タイマ1/0コントロールレジスタ2 H'79

ITU2

ビット : 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値 : 1 0 0 0 1 0 0 0

R/W : — R/W R/W R/W — R/W R/W R/W

※機能はITU0と同じです。

TIER2 タイマインタラプトイネーブルレジスタ 2 H'7A

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA

初期値: 1 1 1 1 1 0 0 0

R/W: — — — — — R/W R/W R/W

※機能は ITU0 と同じです。

TSR2 タイマステータスレジスタ 2 H'7B

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA

初期値: 1 1 1 1 1 0 0 0

R/W: — — — — — R/(W)* R/(W)* R/(W)*

※機能は ITU0 と同じです

オーバフローフラグ

0	〔クリア条件〕
	OVF="1"の状態で、OVFフラグをリードした後、OVFフラグに“0”をライトしたとき
1	〔セット条件〕
	TCNTの値がオーバフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき

【注】* フラグクリアのための“0”ライトのみ可能です。

TCNT2 H,L タイマカウンタ2 H,L H'7C, H'7D

ITU2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W

位相計数モード時：アップ／ダウンカウンタ

その他のモード時：アップカウンタ

GRA2 H,L ジェネラルレジスタA2 H,L H'7E、H'7F

ITU2

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能は ITU0 同じです。

GRB2 H,L ジェネラルレジスタB2 H,L H'80、H'81

ITU2

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能は ITU0 同じです。

TCR3 タイマコントロールレジスタ3 H'82

ITU3

ビット : 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
---	-------	-------	-------	-------	-------	-------	-------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W

※機能は ITU0 と同じです。

T10R3 タイマI/Oコントロールレジスタ3 H'83

ITU3

ビット : 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値 : 1 0 0 0 1 0 0 0

R/W : — R/W R/W R/W — R/W R/W R/W

※機能は ITU0 と同じです。

TIER3 タイマインタラプトイネーブルレジスタ3 H'84

ITU3

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVIE	IMIEB	IMIEA
---	---	---	---	---	------	-------	-------

初期値 : 1 1 1 1 1 0 0 0

R/W : — — — — — R/W R/W R/W

※機能は ITU0 と同じです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能は ITU0 と同じです

オーバフローフラグ

	〔クリア条件〕
0	OVF="1"の状態で、OVFをリードした後、OVFに“1”をライトしたとき
	〔セット条件〕
1	TCNTの値がオーバフロー (H'FFFF→H'0000) 、またはアンダフロー (H'0000→H'FFFF) したとき

【注】* フラグクリアのための“0”ライトのみ可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

相補 PWMモード時：アップ／ダウンカウンタ

その他のモード時 : アップカウンタ

GRA3 H,L ジェネラルレジスタA3 H,L H'88、H'89

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

アウトプットコンペア／インプットキャプチャ兼用レジスタ（バッファ動作可能）

GRB3 H,L ジェネラルレジスタB3 H,L H'8A、H'8B

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

アウトプットコンペア／インプットキャプチャ兼用レジスタ（バッファ動作可能）

BRA3 H,L バッファレジスタA3 H,L H'8C、H'8D

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

バッファ動作時にG R Aと組み合わせて使用

BRB3 H,L バッファレジスタB3 H,L H'8E、H'8F

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

バッファ動作時にG R Bと組み合わせて使用

ビット : 7 6 5 4 3 2 1 0

—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
---	---	------	------	-----	-----	-----	-----

初期値 : 1 1 1 1 1 1 1 1

R/W : — — R/W R/W R/W R/W R/W R/W

マスティネーブルTIOCA3

0	TIOR3、TMDR、TFCRの設定にかかわらず、 TIOCA ₃ 端子は出力禁止
1	TIOR3、TMDR、TFCRの設定に従い、 TIOCA ₃ 端子は出力許可

マスティネーブルTIOCA4

0	TIOR4、TMDR、TFCRの設定にかかわらず、 TIOCA ₄ 端子は出力禁止
1	TIOR4、TMDR、TFCRの設定に従い、 TIOCA ₄ 端子は出力許可

マスティネーブルTIOCB4

0	TIOR4、TFCRの設定にかかわらず、 TIOCB ₄ 端子は出力禁止
1	TIOR4、TFCRの設定に従い、 TIOCB ₄ 端子は出力許可

マスティネーブルTIOCB3

0	TIOR3、TFCRの設定にかかわらず、 TIOCB ₃ 端子は出力禁止
1	TIOR3、TFCRの設定に従い、 TIOCB ₃ 端子は出力許可

マスティネーブルTOCXA4

0	TFCRの設定にかかわらず、TOCXA ₄ 端子は出力禁止
1	TFCRの設定に従い、TOCXA ₄ 端子は出力許可

マスティネーブルTOCXB4

0	TFCRの設定にかかわらず、TOCXB ₄ 端子は出力禁止
1	TFCRの設定に従い、TOCXB ₄ 端子は出力許可

ビット :	7	6	5	4	3	2	1	0
	—	—	—	XTGD	—	—	OLS4	OLS3

初期値 : 1 1 1 1 1 1 1 1

R/W : — — — R/W — — R/W R/W

出力レベルセレクト 3

0	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は反転出力
1	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は直接出力

出力レベルセレクト 4

0	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ 端子は反転出力
1	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ 端子は直接出力

外部トリガディスエーブル

0	リセット同期 PWM モードまたは相補 PWM モード時、チャネル 1 のインプットキャプチャ A 信号を外部トリガとして使用*
1	外部トリガを禁止

【注】* 外部トリガ発生時、TOER のビット 5 ~ 0 が “0” にクリアされ、ITU 出力が禁止されます。

TCR4 タイマコントロールレジスタ4 H'92

ITU4

ビット : 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
---	-------	-------	-------	-------	-------	-------	-------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W

※機能は ITU0と同じです。

T10R4 タイマ1/0コントロールレジスタ4 H'93

ITU4

ビット : 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値 : 1 0 0 0 1 0 0 0

R/W : — R/W R/W R/W — R/W R/W R/W

※機能は ITU0と同じです。

TIER4 タイマインタラプトイネーブルレジスタ4 H'94

ITU4

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVIE	IMIEB	IMIEA
---	---	---	---	---	------	-------	-------

初期値 : 1 1 1 1 1 0 0 0

R/W : — — — — — R/W R/W R/W

※機能は ITU0と同じです。

TSR4 タイマステータスレジスタ4 H'95

ITU4

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	OVF	IMFB	IMFA
---	---	---	---	---	-----	------	------

初期値 : 1 1 1 1 1 0 0 0

R/W : — — — — — R/(W)* R/(W)* R/(W)*

※機能は ITU0と同じです。

【注】* フラグクリアのための“0”ライトのみ可能です。

TCNT4 H,L タイマカウンタ4 H,L H'96、H'97

ITU4

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W

※機能は ITU3 と同じです。

GRA4 H,L ジェネラルレジスタA4 H,L H'98、H'99

ITU4

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能は ITU3 と同じです。

GRB4 H,L ジェネラルレジスタB4 H,L H'9A、H'9B

ITU4

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能は ITU3 と同じです。

BRA4 H,L バッファレジスタA4 H,L H'9C、H'9D

ITU4

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能は ITU3 と同じです。

BRB4 H,L バッファレジスタB4 H,L H'9E、H'9F

ITU4

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

※機能は ITU3 と同じです。

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
---	---	---	---	-------	-------	-------	-------

初期値 : 1 1 1 1 0 0 0 0

R/W : — — — — R/W R/W R/W R/W

グループ 0 ノンオーバラップ

0	TPC出力グループ 0 は通常動作 選択されたITUのコンペアマッチA で出力値を更新
1	TPC出力グループ 0 は、選択された ITUのコンペアマッチA、Bにより ノンオーバラップ動作

グループ 1 ノンオーバラップ

0	TPC出力グループ 1 は通常動作 選択されたITUのコンペアマッチA で出力値を更新
1	TPC出力グループ 1 は、選択された ITUのコンペアマッチA、Bにより ノンオーバラップ動作

グループ 2 ノンオーバラップ

0	TPC出力グループ 2 は通常動作 選択されたITUのコンペアマッチA で出力値を更新
1	TPC出力グループ 2 は、選択された ITUのコンペアマッチA、Bにより ノンオーバラップ動作

グループ 3 ノンオーバラップ

0	TPC出力グループ 3 は通常動作 選択されたITUのコンペアマッチA で出力値を更新
1	TPC出力グループ 3 は、選択された ITUのコンペアマッチA、Bにより ノンオーバラップ動作

ビット:	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0

初期値: 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

グループ0コンペアマッチセレクト1、0

ビット1	ビット0	出力トリガとなるITUのチャネル選択
G0CMS1	G0CMS0	
0	0	TPC出力グル-70 (TP ₃ ～TP ₀ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ
	1	TPC出力グル-70 (TP ₃ ～TP ₀ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ
1	0	TPC出力グル-70 (TP ₃ ～TP ₀ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ
	1	TPC出力グル-70 (TP ₃ ～TP ₀ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ

グループ1コンペアマッチセレクト1、0

ビット3	ビット2	出力トリガとなるITUのチャネル選択
G1CMS1	G1CMS0	
0	0	TPC出力グル-71 (TP ₇ ～TP ₄ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ
	1	TPC出力グル-71 (TP ₇ ～TP ₄ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ
1	0	TPC出力グル-71 (TP ₇ ～TP ₄ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ
	1	TPC出力グル-71 (TP ₇ ～TP ₄ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ

グループ2コンペアマッチセレクト1、0

ビット5	ビット4	出力トリガとなるITUのチャネル選択
G2CMS1	G2CMS0	
0	0	TPC出力グル-72 (TP ₁₁ ～TP ₈ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ
	1	TPC出力グル-72 (TP ₁₁ ～TP ₈ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ
1	0	TPC出力グル-72 (TP ₁₁ ～TP ₈ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ
	1	TPC出力グル-72 (TP ₁₁ ～TP ₈ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ

グループ3コンペアマッチセレクト1、0

ビット7	ビット6	出力トリガとなるITUのチャネル選択
G3CMS1	G3CMS0	
0	0	TPC出力グル-73 (TP ₁₅ ～TP ₁₂ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ
	1	TPC出力グル-73 (TP ₁₅ ～TP ₁₂ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ
1	0	TPC出力グル-73 (TP ₁₅ ～TP ₁₂ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ
	1	TPC出力グル-73 (TP ₁₅ ～TP ₁₂ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ

NDERB ネクストデータタイネーブルレジスタ B	H'A2	TPC
---------------------------	------	-----

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ネクストデータタイネーブル15~8

ビット7~0	説明
NDER15 ~NDER8	
0	T P C 出力TP ₁₅ ~TP ₈ を禁止 (N D R 15~N D R 8 から P B ₇ ~P B ₀ への転送禁止)
1	T P C 出力TP ₁₅ ~TP ₈ を許可 (N D R 15~N D R 8 から P B ₇ ~P B ₀ への転送許可)

NDERA ネクストデータタイネーブルレジスタ A	H'A3	TPC
---------------------------	------	-----

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ネクストデータタイネーブル7~0

ビット7~0	説明
NDER7 ~NDER0	
0	T P C 出力TP ₇ ~TP ₀ を禁止 (N D R 7~N D R 0 から P A ₇ ~P A ₀ への転送禁止)
1	T P C 出力TP ₇ ~TP ₀ を許可 (N D R 7~N D R 0 から P A ₇ ~P A ₀ への転送許可)

■ TPC 出力グループ 2、3 の出力トリガが同一の場合

(1) アドレス : H'FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TPC 出力グループ 3 の次の 出力データを格納					TPC 出力グループ 2 の次の 出力データを格納			

(2) アドレス : H'FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

■ TPC 出力グループ 2、3 の出力トリガが異なる場合

(1) アドレス : H'FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—
TPC 出力グループ 3 の次の 出力データを格納								

(2) アドレス : H'FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W
TPC 出力グループ 2 の次の 出力データを格納								

■ TPC 出力グループ 0、1 の出力トリガが同一の場合

(1) アドレス : H'FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TPC 出力グループ 1 の次の 出力データを格納					TPC 出力グループ 0 の次の 出力データを格納			

(2) アドレス : H'FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

■ TPC 出力グループ 0、1 の出力トリガが異なる場合

(1) アドレス : H'FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—
TPC 出力グループ 1 の次の 出力データを格納								

(2) アドレス : H'FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W
TPC 出力グループ 0 の次の 出力データを格納								

ビット : 7 6 5 4 3 2 1 0

OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
-----	-------	-----	---	---	------	------	------

初期値 : 0 0 0 1 1 0 0 0

R/W : R/(W)* R/W R/W — — R/W R/W R/W

クロックセレクト 2 ~ 0

0	0	0	φ / 2
	1	1	φ / 32
	0	0	φ / 64
	1	1	φ / 128
1	0	0	φ / 256
	1	1	φ / 512
	0	0	φ / 2048
	1	1	φ / 4096

タイマイネーブル

0	タイマディスエーブル
	・ T C N T を H' 00 にイニシャライズし、カウントアップを停止
1	タイマイネーブル
	・ T C N T はカウントアップ開始 ・ C P U への割込み要求を許可

タイマモードセレクト

0	インターバルタイマを選択。 (インターバルタイマ割込み要求)
	1 ウオッヂドッグタイマを選択 (リセット信号を発生)

オーバフローフラグ

0	〔クリア条件〕 OVF = "1" の状態で O V F フラグをリードした後、O V F フラグに "0" をライトしたとき
	1 〔セット条件〕 T C N T が H' FF → H' 00 に変化したとき

【注】* フラグをクリアするための "0" ライトのみ可能です。

TCNT タイマカウンタ	H'A9 リード時、H'A8 ライト時	WDT
--------------	---------------------	-----

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

カウント値

RSTCSR リセットコントロール／ステータスレジスタ	H'AB リード時、H'AA ライト時	WDT
-----------------------------	---------------------	-----

ビット : 7 6 5 4 3 2 1 0

WRST	RSTOE	—	—	—	—	—	—
------	-------	---	---	---	---	---	---

初期値 : 0 0 1 1 1 1 1 1

R/W : R/(W)* R/W — — — — — —

リセット出力イネーブル

0	リセット信号の外部出力を禁止
1	リセット信号の外部出力を許可

ウォッチドッグタイマリセット

〔クリア条件〕	
0	(1) RES 端子によるリセット信号 (2) WRST = "1" の状態で、WRSTフラグをリード後"0"をライトしたとき
1	〔セット条件〕 TCNTがオーバフローし、リセット信号が発生したとき

【注】* ビット7は、フラグをクリアする"0"ライトのみ可能です。

ビット : 7 6 5 4 3 2 1 0

SRFMD	PSRAME	DRAME	CAS/ \overline{WE}	M9/ $\overline{M8}$	RFSHE	—	RCYCE
-------	--------	-------	----------------------	---------------------	-------	---	-------

初期値 : 0 0 0 0 0 0 1 0

R/W : R/W R/W R/W R/W R/W R/W — R/W

リフレッシュサイクルイネーブル

0	リフレッシュサイクルを禁止
1	エリア 3 に対するリフレッシュサイクルを許可

リフレッシュ端子イネーブル

0	RFSH端子のリフレッシュ信号出力を禁止
1	RFSH端子のリフレッシュ信号出力を許可

アドレスマルチプレクスモードセレクト

0	8 ビットカラムモード
1	9 ビットカラムモード

ストローブモードセレクト

0	2 \overline{WE} 方式を選択
1	2 CAS 方式を選択

PSRAMイネーブル、DRAMイネーブル

ビット6 PSRAME	ビット5 DRAME	RAMの接続	
		0	1
0	0	インターバルタイマとして使用可能 (DRAM、PSRAMの直接接続不可能)	
	1	DRAMの直接接続が可能	
1	0	PSRAMの直接接続が可能	
	1	使用禁止	

セルフリフレッシュモード

0	ソフトウェアスタンバイモード時に、DRAMまたは PSRAMのセルフリフレッシュを禁止
1	ソフトウェアスタンバイモード時に、DRAMまたは PSRAMのセルフリフレッシュが可能

ビット : 7 6 5 4 3 2 1 0

CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
-----	------	------	------	------	---	---	---

初期値 : 0 0 0 0 0 1 1 1

R/W : R/(W)* R/W R/W R/W R/W — — —

クロックセレクト 2 ~ 0

ビット5	ビット4	ビット3	カウントクロック
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止
		1	$\phi/2$
	1	0	$\phi/8$
		1	$\phi/32$
1	0	0	$\phi/128$
		1	$\phi/512$
	1	0	$\phi/2048$
		1	$\phi/4096$

コンペアマッチインターブトイネーブル

0	CMF フラグによる割込み (CMI) 要求を禁止
1	CMF フラグによる割込み (CMI) 要求を許可

コンペアマッチフラグ

〔クリア条件〕	
0	CMF = "1" の状態で、CMF フラグをリードした後、CMF フラグに "0" をライトしたとき
〔セット条件〕	
1	RTCNT = RTCOR になったとき

【注】* フラグをクリアするための "0" ライトのみ可能です。

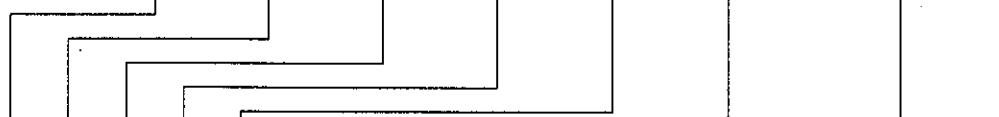
RTCNT リフレッシュタイムカウンタ	H' AE	リフレッシュコントローラ
ビット :	7 6 5 4 3 2 1 0	
初期値 :	0 0 0 0 0 0 0 0	
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W	
		カウント値
RTCOR リフレッシュタイムコンスタントレジスタ	H' AF	リフレッシュコントローラ
ビット :	7 6 5 4 3 2 1 0	
初期値 :	1 1 1 1 1 1 1 1	
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W	
		RTCNTとのコンペアマッチ周期を設定

ビット : 7 6 5 4 3 2 1 0

C/A	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
-----	----	-----	----	-----	------	----	------	------

初期値 : 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W



クロックセレクト 1、0

ビット1	ビット0	クロックの選択
CKS1	CKS0	
0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能を禁止
1	マルチプロセッサフォーマットを選択

ストップビットレンジス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレンジス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード（シリアルコミュニケーションインターフェース時）

0	調歩同期式モード
1	クロック同期式モード

GSMモード（スマートカードインターフェース時）

0	通常のスマートカードインターフェースモードの動作
1	GSMモードのスマートカードインターフェースモードの動作

BRR ビットレートレジスタ H'B1

SC10

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

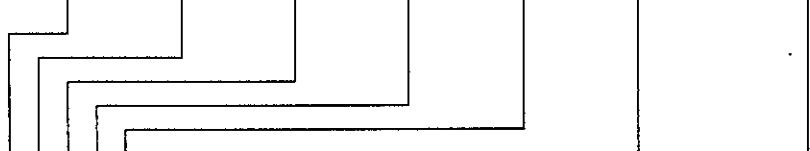
シリアル送信／受信のビットレートを設定

ビット : 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W



クロックイネーブル 1、0

ビット1	ビット0	クロックの選択、出力の許可	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK端子は入出力ポート
	1	クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	内部クロック/SCK端子はクロック出力
	1	クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力
	1	クロック同期式モード	外部クロック/SCK端子は同期クロック入力

トランスマットエンドインタラプトイネーブル

0	送信終了割込み (TEI) 要求を禁止
1	送信終了割込み (TEI) 要求を許可

マルチプロセッササインタラプトイネーブル

0	マルチプロセッサ割込みを禁止 (通常の受信動作を行う)
1	マルチプロセッサ割込みを許可

レシーブイネーブル

0	受信動作を禁止	0	受信動作を禁止
1	受信動作を許可	1	受信動作を許可

レシーブインタラプトイネーブル

0	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を禁止
1	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を許可

トランスマットインタラプトイネーブル

0	送信データ割込み (TXI) 要求を禁止
1	送信データ割込み (TXI) 要求を許可

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W



マルチプロセッサビットトランスファ

0	マルチプロセッサビットが“0”のデータを送信
1	マルチプロセッサビットが“1”のデータを送信

マルチプロセッサビット

0	マルチプロセッサビットが“0”のデータを受信
1	マルチプロセッサビットが“1”のデータを受信

トランスマットエンド

0	〔クリア条件〕
	1. TDRE = “1”の状態をリードした後、“0”をライトしたとき 2. DMACがTDRへデータをライトしたとき
1	〔セット条件〕
	1. リセット、またはスタンバイモード時 2. SCRのTEビットが“0”的とき、かつFER/ERSビットが“0”的とき 3. 1バイトのシリアル送信キャラクタの最交尾ビットの送信時にTDRE = “1”的とき

パリティエラー

0	〔クリア条件〕
	1. リセット、またはスタンバイモード時 2. PER = “1”的状態をリードした後、“0”をライトしたとき
1	〔セット条件〕
	パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）

フレーミングエラー (SC10のとき)

0	〔クリア条件〕
	1. リセット、またはスタンバイモード時 2. FER = “1”的状態をリードした後、“0”をライトしたとき
1	〔セット条件〕
	フレーミングエラーが発生したとき（ストップビットが“0”的場合）

エラーシグナルステータス (スマートカードインターフェースのとき)

0	〔クリア条件〕
	1. リセット、またはスタンバイモード時 2. ERS = “1”的状態をリードした後、“0”をライトしたとき
1	〔セット条件〕
	エラーシグナル“Low”を受信したとき

オーバーランエラー

0	〔クリア条件〕
	1. リセット、またはスタンバイモード時 2. ORER = “1”的状態をリードした後、“-0”をライトしたとき
1	〔セット条件〕
	オーバーランエラーが発生したとき (RDRF = “1”的状態で次のデータが受信完了したとき)

レシーブデータレジスタフル

0	〔クリア条件〕
	1. リセット、またはスタンバイモード時 2. RDRF = “1”的状態をリードした後、“0”をライトしたとき 3. DMACでRDRのデータをリードしたとき
1	〔セット条件〕
	データが正常に受信され、RSRからRDRへデータが転送されたとき

トランスマットデータレジスタエンプティ

0	〔クリア条件〕
	1. TDRE = “1”的状態をリードした後、“0”をライトしたとき 2. DMACでTDRへデータをライトしたとき
1	〔セット条件〕
	1. リセット、またはスタンバイモード時 2. SCRのTEビットが“0”的とき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* フラグをクリアするための“0”ライトのみ可能です。

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

シリアル送信データを格納

RDR レシーブデータレジスタ H' B5

SC10

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R / W : R R R R R R R R

シリアル受信データを格納

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	SDIR	SINV	—	SMIF
---	---	---	---	------	------	---	------

初期値 : 1 1 1 1 0 0 1 0

R/W : — — — — R/W R/W — R/W

スマートカードインターフェースモードセレクト

0	スマートカードインターフェース機能を禁止 (初期値)
1	スマートカードインターフェース機能を許可

スマートカードデータインパート

0	TDRの内容をそのまま送信します (初期値) 受信したデータをそのままRDRに格納します。
1	TDRの内容を反転してデータを送信します 受信したデータを反転してRDRに格納します

スマートカードデータトランスマディレクション

0	TDRの内容をLSBファーストとして送信します (初期値) 受信したデータをLSBファーストとしてRDRに格納します
1	TDRの内容をMSBファーストとして送信します 受信したデータをMSBファーストとしてRDRに格納します

SMR シリアルモードレジスタ	H' B8
-----------------	-------

SCI1

ビット : 7 6 5 4 3 2 1 0

C/A	CHR	PE	0/E	STOP	MP	CKS1	CKS0
-----	-----	----	-----	------	----	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能は SCI0と同じです。

BRR ビットレートレジスタ	H' B9
----------------	-------

SCI1

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能は SCI0と同じです。

SCR シリアルコントロールレジスタ	H' BA
--------------------	-------

SCI1

ビット : 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能は SCI0と同じです。

TDR トランスマットデータレジスタ H'BB

SCI1

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※機能はSCI0と同じです。

SSR シリアルステータスレジスタ H'BC

SCI1

ビット : 7 6 5 4 3 2 1 0

TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
------	------	------	-----	-----	------	-----	------

初期値 : 1 0 0 0 0 1 0 0

R/W : R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R R/W

※機能はSCI0と同じです。

【注】* フラグをクリアするための“0”ライトのみ可能です。

RDR レシーブデータレジスタ H'BD

SCI1

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R R R R R R R R

※機能はSCI0と同じです。

P1DDR ポート1データディレクションレジスタ	H' C0	ポート1
--------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード1~4 { 初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	—	—	—	—	—
モード5~7 { 初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート1入出力選択

0	入力ポート
1	出力ポート

P2DDR ポート2データディレクションレジスタ	H' C1	ポート2
--------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード1~4 { 初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	—	—	—	—	—
モード5~7 { 初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート2入出力選択

0	入力ポート
1	出力ポート

P1DR ポート1データレジスタ H'C2

ポート1

ビット : 7 6 5 4 3 2 1 0

P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート1の各端子のデータを格納

P2DR ポート2データレジスタ H'C3

ポート2

ビット : 7 6 5 4 3 2 1 0

P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート2の各端子のデータを格納

P3DDR ポート3データディレクションレジスタ H'C4

ポート3

ビット : 7 6 5 4 3 2 1 0

P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0

R/W : W W W W W W W W

ポート3入出力選択

0	入力ポート
1	出力ポート

P4DDR ポート 4 データディレクションレジスタ	H'C5	ポート 4
----------------------------	------	-------

ビット : 7 6 5 4 3 2 1 0

P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0

R/W : W W W W W W W W

ポート 4 入出力選択

0	入力ポート
1	出力ポート

P3DR ポート 3 データレジスタ	H'C6	ポート 3
--------------------	------	-------

ビット : 7 6 5 4 3 2 1 0

P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート 3 の各端子のデータを格納

P4DR ポート 4 データレジスタ	H'C7	ポート 4
--------------------	------	-------

ビット : 7 6 5 4 3 2 1 0

P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート 4 の各端子のデータを格納

P5DDR ポート 5 データディレクションレジスタ

H' C8

ポート 5

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
モード1~4 { 初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—
モード5~7 { 初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	W	W	W	W

ポート 5 入出力選択

0	入力ポート
1	出力ポート

P6DDR ポート 6 データディレクションレジスタ

H' C9

ポート 6

ビット :	7	6	5	4	3	2	1	0
	—	P6 ₈ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値 :	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

ポート 6 入出力選択

0	入力ポート
1	出力ポート

P5DR ポート 5 データレジスタ H'CA

ポート 5

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	P5 ₃	P5 ₂	P5 ₁	P5 ₀
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値 : 1 1 1 1 0 0 0 0

R/W : — — — — R/W R/W R/W R/W

ポート 5 の各端子のデータを格納

P6DR ポート 6 データレジスタ H'CB

ポート 6

ビット : 7 6 5 4 3 2 1 0

—	P6 ₈	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
---	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 1 0 0 0 0 0 0 0

R/W : — R/W R/W R/W R/W R/W R/W R/W

ポート 6 の各端子のデータを格納

P8DDR ポート 8 データディレクションレジスタ	H' CD	ポート 8
----------------------------	-------	-------

ビット : 7 6 5 4 3 2 1 0

—	—	—	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
---	---	---	---------------------	---------------------	---------------------	---------------------	---------------------

モード1~4 { 初期値 : 1 1 1 1 0 0 0 0
 R/W : — — — W W W W W
 モード5~7 { 初期値 : 1 1 1 0 0 0 0 0
 R/W : — — — W W W W W

ポート 8 入出力選択

0	入力ポート
1	出力ポート

ポート 8 入出力選択

0	入力ポート
1	CS出力端子

P7DR ポート 7 データレジスタ	H' CE	ポート 7
--------------------	-------	-------

ビット : 7 6 5 4 3 2 1 0

P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : — * — * — * — * — * — * — * — * — *

R/W : R R R R R R R R

ポート 7 の各端子の状態を読出す

【注】* P7₇～P7₀端子により決定されます。

P8DR ポート 8 データレジスタ H' CF

ポート 8

ビット : 7 6 5 4 3 2 1 0

—	—	—	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
---	---	---	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 1 1 1 0 0 0 0 0

R/W : — — — R/W R/W R/W R/W R/W

ポート 8 の各端子のデータを格納

P9DDR ポート 9 データディレクションレジスタ H' D0

ポート 9

ビット : 7 6 5 4 3 2 1 0

—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
---	---	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 1 1 0 0 0 0 0 0

R/W : — — W W W W W W

ポート 9 入出力選択

0	入力ポート
1	出力ポート

PADDR ポート A データディレクションレジスタ H' D1

ポート A

ビット : 7 6 5 4 3 2 1 0

PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード3、4、6 { 初期値 : 1 0 0 0 0 0 0 0
R/W : — W W W W W W W W

モード { 初期値 : 0 0 0 0 0 0 0 0
1、2、5、7 { R/W : W W W W W W W W

ポート A 入出力選択

0	入力ポート
1	出力ポート

P9DR ポート9データレジスタ	H'D2	ポート9
------------------	------	------

ビット : 7 6 5 4 3 2 1 0

—	—	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値 :	1	1	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W

ポート9の各端子のデータを格納

PADR ポートAデータレジスタ	H'D3	ポートA
------------------	------	------

ビット : 7 6 5 4 3 2 1 0

PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値 :	0	0	0	0	0	0	0
R/W :	R/W						

ポートAの各端子のデータを格納

PBDDR ポートBデータディレクションレジスタ	H'D4	ポートB
--------------------------	------	------

ビット : 7 6 5 4 3 2 1 0

PB ₇ ,DDR	PB ₆ ,DDR	PB ₅ ,DDR	PB ₄ ,DDR	PB ₃ ,DDR	PB ₂ ,DDR	PB ₁ ,DDR	PB ₀ ,DDR
初期値 :	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W

ポートB入出力選択

0	入力ポート
1	出力ポート

PBDR ポートBデータレジスタ	H'D6	ポートB
------------------	------	------

ビット : 7 6 5 4 3 2 1 0

PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポートBの各端子のデータを格納

P2PCR ポート2入力プルアップMOSコントロールレジスタ	H'D8	ポート2
--------------------------------	------	------

ビット : 7 6 5 4 3 2 1 0

P2 ₇ ,PCR	P2 ₆ ,PCR	P2 ₅ ,PCR	P2 ₄ ,PCR	P2 ₃ ,PCR	P2 ₂ ,PCR	P2 ₁ ,PCR	P2 ₀ ,PCR
----------------------	----------------------	----------------------	----------------------	----------------------	----------------------	----------------------	----------------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート2入力プルアップMOSコントロール7~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P2DDRを“0”に指定したとき（入力ポートに指定）

P4PCR ポート4入力プルアップMOSコントロールレジスタ H'DA

ポート4

ビット : 7 6 5 4 3 2 1 0

P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート4入力プルアップMOSコントロール7~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P4DDRを“0”に指定したとき（入力ポートに指定）

P5PCR ポート5入力プルアップMOSコントロールレジスタ H'DB

ポート5

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR
---	---	---	---	---------------------	---------------------	---------------------	---------------------

初期値 : 1 1 1 1 0 0 0 0

R/W : — — — — R/W R/W R/W R/W

ポート5入力プルアップMOSコントロール3~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P5DDRを“0”に指定したとき（入力ポートに指定）

DADR0 D/Aデータレジスタ 0 H' DC

D/A

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

D/A変換データを格納

DADR1 D/Aデータレジスタ 1 H' DD

D/A

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

D/A変換データを格納

DACR D/Aコントロールレジスタ H'DE

D/A

ビット : 7 6 5 4 3 2 1 0

DAOE1	DAOE0	DAE	—	—	—	—	—
-------	-------	-----	---	---	---	---	---

初期値 : 0 0 0 1 1 1 1 1

R/W : R/W R/W R/W — — — — —

D/Aイネーブル (DAE)

ビット7 DAOE1	ビット6 DAOE0	ビット5 DAE	説明
0	0	—	チャネル0、1の D/A変換を禁止
0	1	0	チャネル0のD/A 変換を許可 チャネル1のD/A 変換を禁止
0	1	1	チャネル0、1の D/A変換を許可
1	0	0	チャネル0のD/A 変換を禁止 チャネル1のD/A 変換を許可
1	0	1	チャネル0、1の D/A変換を許可
1	1	—	チャネル0、1の D/A変換を許可

D/Aアウトプットイネーブル0

0	アナログ出力DA ₀ を禁止
1	チャネル0のD/A変換を許可 アナログ出力DA ₀ を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA ₁ を禁止
1	チャネル1のD/A変換を許可 アナログ出力DA ₁ を許可

ADDRA H,L A/Dデータレジスタ A H,L H' E0, H' E1 A/D

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-	-
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R R R R

ADDRAH

A D D R A L

-A/D 変換データ

A/D変換結果の10ビット

データを格納

ADDRB H,L A/Dデータレジスタ B H,L H' E2, H' E3 A/D

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9 AD8 AD7 AD6 AD5 AD4 AD3 AD2 AD1 AD0 — — — — — — —

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R R R R

ADDRBH

ADD R B L

-A/D 変換データ

A/D変換結果の10ビット

データを格納

ADDRC H,L A/DデータレジスタC H,L	H'E4, H'E5	A/D
---------------------------	------------	-----

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R R R R R R R R

ADDRC H

ADDRCL

A/D変換データ

A/D変換結果の10ビット

データを格納

ADDRD H,L A/DデータレジスタD H,L	H'E6, H'E7	A/D
---------------------------	------------	-----

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R R R R R R R R

ADDRDH

ADDRDL

A/D変換データ

A/D変換結果の10ビット

データを格納

ADCR A/Dコントロールレジスタ	H'E9	A/D
--------------------	------	-----

ビット : 7 6 5 4 3 2 1 0

TRGE	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値 : 0 1 1 1 1 1 1 1

R/W : R/W — — — — — — —

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ端子(ADTRG)の立下りでA/D変換を開始

ADCSR A/Dコントロール / ステータスレジスタ H'E8

A/D

ビット : 7 6 5 4 3 2 1 0

ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
-----	------	------	------	-----	-----	-----	-----

初期値 : 0 0 0 0 0 0 0 0

R/W : R/(W)* R/W R/W R/W R/W R/W R/W R/W

チャネルセレクト

グループ選択	チャネル選択			説明
	CH2	CH1	CH0	
0	0	0	AN ₀	AN ₀
		1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ～AN ₂
		1	AN ₃	AN ₀ ～AN ₃
	0	0	AN ₄	AN ₄
		1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ～AN ₆
		1	AN ₇	AN ₄ ～AN ₇

クロックセレクト

0	変換時間 = 266ステート (max)
1	変換時間 = 134ステート (max)

スキャンモード

0	単一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) 単一モード： A/D変換を開始し変換が終了すると、自動的に“0”にクリア
	(2) スキャンモード： A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで、選択されたチャネルを順次連続変換

A/Dインターブトイネーブル

0	A/D変換終了による割込み要求を禁止
1	A/D変換終了による割込み要求を許可

A/Dエンドフラグ

0	[クリア条件] ADF = “1”的状態でADFフラグをリードした後、ADFフラグに“0”をライトしたとき
1	[セット条件] (1) 単一モード： A/D変換が終了したとき
	(2) スキャンモード： 設定されたすべてのチャネルのA/D変換が終了したとき

【注】* フラグをクリアするための“0”ライトのみ可能です。

ABWCR バス幅コントロールレジスタ H' EC

バスコントローラ

ビット : 7 6 5 4 3 2 1 0

ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
------	------	------	------	------	------	------	------

モード1、3、5、6 初期値 : 1 1 1 1 1 1 1 1

モード2、4、7 初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

エリア7～0バス幅コントロール

ビット7～0	アクセス空間の指定
ABW7 ～ABW0	
0	エリア7～0を16ビットアクセス空間に設定
1	エリア7～0を8ビットアクセス空間に設定

ASTCR アクセスステートコントロールレジスタ H' ED

バスコントローラ

ビット : 7 6 5 4 3 2 1 0

AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
------	------	------	------	------	------	------	------

初期値 : 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

エリア7～0アクセスステートコントロール

ビット7～0	アクセスステート数の指定
AST7 ～AST0	
0	エリア7～0を2ステートアクセス空間に設定
1	エリア7～0を3ステートアクセス空間に設定

WCR ウェイトコントロールレジスタ H'EE

バスコントローラ

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	WMS1	WMS0	WC1	WC0
---	---	---	---	------	------	-----	-----

初期値 : 1 1 1 1 0 0 1 1

R/W : — — — — R/W R/W R/W R/W

ウェイトカウント 1、0

ビット1	ビット0	ウェイットステート数の指定
WC1	WC0	
0	0	WSCによるウェイトを禁止
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト 1、0

ビット3	ビット2	ウェイトモードの指定
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード1
	1	端子オートウェイトモード

WCER ウェイトステートコントローライネーブルレジスタ H'EF

バスコントローラ

ビット : 7 6 5 4 3 2 1 0

WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
------	------	------	------	------	------	------	------

初期値 : 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ウェイトステートコントローライネーブル 7～0

0	WSCの動作を禁止（端子ウェイトモード0）
1	WSCの動作を許可

ビット : 7 6 5 4 3 2 MDS2 MDS1 MDS0
 初期値 : 1 1 0 0 0 — * — * — *
 R/W : — — — — — R R R

モードセレクト 2 ~ 0

ビット 2 MD ₂	ビット 1 MD ₁	ビット 0 MD ₀	動作モード
0	0	0	—
		1	モード 1
	1	0	モード 2
		1	モード 3
1	0	0	モード 4
		1	モード 5
	1	0	モード 6
		1	モード 7

【注】* モード端子 (MD₂~MD₀) の状態により決定されます。

ビット : 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	UE	NNIEG	—	RAME
------	------	------	------	----	-------	---	------

初期値 : 0 0 0 0 1 0 1 1

R/W : R/W R/W R/W R/W R/W R/W — R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効

NMIエッジセレクト

0	NMI入力の立下がりエッジで割込み要求を発生
1	NMI入力の立上がりエッジで割込み要求を発生

ユーザビットイネーブル

0	C C R のビット6 (UI) を割込みマスクビットとして使用
1	C C R のビット6 (UI) をユーザビットとして使用

スタンバイタイマセレクト 2 ~ 0

ビット6	ビット5	ビット4	スタンバイタイマの指定
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート
		1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
		1	待機時間 = 65536ステート
1	0	0	待機時間 = 131072ステート
		1	待機時間 = 1024ステート
	1	—	使用禁止

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

BRCR バスリリースコントロールレジスタ H'F3

バスコントローラ

ビット : 7 6 5 4 3 2 1 0

A23E	A22E	A21E	—	—	—	—	BRLE
------	------	------	---	---	---	---	------

モード { 初期値 : 1 1 1 1 1 1 1 0
 1,2,5,7 R/W : — — — — — — — — R/W

モード { 初期値 : 1 1 1 1 1 1 1 0
 3,4,6 R/W : R/W R/W R/W — — — — R/W

アドレス23~21イネーブル

0	アドレス出力
1	上記以外の入出力端子

バスリリースイネーブル

0	バス権の外部に対する解放を禁止
1	バス権の外部に対する解放を許可

ISCR IRQセンスコントロールレジスタ H'F4

割込みコントローラ

ビット : 7 6 5 4 3 2 1 0

—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
---	---	--------	--------	--------	--------	--------	--------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

IRQ₅~IRQ₀センスコントロール

0	IRQ ₅ ~IRQ ₀ 入力の“Low”レベルで割込み要求を発生
1	IRQ ₅ ~IRQ ₀ 入力の立下がりエッジで割込み要求を発生

IER IRQイネーブルレジスタ H'F5

割込みコントローラ

ビット : 7 6 5 4 3 2 1 0

—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
---	---	-------	-------	-------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

IRQ₅~IRQ₀イネーブル

0	IRQ ₅ ~IRQ ₀ 割込みを禁止
1	IRQ ₅ ~IRQ ₀ 割込みを許可

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
IRQ ₅ ～IRQ ₀ フラグ								

ビット 5～0	セット／クリア条件
IRQ5F～IRQ0F	<p>[クリア条件]</p> <p>(1) IRQ_nF = “1”の状態で IRQ_nF をリードした後、IRQ_nF に“0”をライトしたとき</p> <p>(2) IRQ_nSC = “0”、IRQn入力が “High” レベルの状態で割込み例外処理を実行したとき</p> <p>(3) IRQ_nSC = “1”の状態で IRQ_n 割込み例外処理を実行したとき</p>
0	<p>[セット条件]</p> <p>(1) IRQ_nSC = “0”の状態で IRQn入力が “Low” レベルになったとき</p> <p>(2) IRQ_nSC = “1”の状態で IRQn入力に立下がりエッジが発生したとき</p>
1	

(n = 5～0)

【注】* フラグをクリアするための“0”ライトのみ可能です。

IPRA インタラプトプライオリティレジスタ A

H' F8

割込みコントローラ

ビット : 7 6 5 4 3 2 1 0

IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
-------	-------	-------	-------	-------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

プライオリティレベルA7~A0

0	プライオリティレベル 0 (非優先)
1	プライオリティレベル 1 (優先)

●割込み要因と各ビットの対応

IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
		割込み 要 因	IRQ ₀	IRQ ₁	IRQ ₂ 、 IRQ ₃	IRQ ₄ 、 IRQ ₅	WDT、 リフレッシュ コントローラ	ITU チャネル0	ITU チャネル1

IPRB インタラプトプライオリティレジスタ B

H' F9

割込みコントローラ

ビット : 7 6 5 4 3 2 1 0

IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—
-------	-------	-------	---	-------	-------	-------	---

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

プライオリティレベルB7~B5、B3~B1

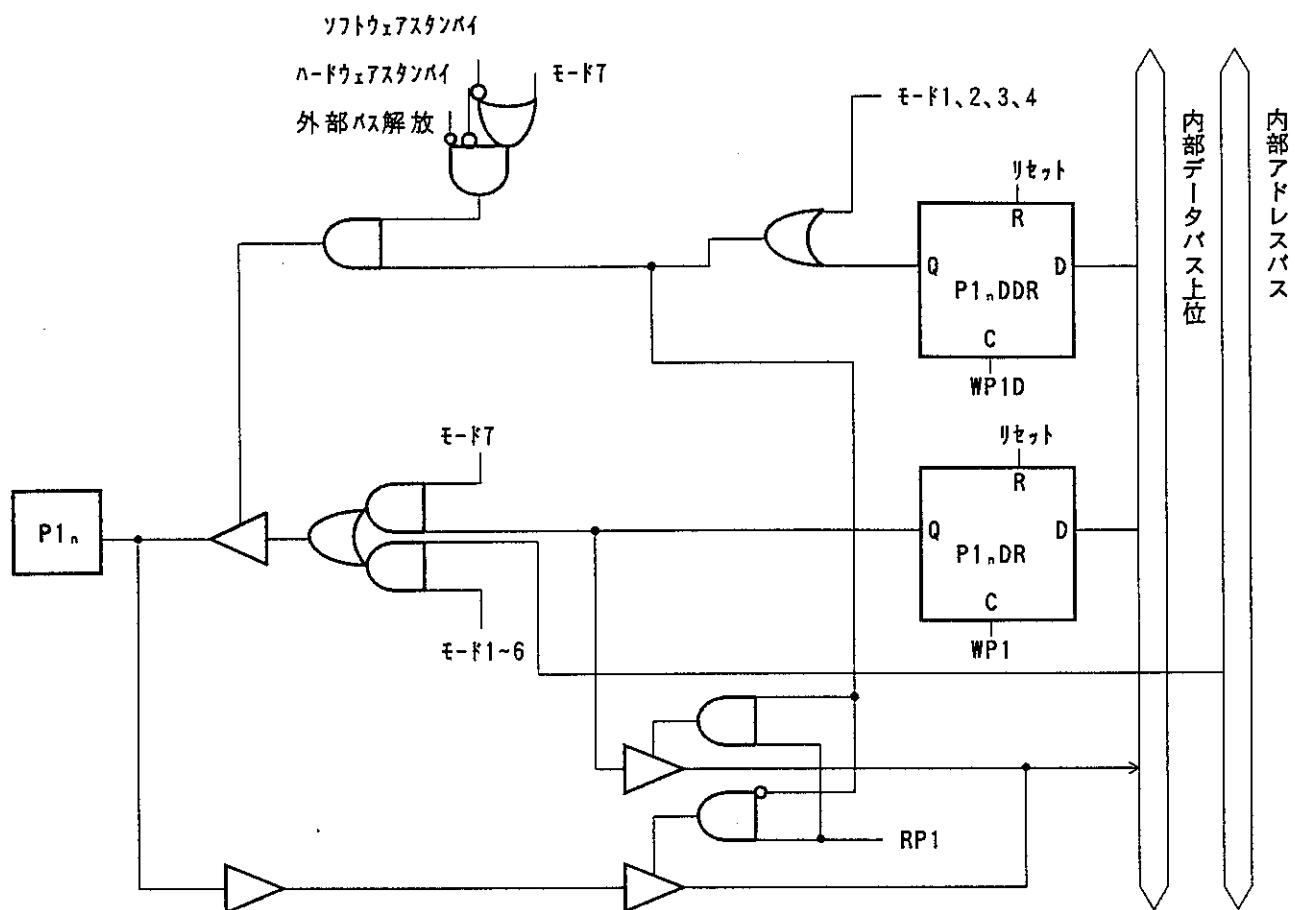
0	プライオリティレベル 0 (非優先)
1	プライオリティレベル 1 (優先)

●割込み要因と各ビットの対応

IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—
		割込み 要 因	ITU チャネル3	ITU チャネル4	DMAC	—	SCI チャネル0	SCI チャネル1	A/D 変換器

C. I/O ポートブロック図

C.1 ポート1ブロック図



《記号説明》

WP1D : DDRライト

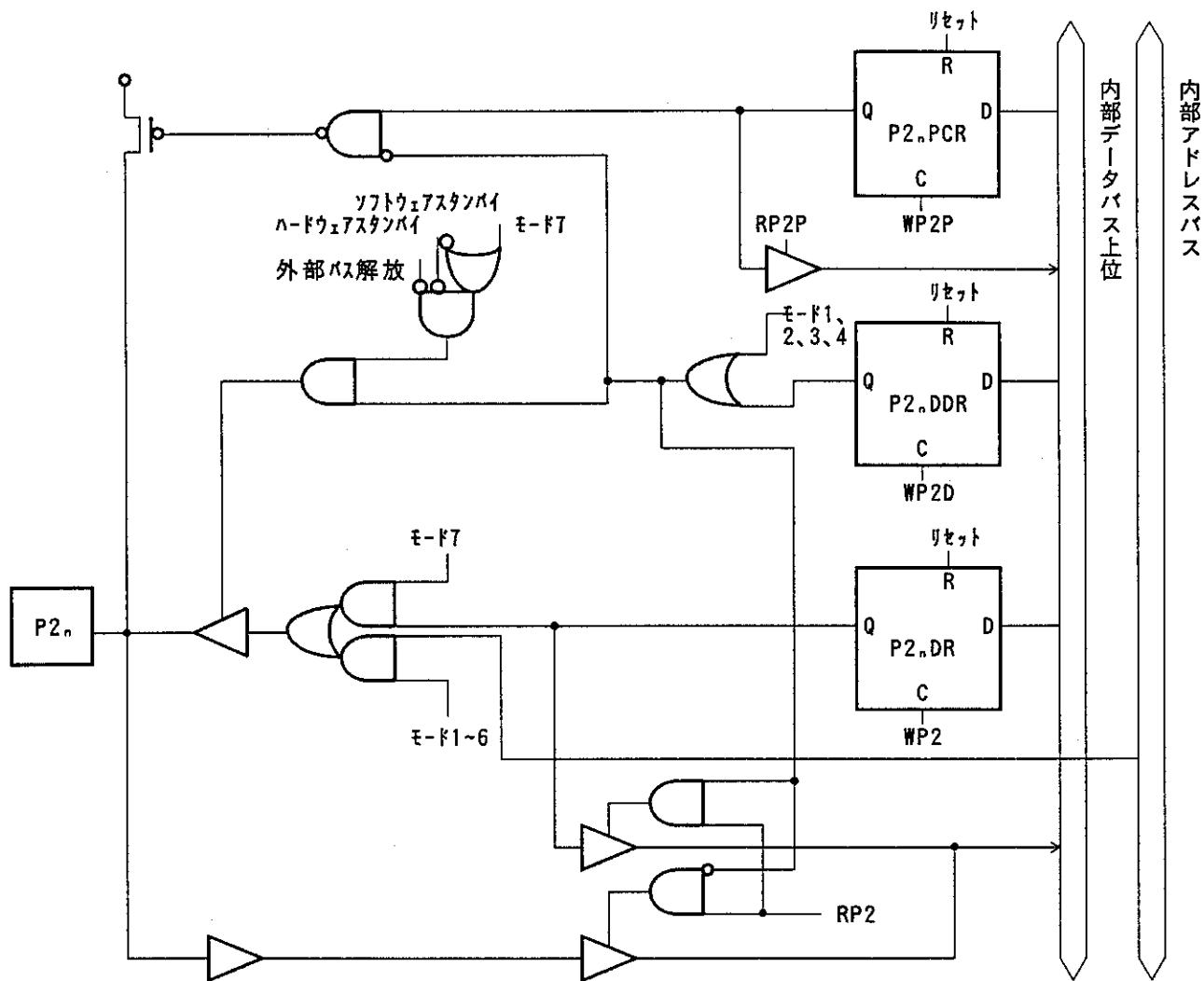
WP1 : ポートライト

RP1 : ポートリード

$n = 0 \sim 7$

図C.1 ポート1ブロック図

C.2 ポート2ブロック図



《記号說明》

WP2P：PCRライト

R P 2 P : P C R リード

WP2D: DDRライト

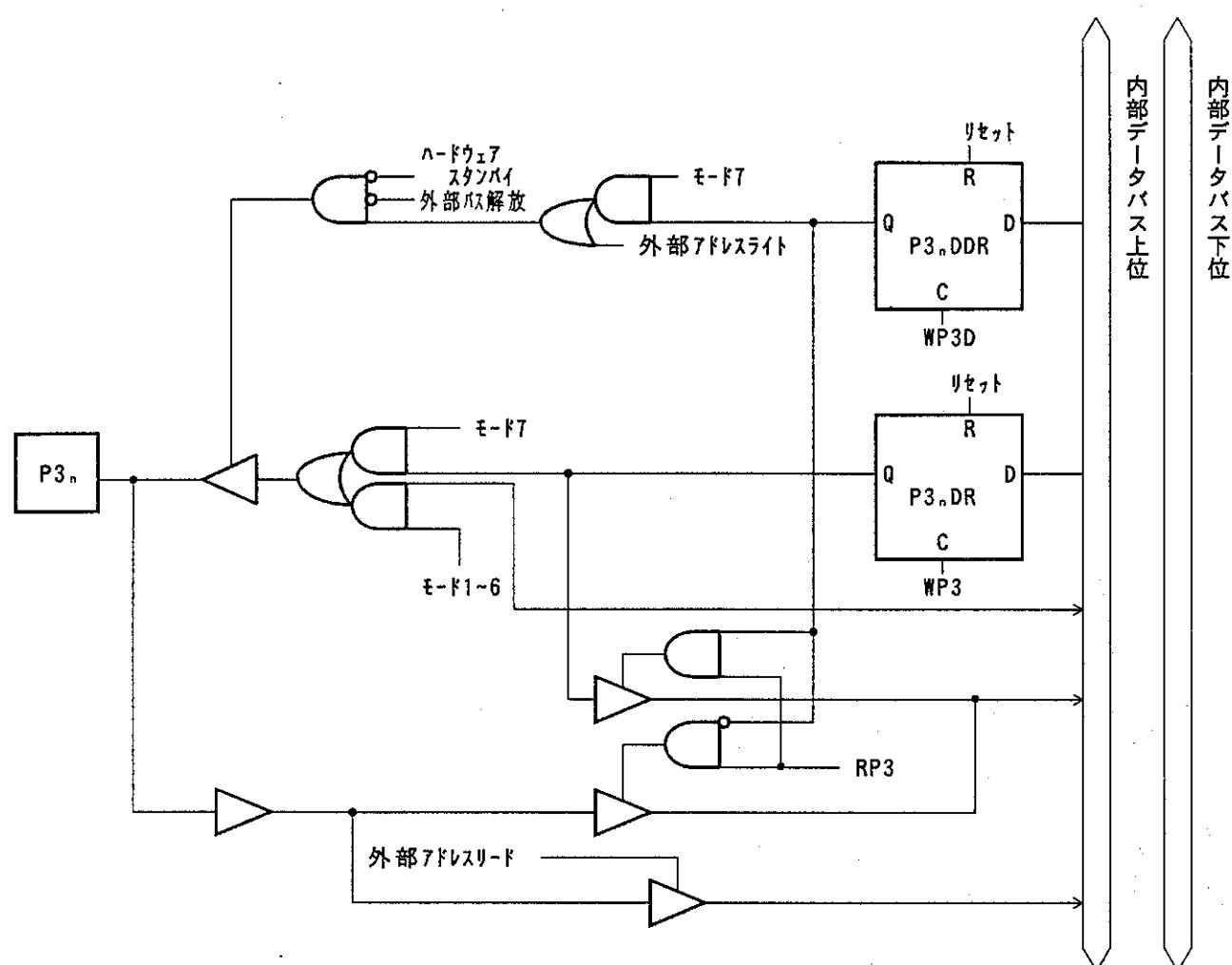
WP2 : ポートライト

R P 2 ボートリー

$$n = 0 \sim 7$$

図C.2 ポート2ブロック図

C.3 ポート3ブロック図



《記号說明》

WP3D: DDRライト

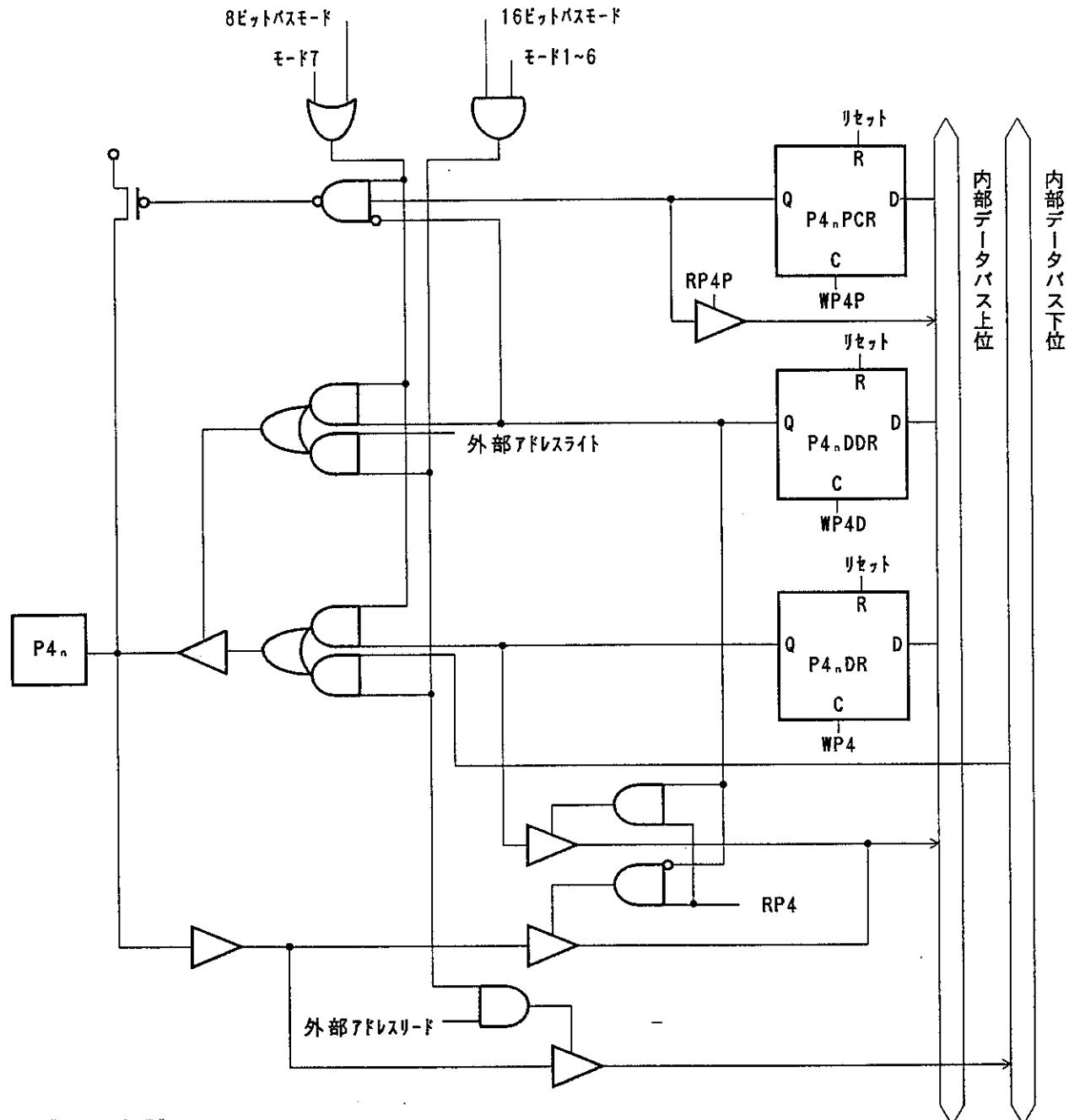
WP3 : ポートライト

RP3 : ポートリード

$$n = 0 \sim 7$$

図 C.3 ポート3ブロック図

C.4 ポート4 ブロック図



《記号説明》

WP4P : PCRライト

RP4P : PCRリード

WP4D : DDRライト

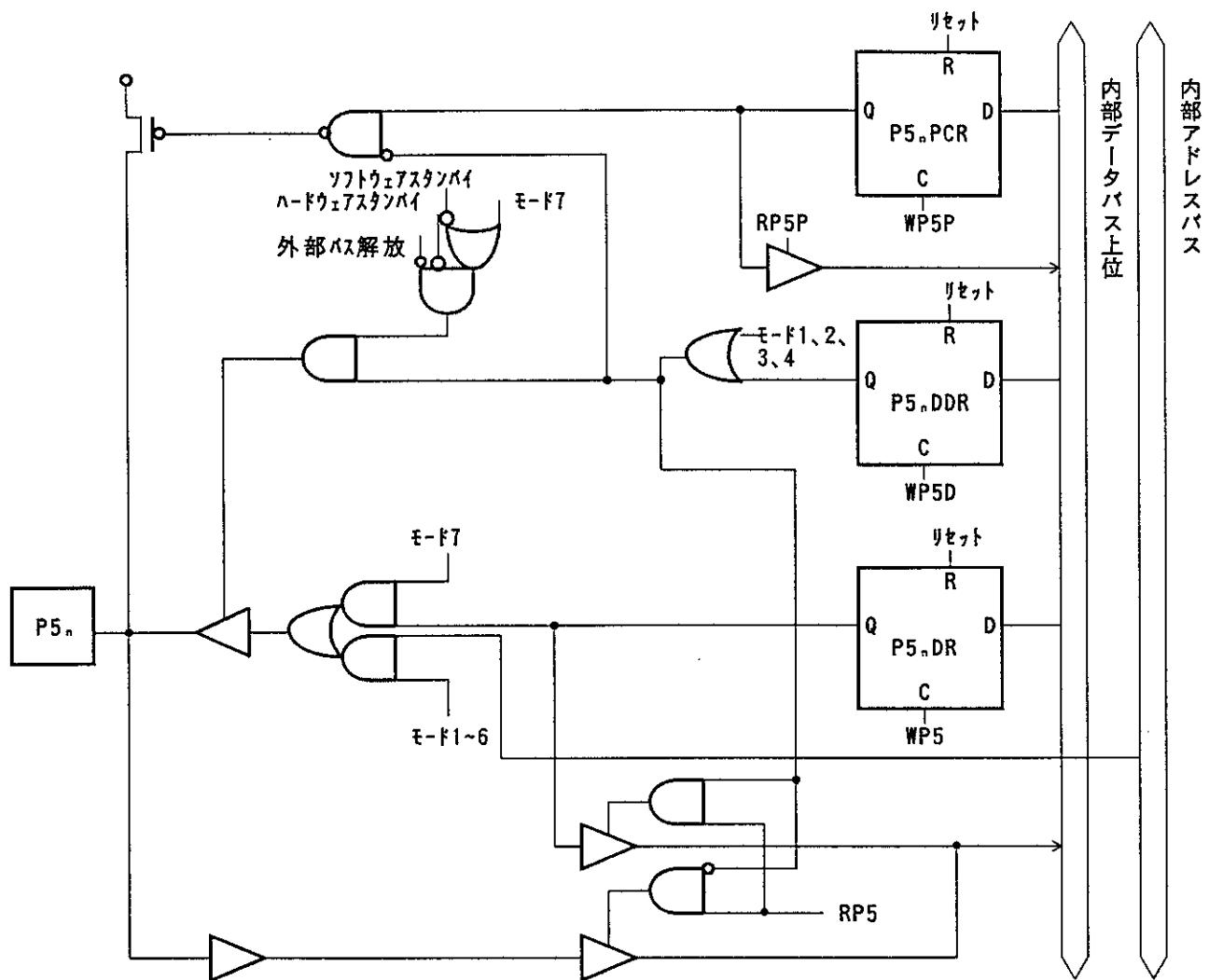
WP4 : ポートライト

RP4 : ポートリード

n = 0 ~ 7

図C.4 ポート4 ブロック図

C.5 ポート5ブロック図



《記号說明》

WP5P : PCRライト

RP5P : PCRリード

WP5D:DDRライト

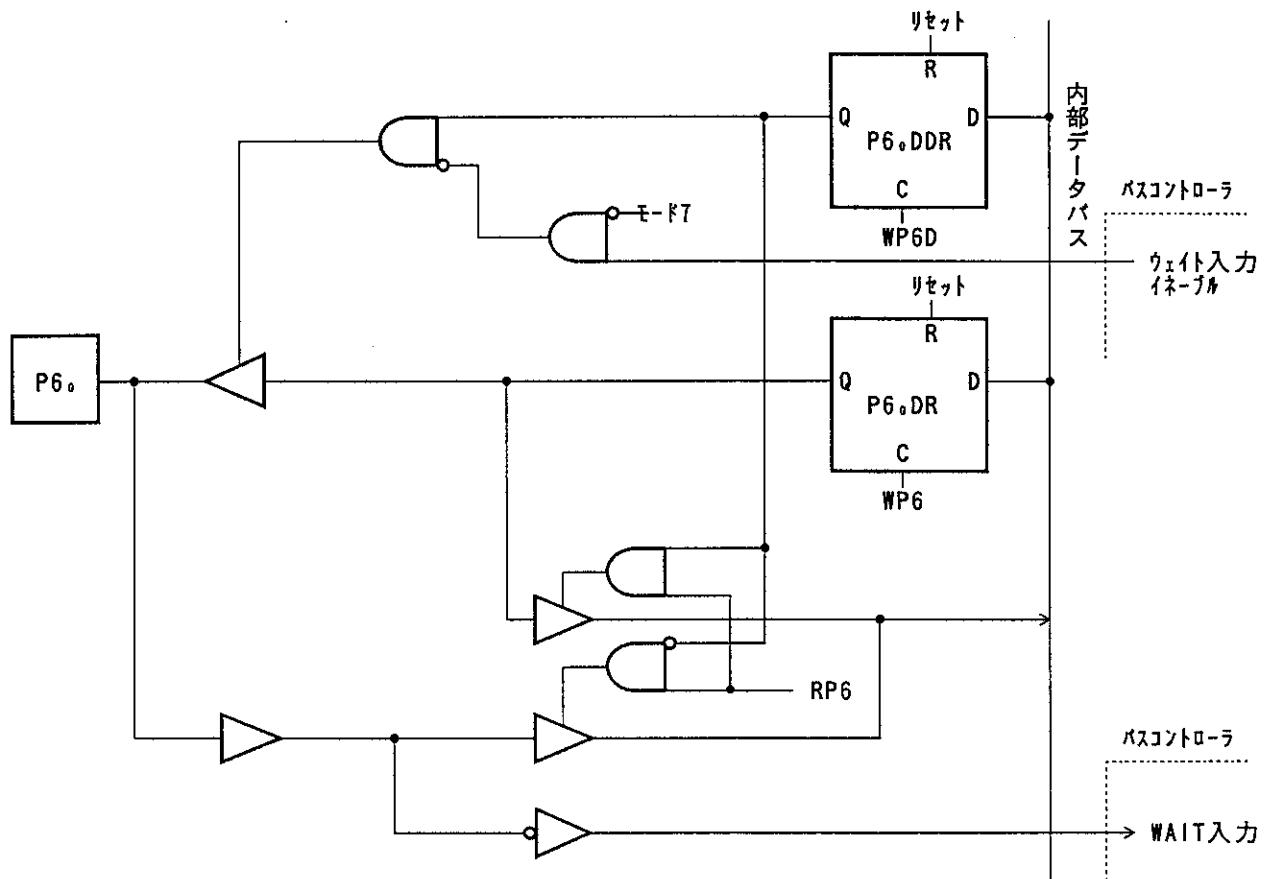
WP5：ポートライト

RP5 : ポートリード

$n = 0 \sim 3$

図 C.5 ポート5ブロック図

C.6 ポート6ブロック図



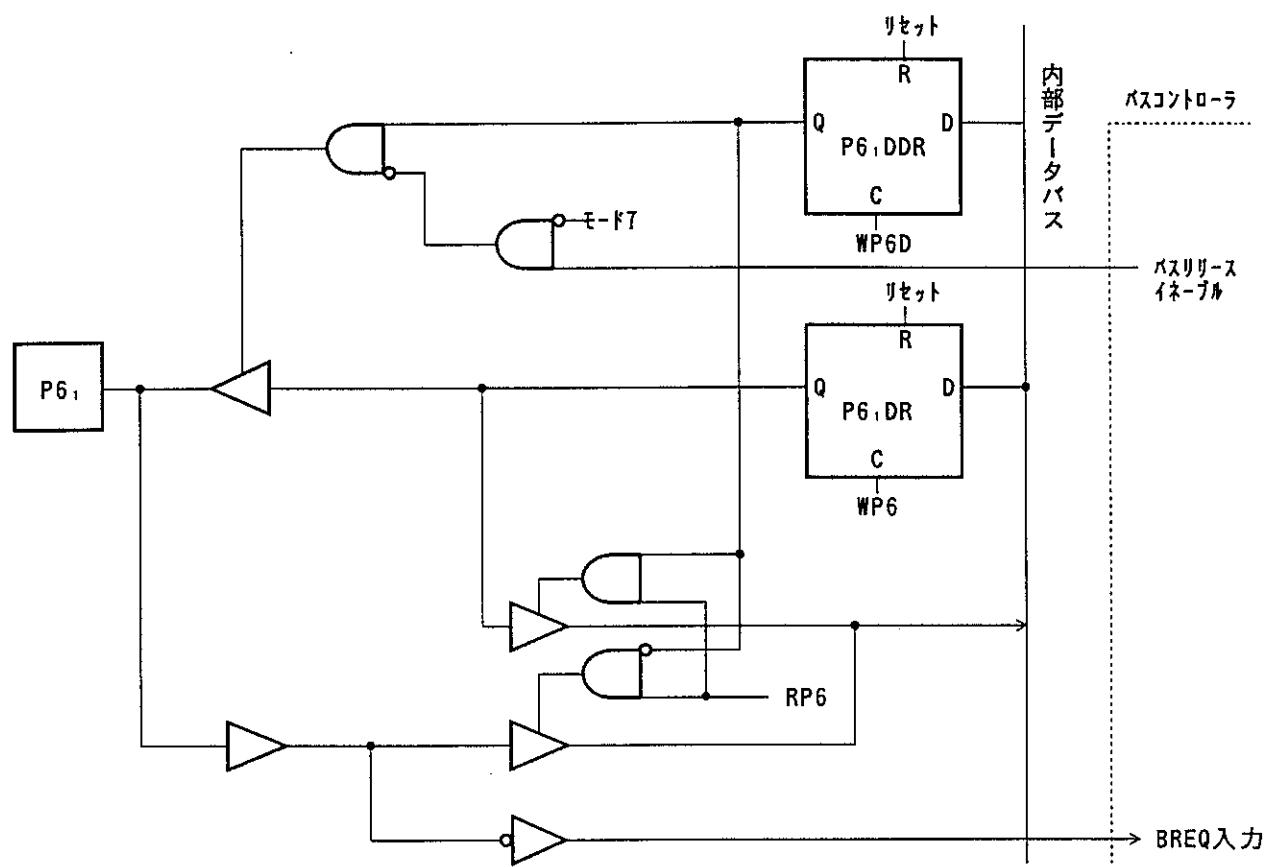
《記号説明》

WP6D : DDRライト

WP6 : ポートライト

RP6 : ポートリード

図C.6 (a) ポート6ブロック図 (P6.端子)



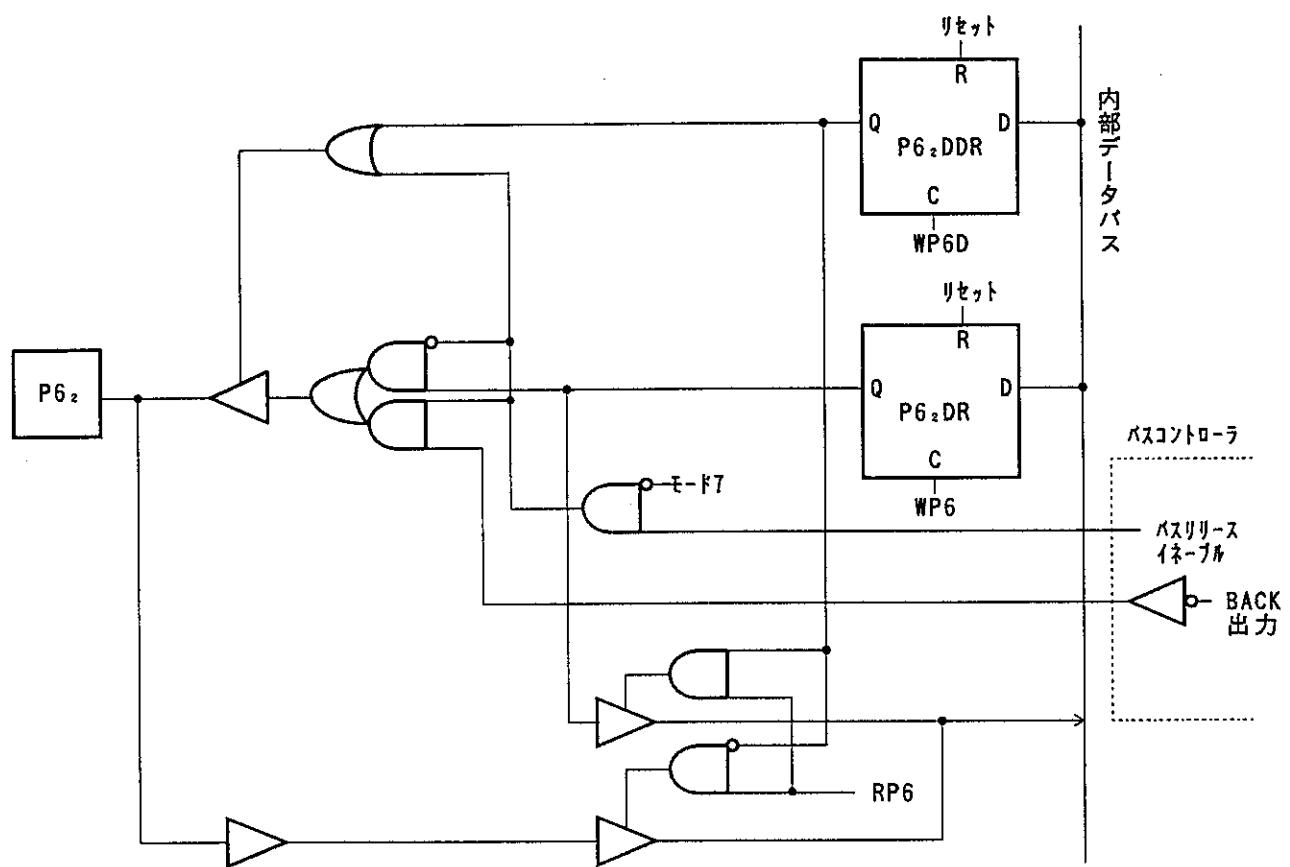
《記号説明》

WP6D : DDRライト

WP6 : ポートライト

RP6 : ポートリード

図C.6 (b) ポート6ブロック図 (P6₁端子)



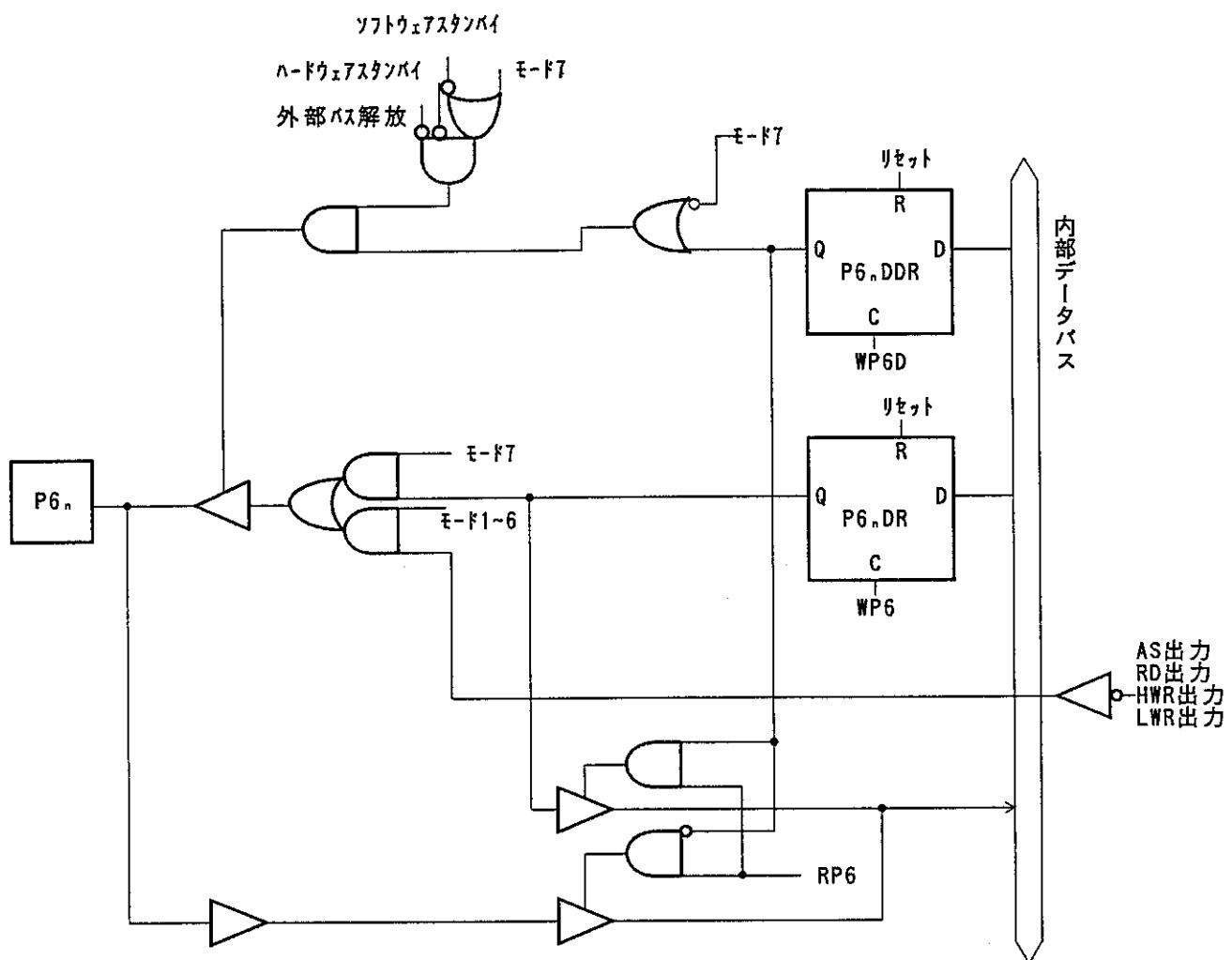
《記号説明》

WP6D : DDRライト

WP6 : ポートライト

RP6 : ポートリード

図C.6 (c) ポート6ブロック図 (P6z端子)



《記号説明》

WP6D : DDRライト

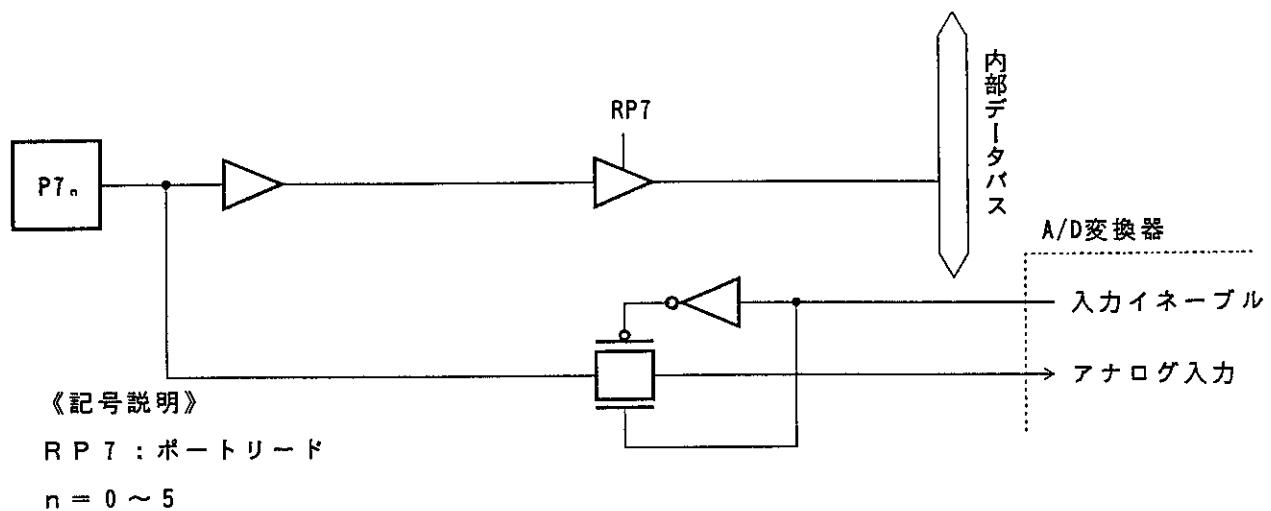
WP6 : ポートライト

RP6 : ポートリード

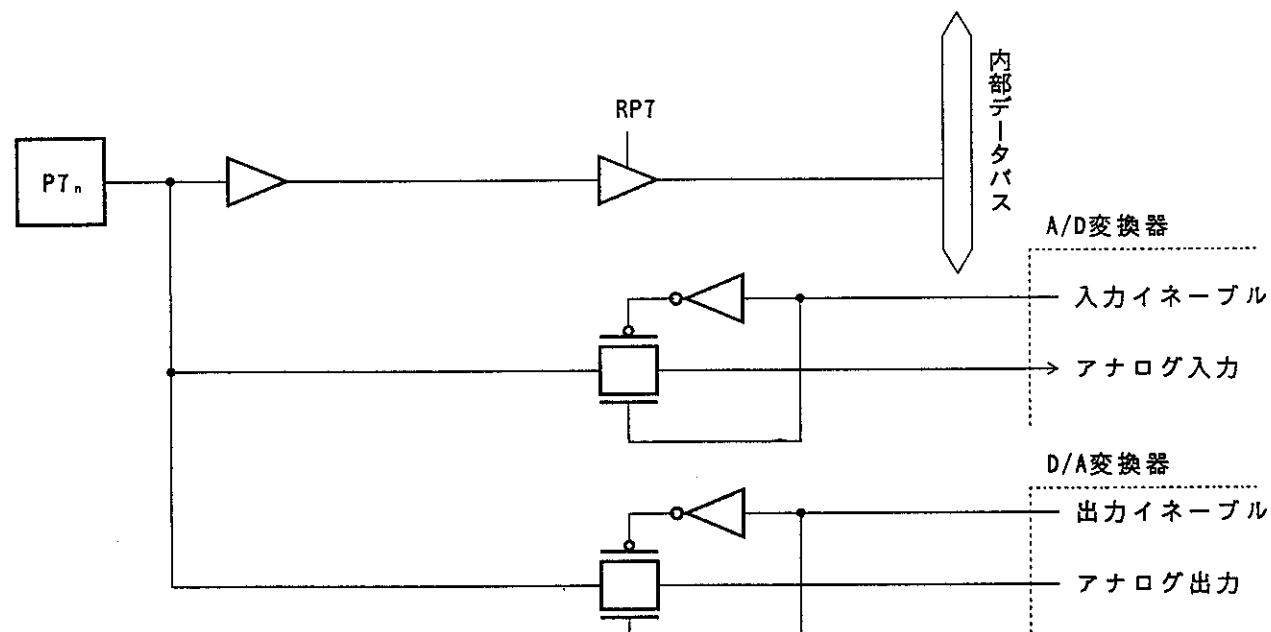
$n = 6 \sim 3$

図C.6 (d) ポート6ブロック図 (P6₆～P6₃端子)

C.7 ポート7ブロック図

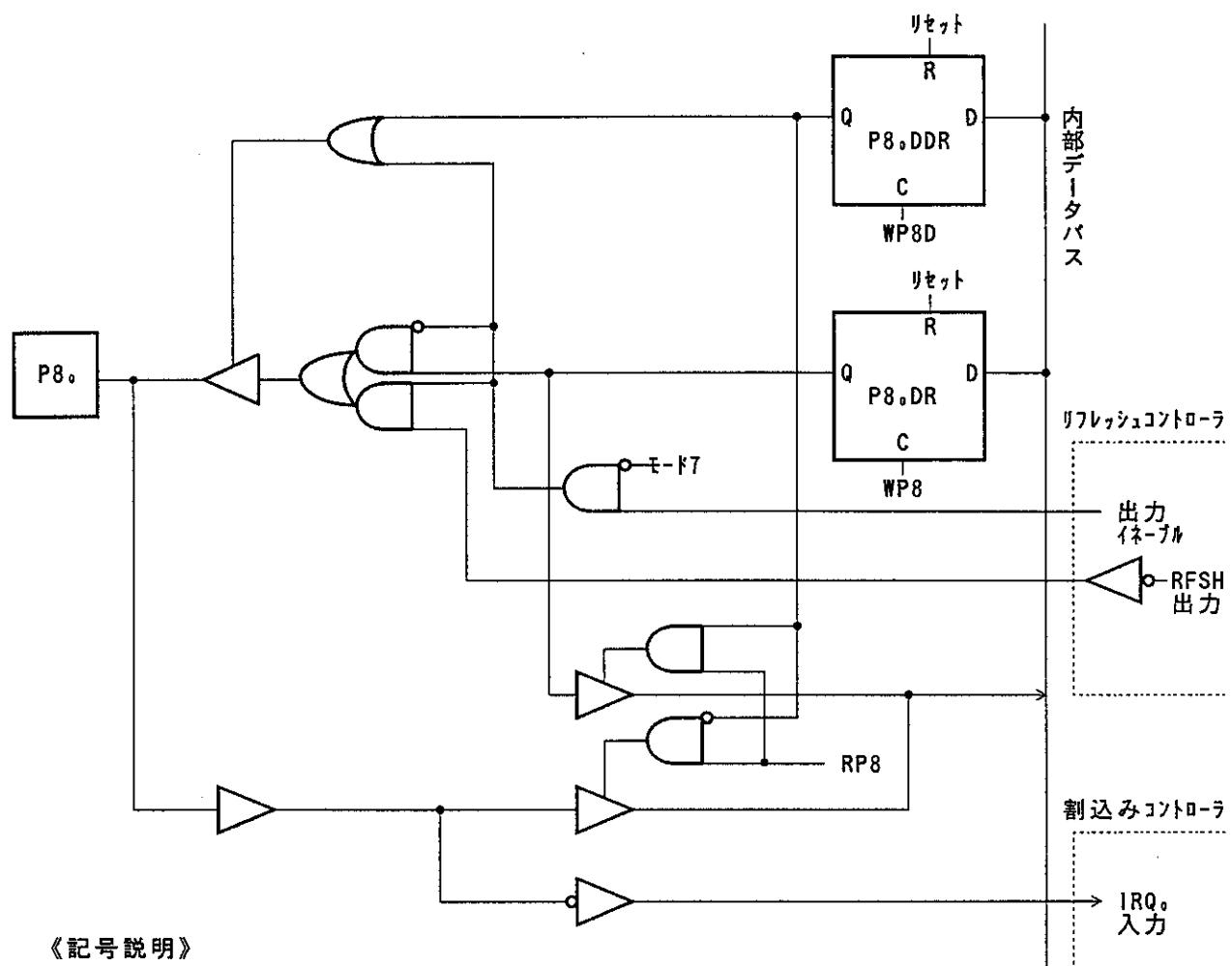


C.7 (a) ポート7ブロック図 (P7_n～P7_s端子)



C.7 (b) ポート7ブロック図 (P7_n～P7_s端子)

C.8 ポート8ブロック図



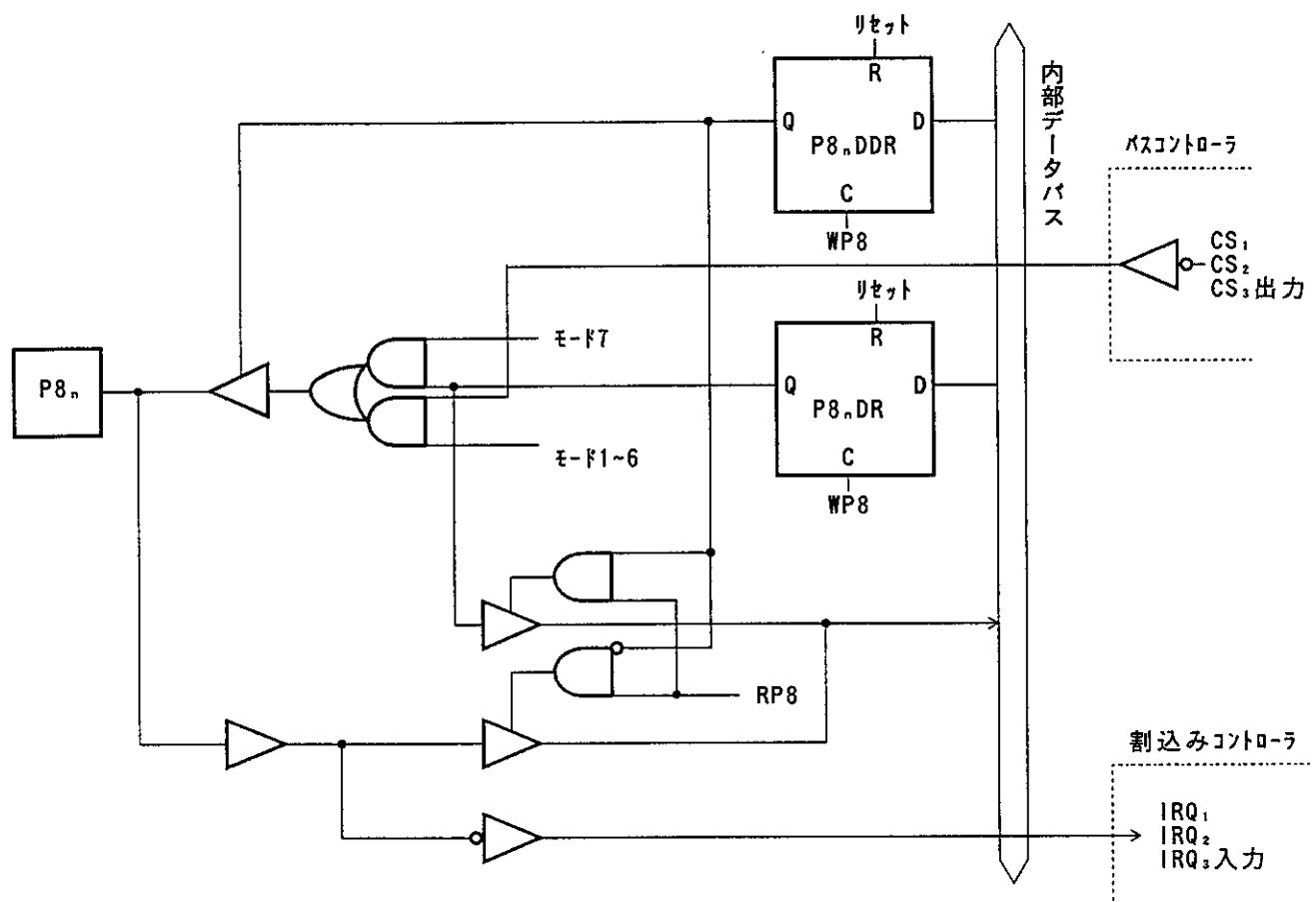
《記号説明》

WP8D : DDRライト

WP8 : ポートライト

RP8 : ポートリード

図C.8 (a) ポート8ブロック図 (P8.端子)



《記号説明》

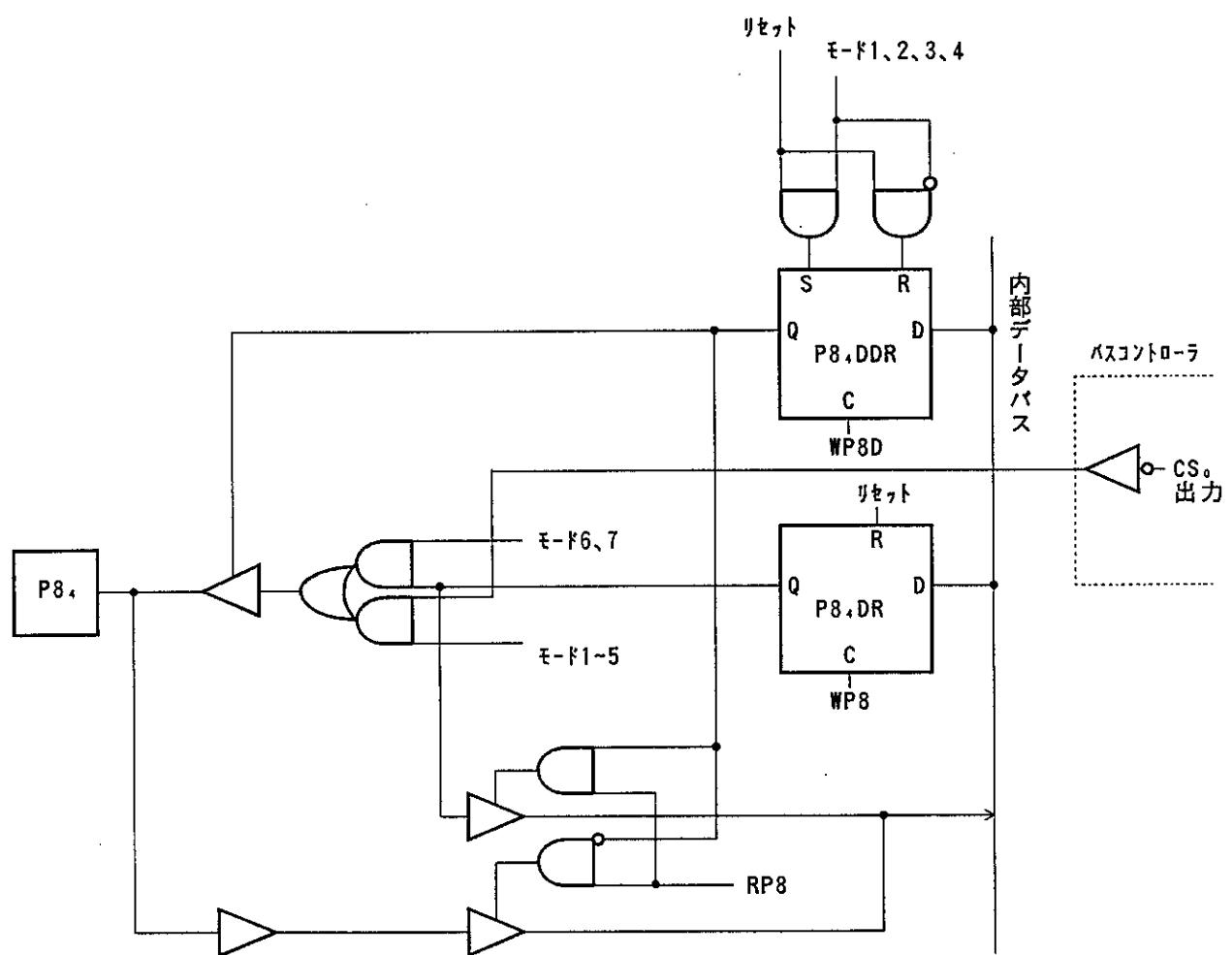
WP8D : DDRライト

WP8 : ポートライト

RP8 : ポートリード

n = 1 ~ 3

図C.8 (b) ポート8 ブロック図 (P8₁、P8₂、P8₃端子)



《記号説明》

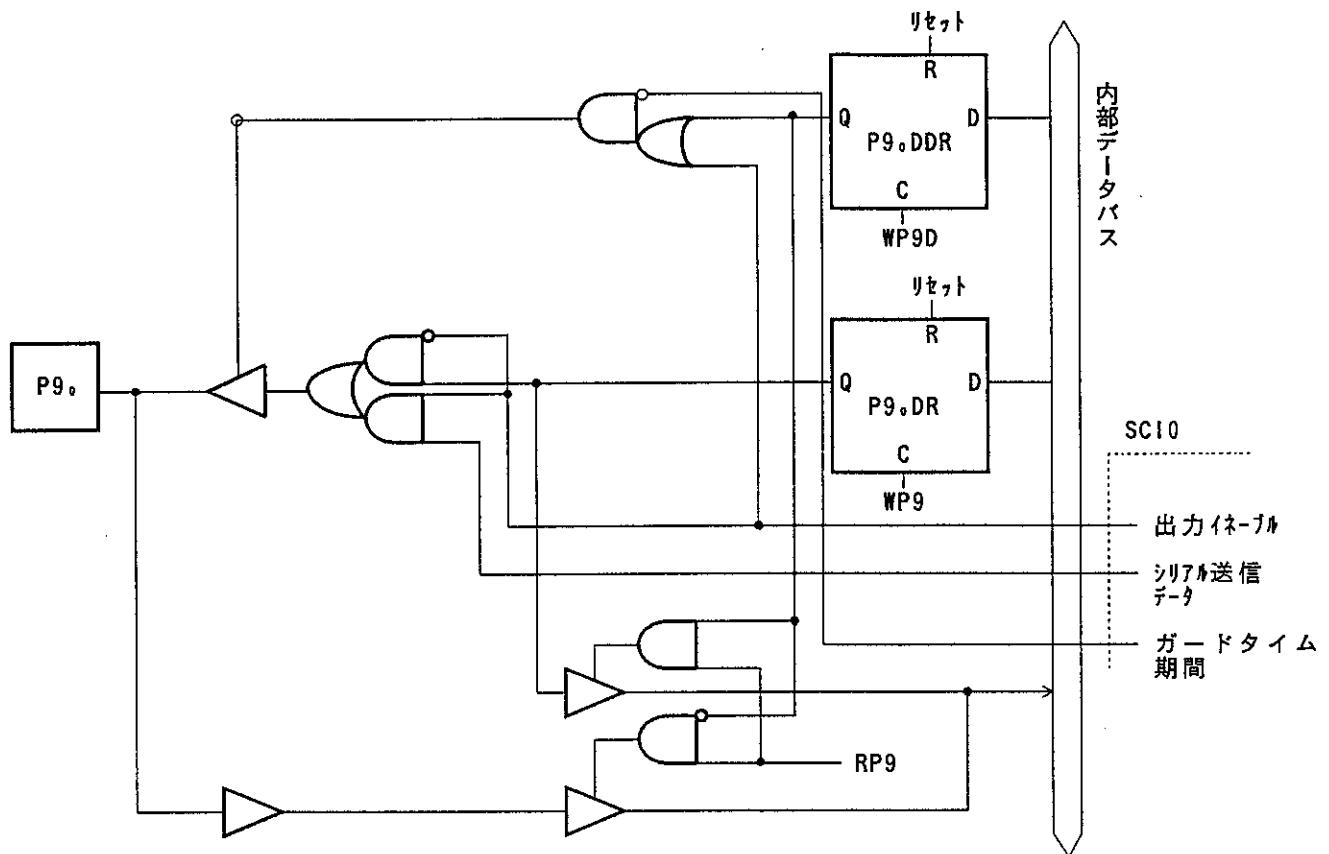
WP8D : DDRライト

WP8 : ポートライト

RP8 : ポートリード

図C.8 (c) ポート8 ブロック図 (P84端子)

C.9 ポート9ブロック図



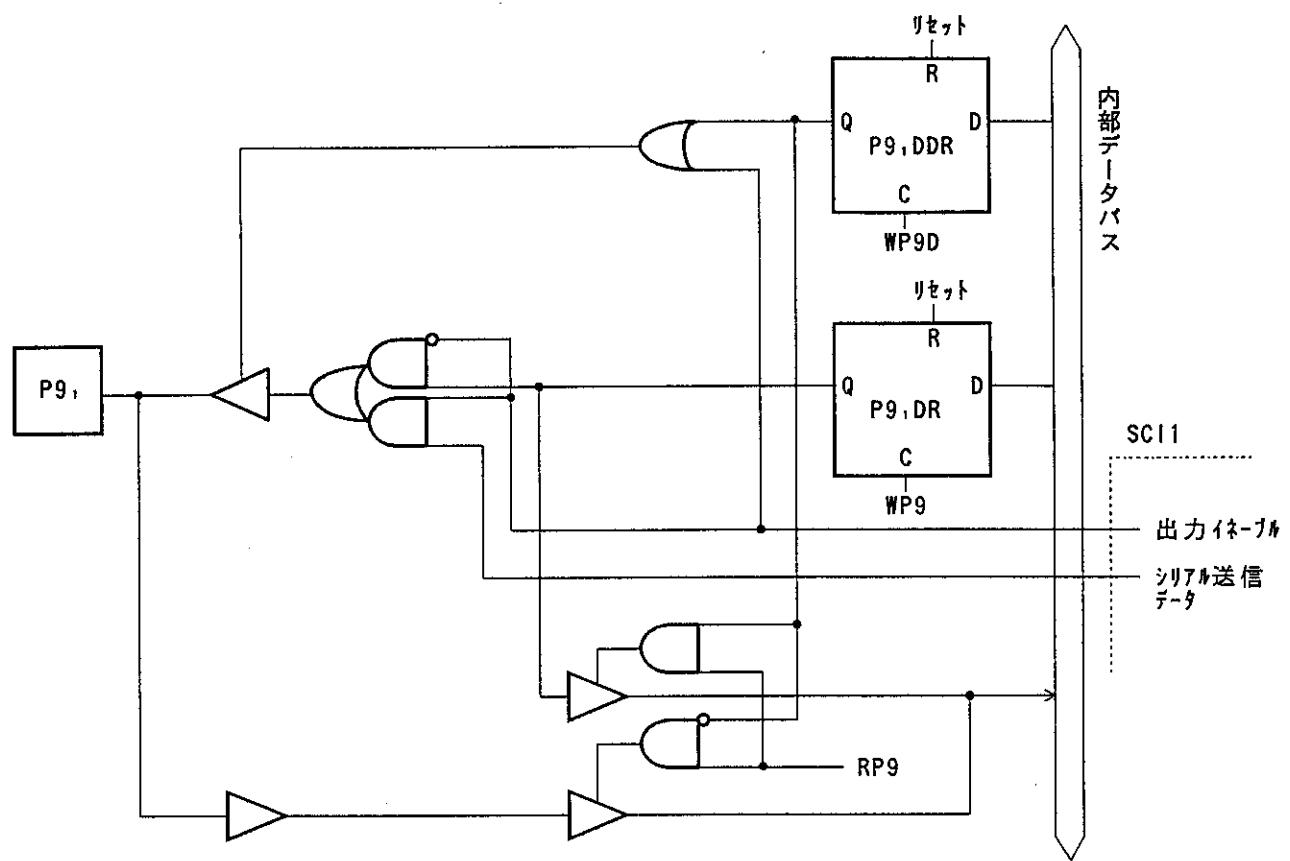
《記号説明》

WP9D : DDRライト

WP9 : ポートライト

RP9 : ポートリード

図 C.9 (a) ポート 9 ブロック図 (P9。端子)



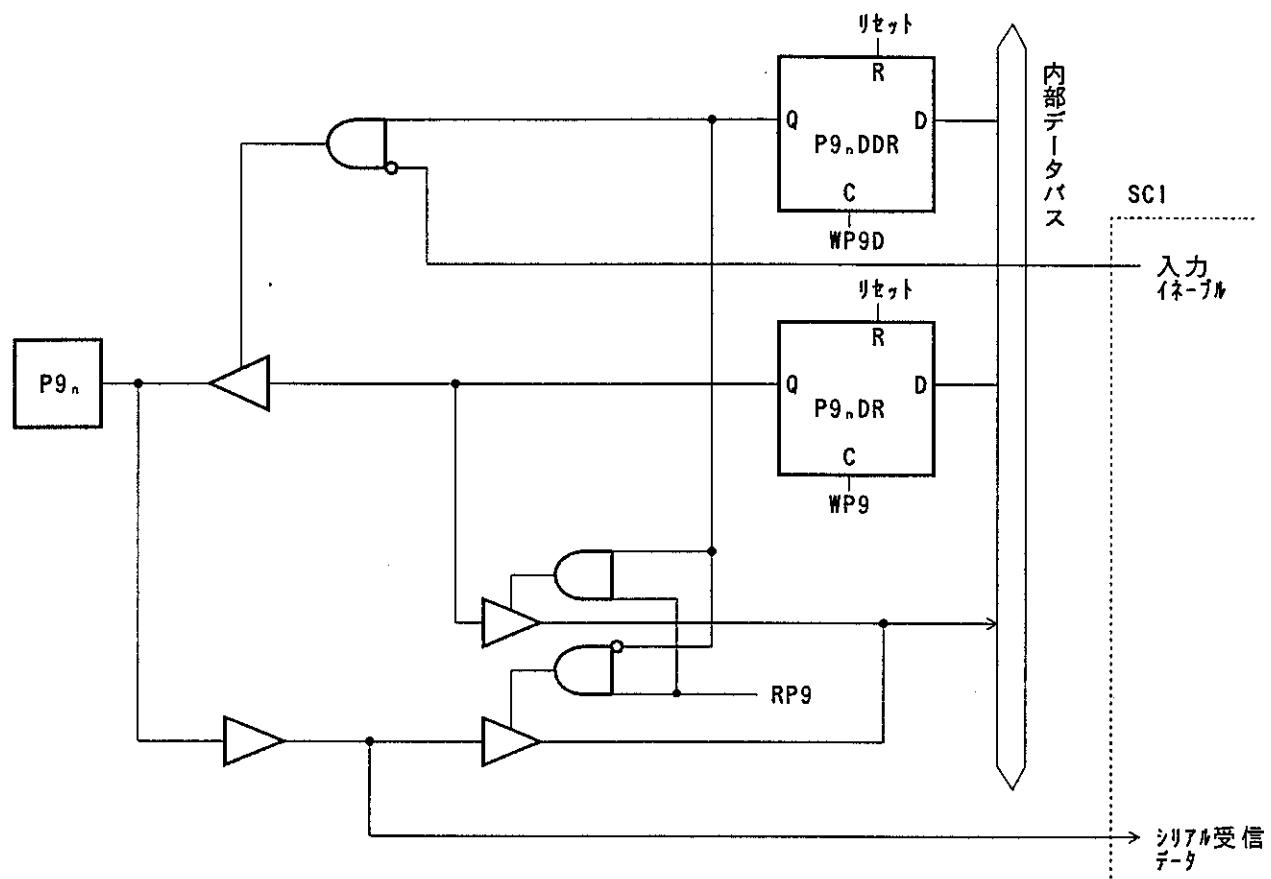
《記号説明》

WP9D : DDRライト

WP9 : ポートライト

RP9 : ポートリード

図C.9 (b) ポート9ブロック図 (P91端子)



《記号説明》

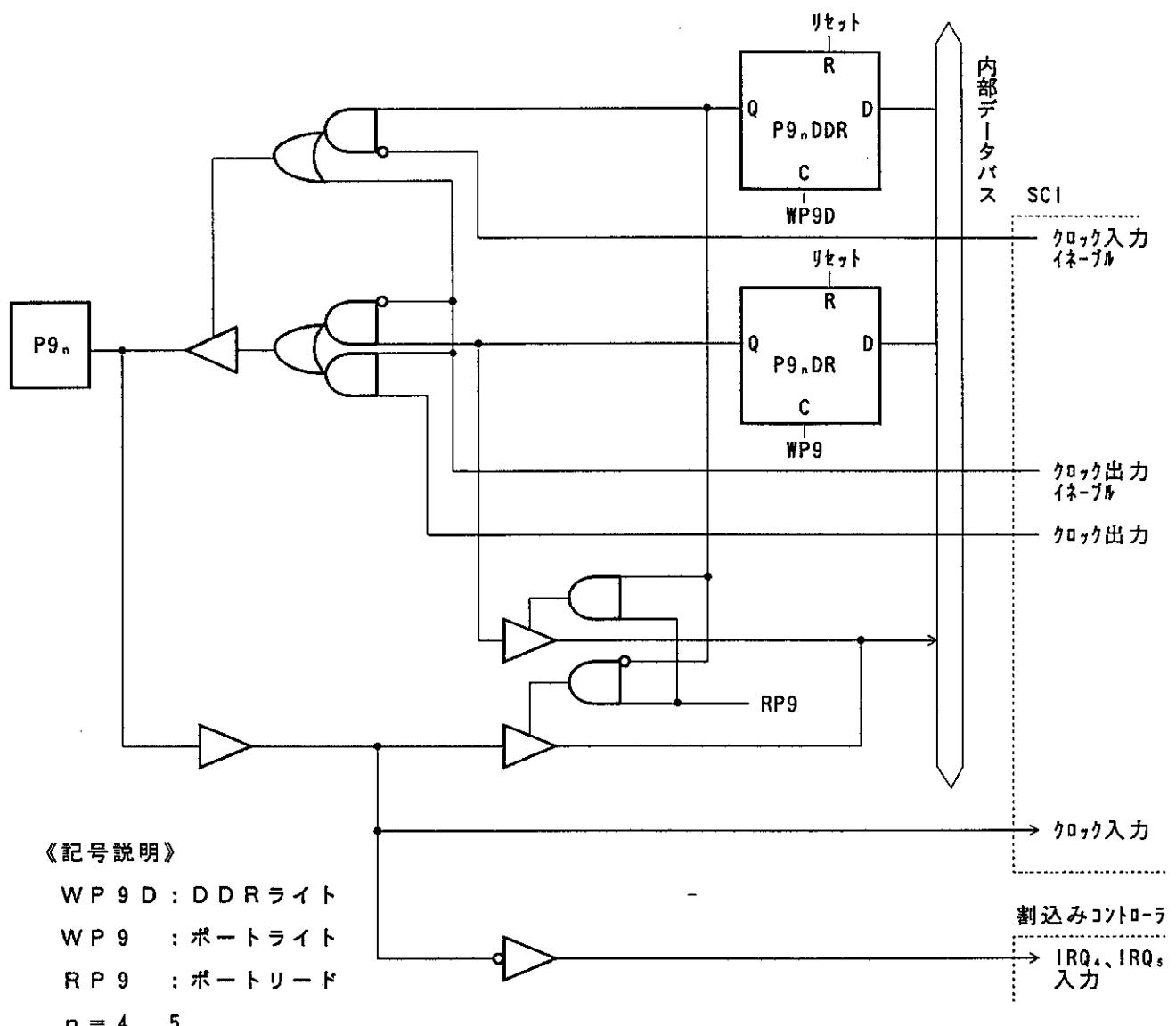
WP9D : DDRライト

WP9 : ポートライト

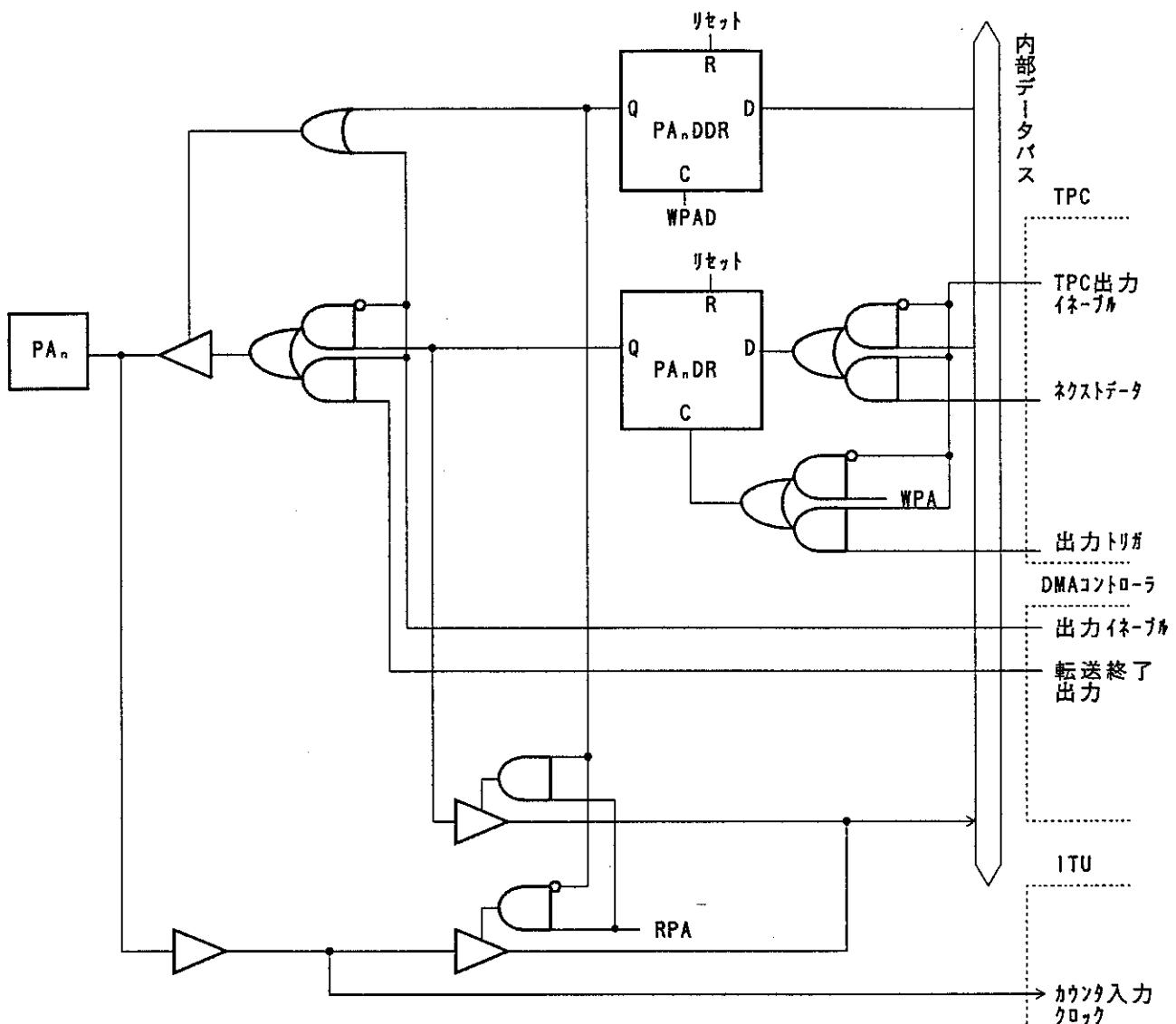
RP9 : ポートリード

$n = 2, 3$

図C.9 (c) ポート9ブロック図 (P9₂, P9₃端子)



C. 10 ポートAブロック図



《記号說明》

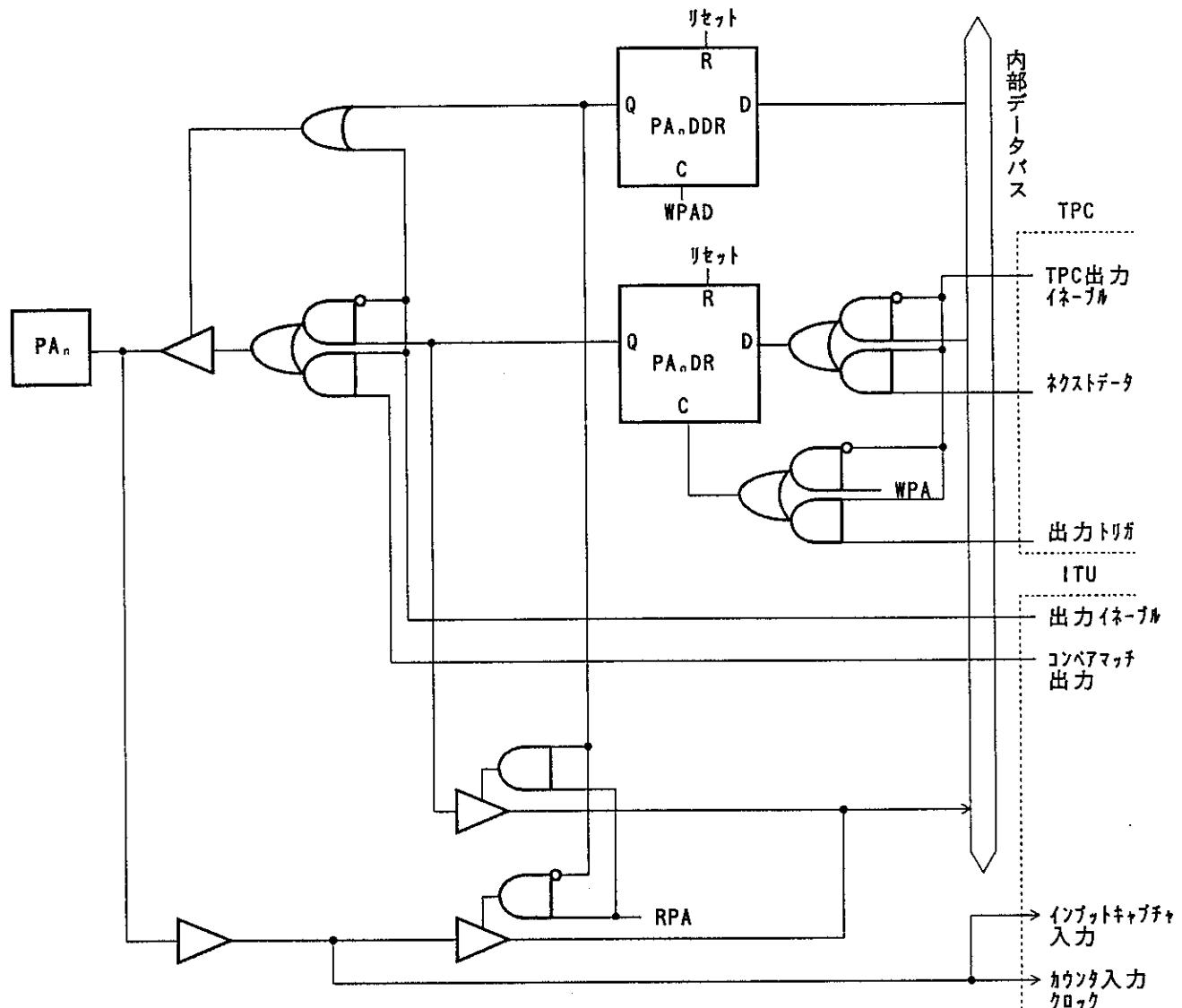
WPAD : DDRライト

WPA : ポートライト

RPA : ポートリード

$$n = 0, 1$$

図 C.10 (a) ポート A ブロック図 (PA₀、PA₁ 端子)



《記号說明》

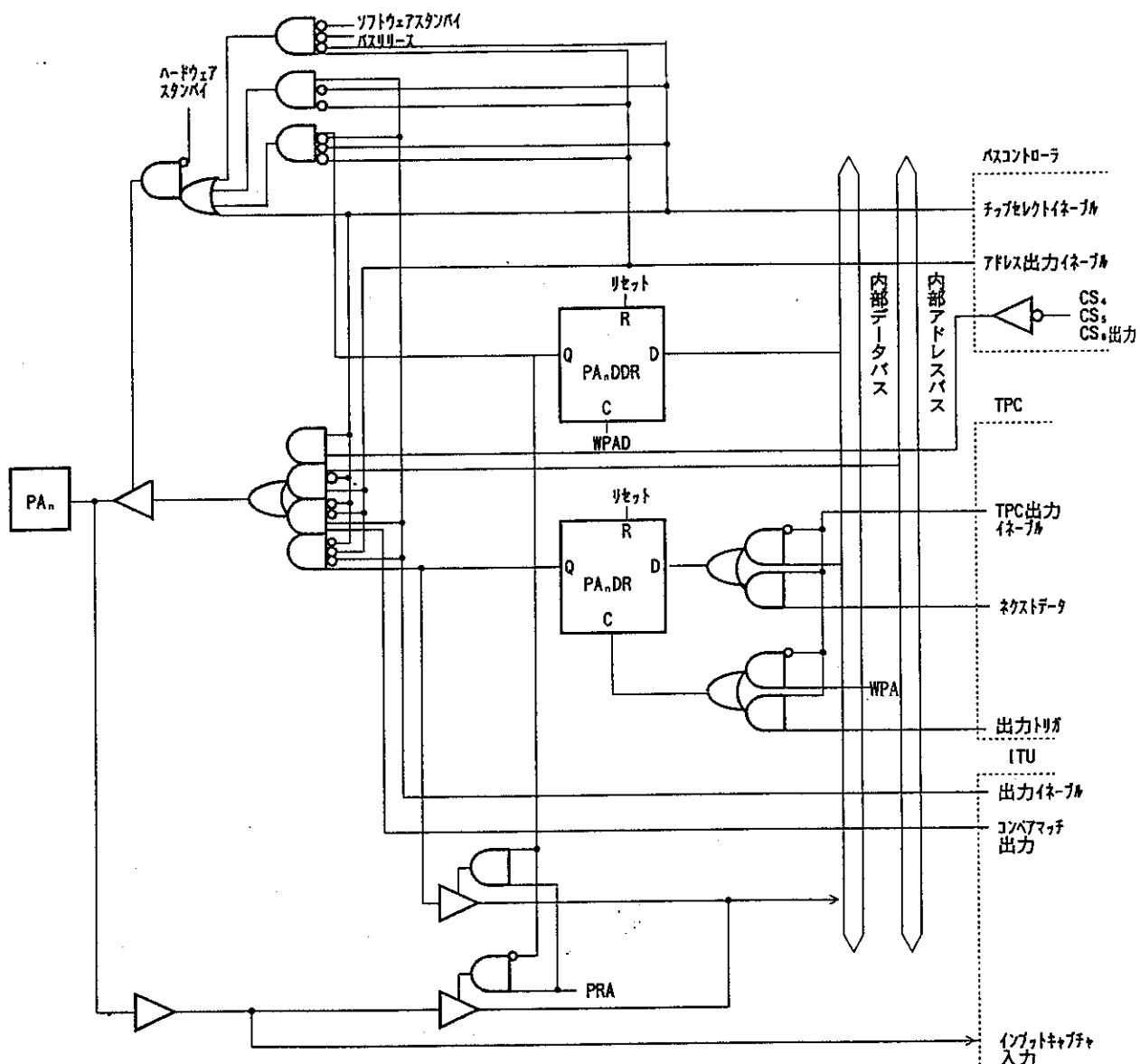
WPAD : DDRライト

WPA : ポートライト

RPA : ポートリード

$n = 2, 3$

図 C.10 (b) ポート A ブロック図 (PA_2 、 PA_3 端子)



《記号説明》

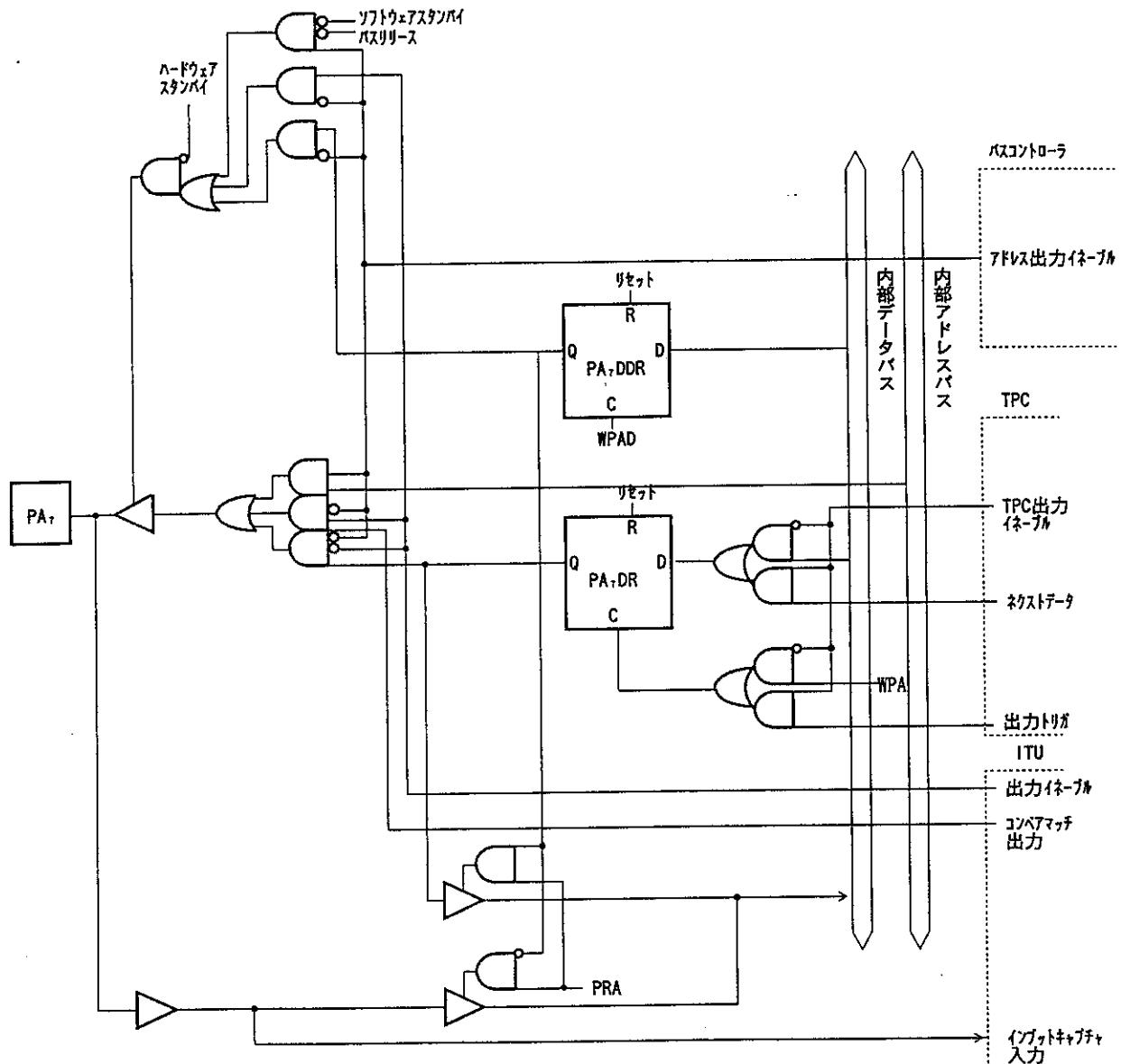
WPAD : DDRライト

WPA : ポートライト

RPA : ポートリード

$n = 4 \sim 6$

図C.10 (c) ポートAブロック図 (PA₄~PA₆端子)



《記号説明》

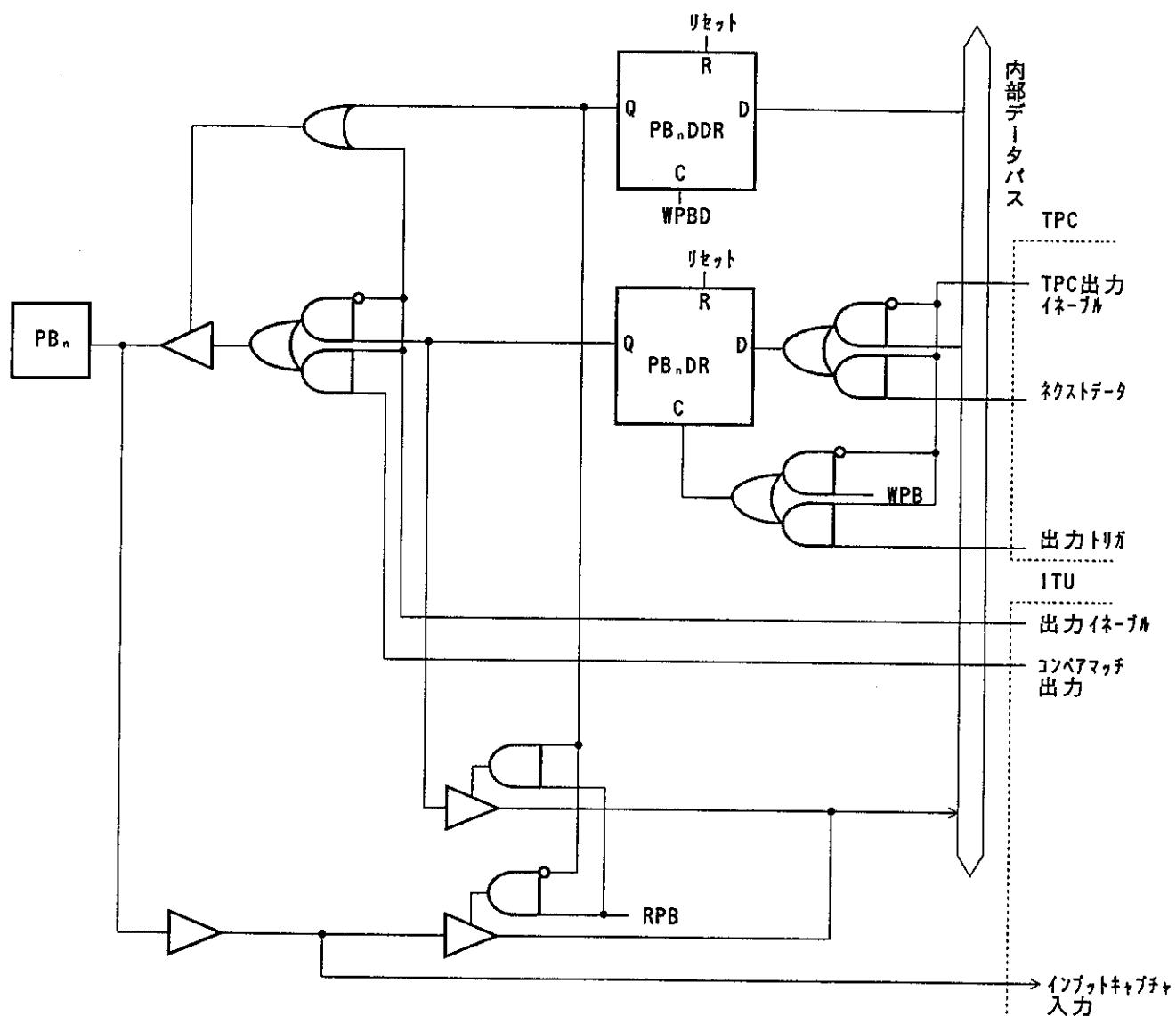
WPAD : DDRライト

WPA : ポートライト

RPA : ポートリード

図C.10 (d) ポートAブロック図 (PA₁端子)

C.11 ポートB ブロック図



《記号説明》

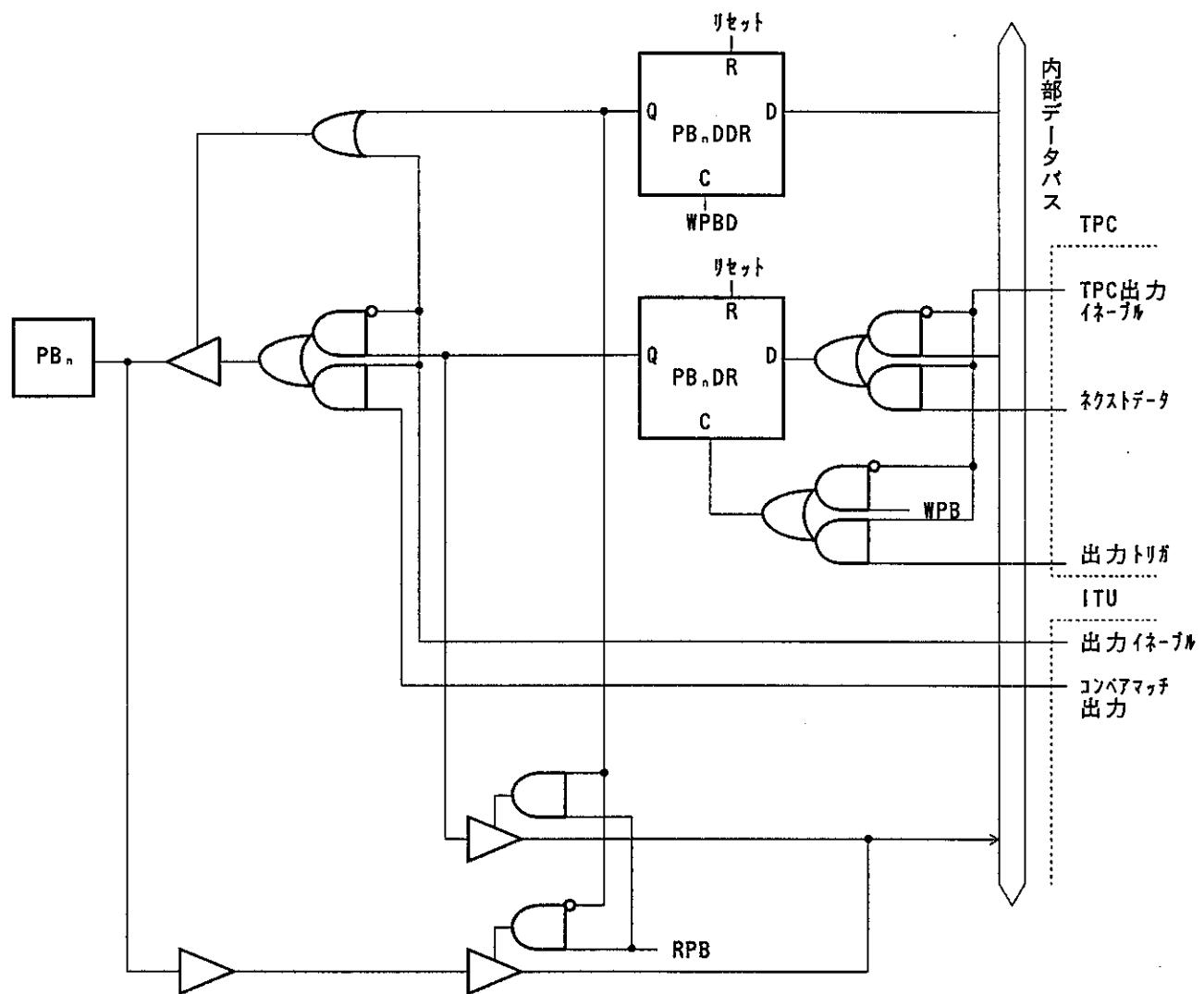
WPBD : DDRライト

WPB : ポートライト

RPB : ポートリード

$n = 0 \sim 3$

図 C.11 (a) ポートB ブロック図 (PB₀~PB₃端子)



《記号説明》

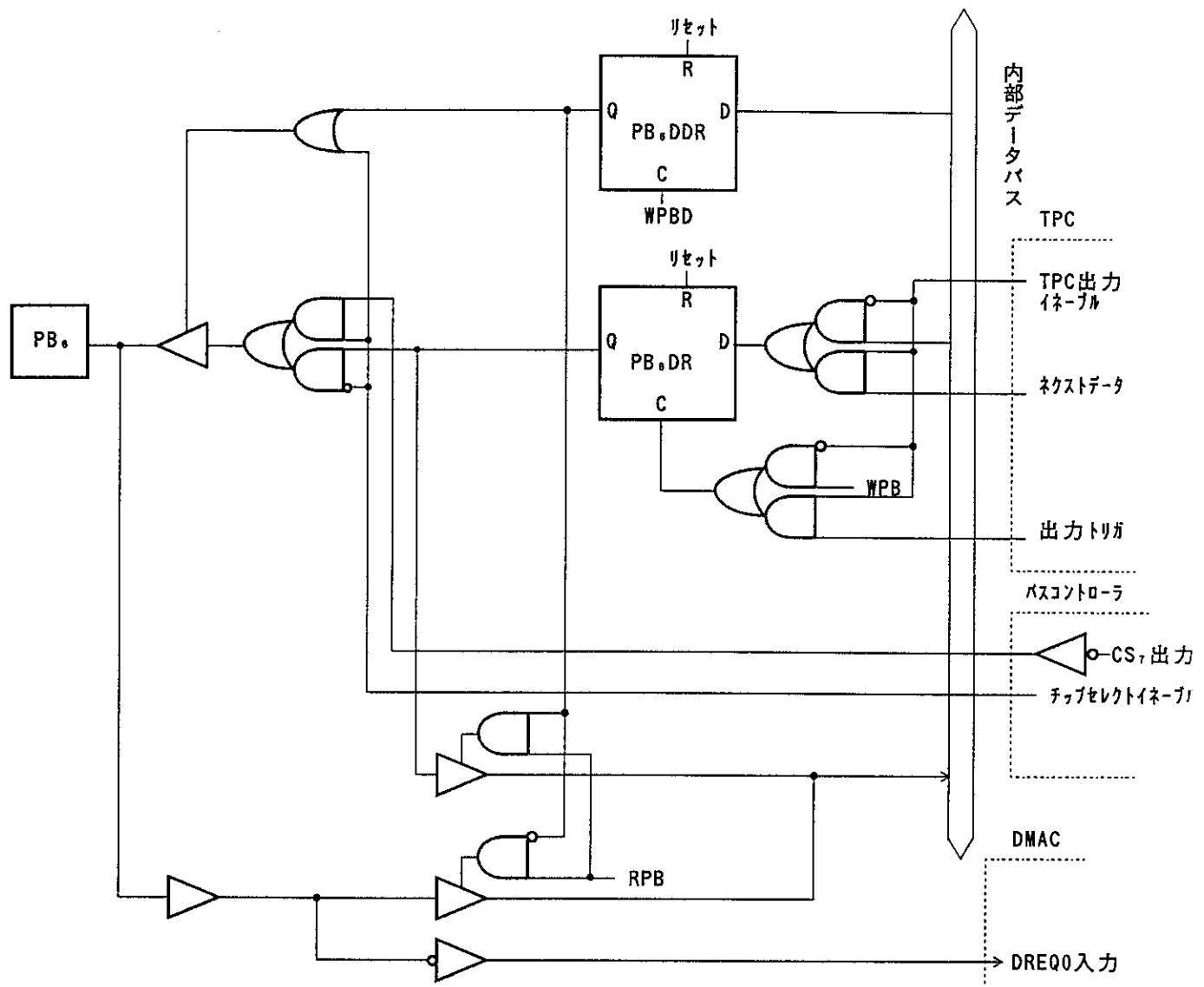
WPBD : DDRライト

WPB : ポートライト

RPB : ポートリード

$n = 4, 5$

図 C.11 (b) ポート B ブロック図 (PB_n 、 PB_{n+5} 端子)



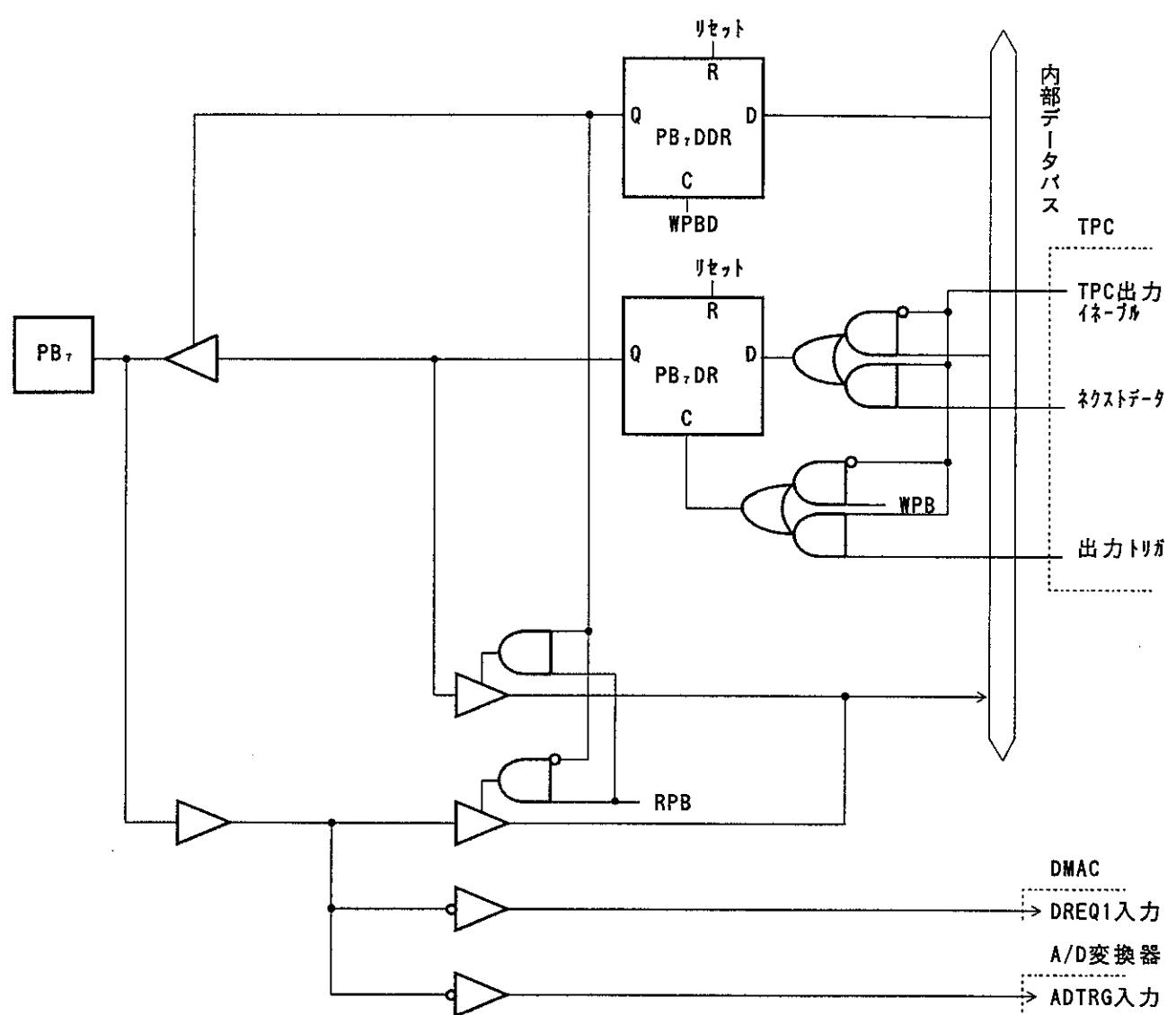
《記号説明》

WPBD : DDRライト

WPB : ポートライト

RPB : ポートリード

図 C.11 (c) ポート B ブロック図 (PB_s端子)



《記号説明》

WPBD : DDRライト

WPB : ポートライト

RPB : ポートリード

図 C.11 (d) ポート B ブロック図 (PB₇端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧(1)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
φ	—	クロック出力	T	H	クロック出力	クロック出力
RES0	—	T **	T	T	T	RES0
P1, ~P1o	1 ~ 4	L	T	T	T	A ₇ ~ A ₀
	5, 6	T	T	keep	T	[DDR=0] 入力ポート
	7	T	T	keep	T	[DDR=1] A ₇ ~ A ₀
P2, ~P2o	1 ~ 4	L	T	T	T	A ₁₅ ~ A ₈
	5, 6	T	T	keep	T	[DDR=0] 入力ポート
	7	T	T	keep	T	[DDR=1] A ₁₅ ~ A ₈
P3, ~P3o	1 ~ 6	T	T	T	T	D ₁₅ ~ D ₈
	7	T	T	keep	—	入出力ポート
P4, ~P4o	1 6	8ビットバス 16ビットバス	T	T	keep	入出力ポート
	7	T	T	T	T	D ₇ ~ D ₀
	1 ~ 4	L	T	T	T	A ₁₅ ~ A ₈
P5, ~P5o	5, 6	T	T	keep	T	[DDR=0] 入力ポート
	7	T	T	keep	T	[DDR=1] A ₁₅ ~ A ₈
	1 ~ 6	T	T	keep	—	入出力ポート
P6o	7	T	T	keep	—	入出力ポート WAIT
	1 ~ 6	T	T	keep	keep	入出力ポート
P6 ₁	1 ~ 6	T	T	[BRLE=0] keep [BRLE=1] T	T	入出力ポート BREQ
	7	T	T	keep	—	入出力ポート

表D.1 各ポートの状態一覧(2)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
P6 ₁	1 ~ 6	T	T	[BRLE=0] keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] <u>BACK</u>
	7	T	T	keep	—	入出力ポート
P6 ₂ ~ P6 ₃	1 ~ 6	H ^{*3}	T	T	T	<u>AS</u> 、 <u>RD</u> 、 <u>HWR</u> 、 <u>LWR</u>
	7	T	T	keep	—	入出力ポート
P7 ₁ ~ P7 ₆	1 ~ 7	T	T	T	T ^{*4}	入力ポート
P8 ₀	1 ~ 6	T	T	[RFSHE=0] keep [RFSHE=1] <u>RFSH</u>	[RFSHE=0] keep [RFSHE=1] H	[RFSHE=0] 入出力ポート [RFSHE=1] <u>RFSH</u>
	7	T	T	keep	—	入出力ポート
P8 ₃ ~ P8 ₄	1 ~ 6	T	T	[DDR=0] T [DDR=1] H	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] <u>CS₃ ~ CS₁</u>
	7	T	T	keep	—	入出力ポート
P8 ₄	1 ~ 6	L	T	[DDR=0] T [DDR=1] L	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] <u>CS₀</u>
	7	T	T	keep	—	入出力ポート
P9 ₀ ~ P9 ₆	1 ~ 7	T	T	keep	keep ^{*1}	入出力ポート
PA ₀ ~ PA ₆	1 ~ 7	T	T	keep	keep ^{*1}	入出力ポート
PA ₆ ~ PA ₄	3、4、6	T ^{*4}	T	[CS出力時] H [アドレス出力時] T [上記以外] keep	[CS出力時] H [アドレス出力時] T [上記以外] keep	[CS出力時] <u>CS6 ~ CS4</u> [アドレス出力時] A23 ~ A21 [上記以外] 入出力ポート
	1、2、5、7	T ^{*4}	T	keep	keep ^{*1}	入出力ポート

表 D.1 各ポートの状態一覧(3)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
PA ₇	3、4、6	L ^{*4}	T	T	T	A ₂₀
	1、2、5、7	T ^{*4}	T	keep	keep ^{*1}	入出力ポート
PB ₁ 、PB ₅ ～PB ₈	1～7	T	T	keep	keep ^{*1}	入出力ポート
PB ₉	3、4、6	T	T	[CS出力時] H [上記以外] keep	[CS出力時] H [上記以外] keep	[CS出力時] CS7 [上記以外] 入出力ポート
	1、2、5、7	T	T	keep	keep ^{*1}	入出力ポート

《記号説明》 H : "High" レベル

L : "Low" レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

【注】 *¹ モード7ではバス解放状態は存在しません。

*² WDTのオーバフローによるリセット時にのみ"Low" レベルを出力します。

*³ 電源投入時は、発振安定時間までは、"H" または"T" となります。

*⁴ 電源投入時は、発振安定時間までは、"H"、"L"、"T" のいずれかになります。

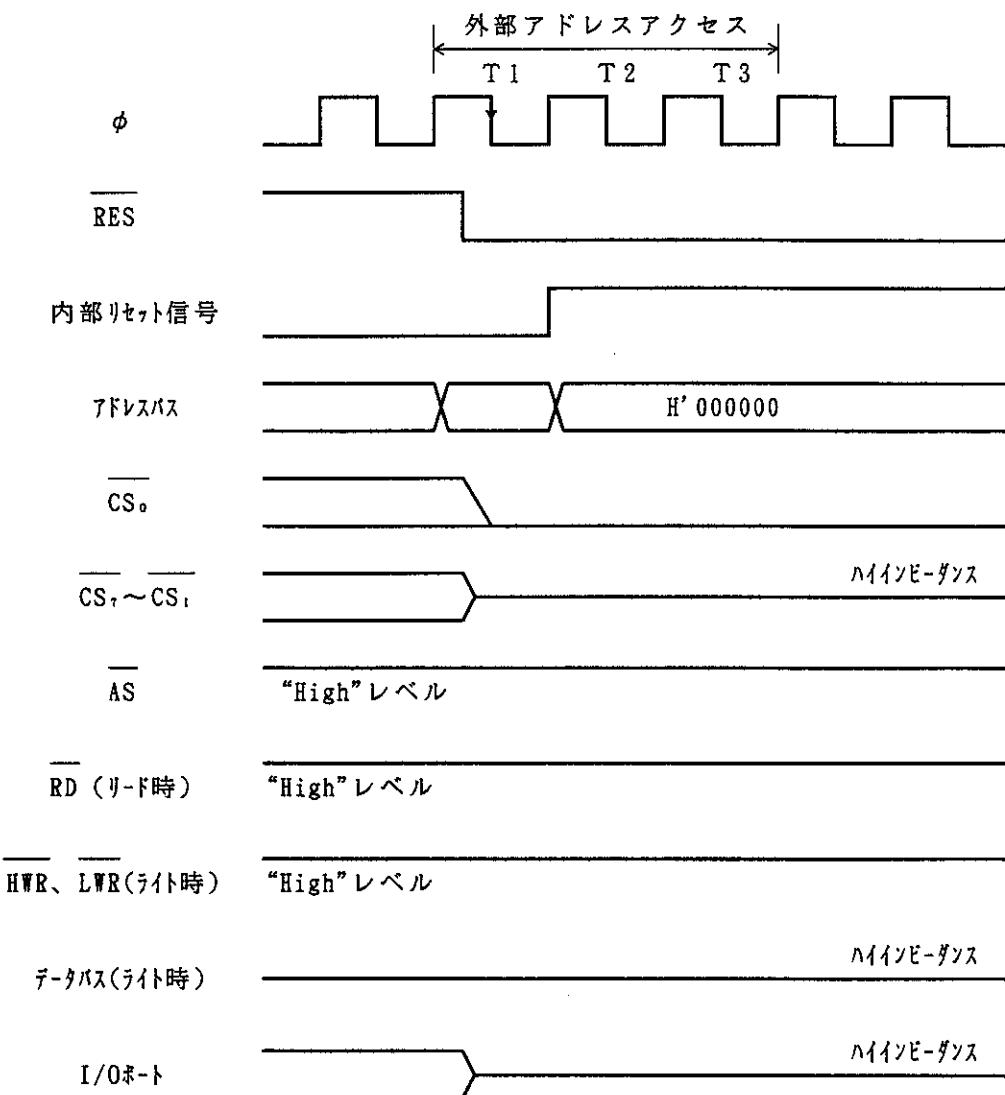
D.2 リセット時の端子状態

(1) T1ステートでのリセット

外部メモリアクセス中のT1ステートで、RES端子が“Low”レベルになったときのタイミングを図D.1に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が“Low”レベルをサンプリング（φの立下がりでサンプリング）してから、0.5ステート後にイニシャライズされアドレスバスは“Low”レベル出力となります。



図D.1 メモリアクセス中のリセット (T1ステートでのリセット)

(2) T 2 ステートでのリセット

外部メモリアクセス中の T 2 ステートで、RES端子が “Low” レベルになったときのタイミングを図 D.2 に示します。

RES端子が “Low” レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが “High” レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が “Low” レベルをサンプリングしてから、0.5 ステート後にイニシャライズされアドレスバスは “Low” レベルとなります。

T_wサイクルでのリセットについても同様です。

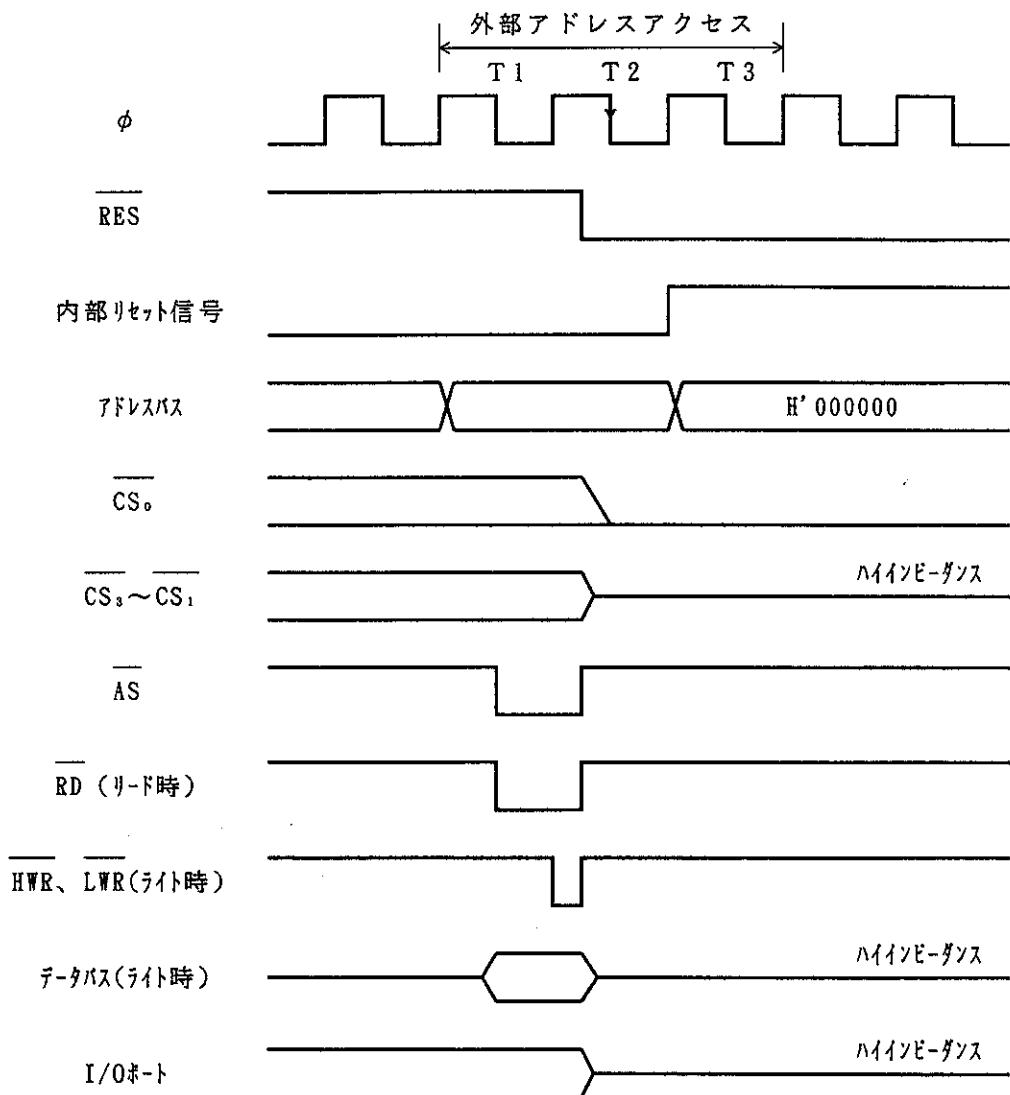


図 D.2 メモリアクセス中のリセット (T 2 ステートでのリセット)

(3) T 3 ステートでのリセット

外部 3 ステート空間アクセス中の T 3 ステートで、RES端子が “Low” レベルになったときのタイミングを図 D.3 に示します。

RES端子が “Low” レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが “High” レベル、データバスはハイインピーダンスになります。

アドレスバスは T 3 ステート中保持されます。

2 ステートアクセス空間の T 2 ステートでのリセットについても同様です。

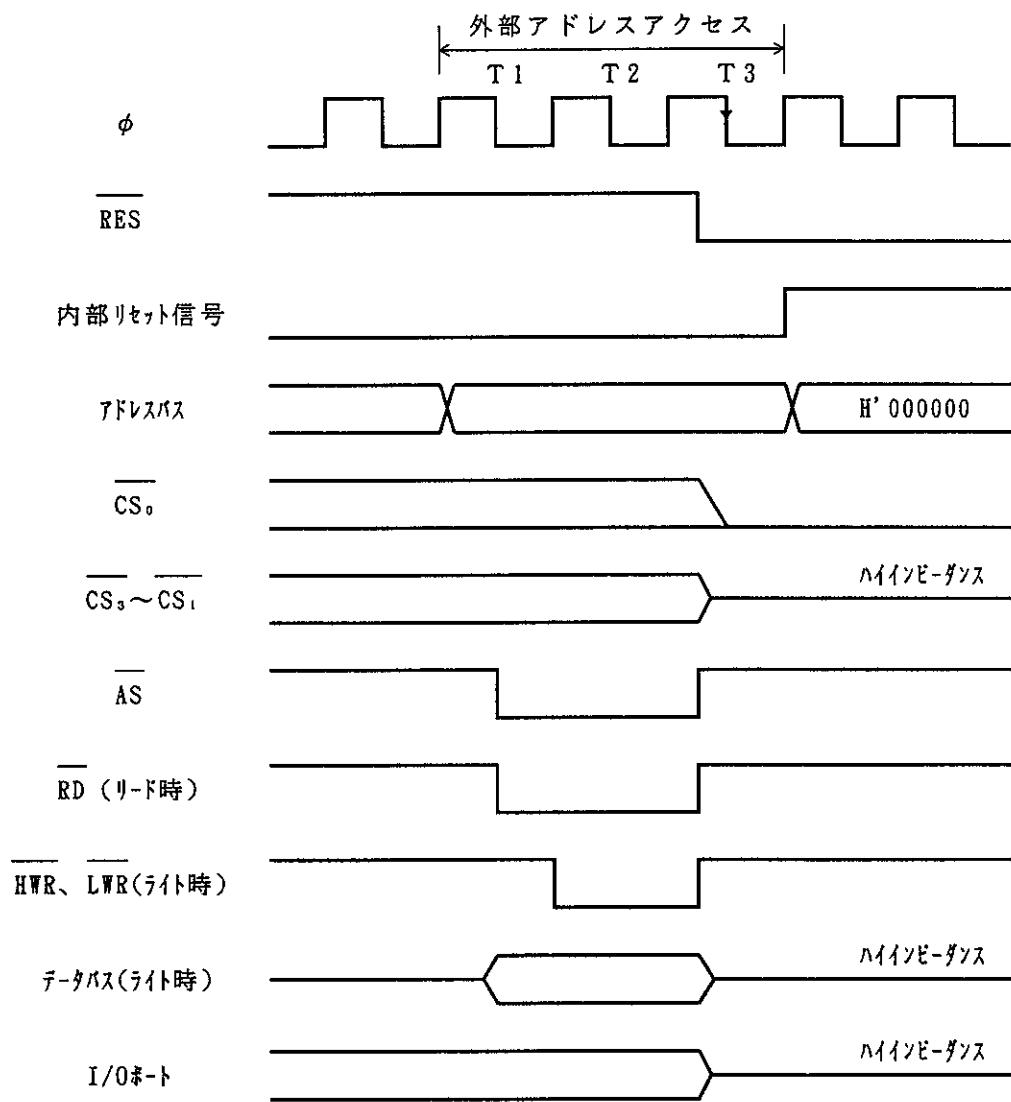


図 D.3 メモリアクセス中のリセット (T 3 ステートでのリセット)

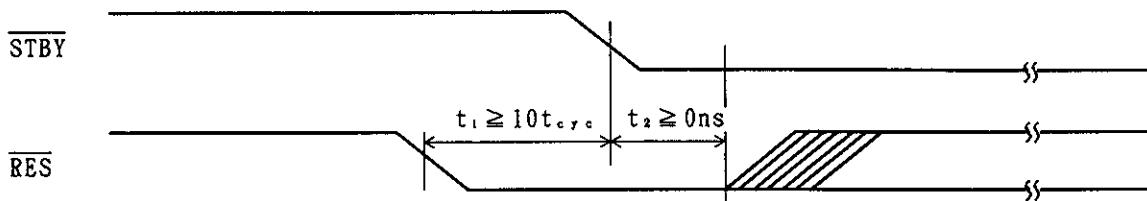
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

(1) SYSCRのRAMEビットを“1”にセットした状態でRAMの内容を保持する場合

下記に示すようにSTBY信号の立下がりに対し、10システムクロック前にRES信号を“Low”としてください。

また、RES信号の立下がりは、STBY信号の立下がりに対し、min 0nsです。

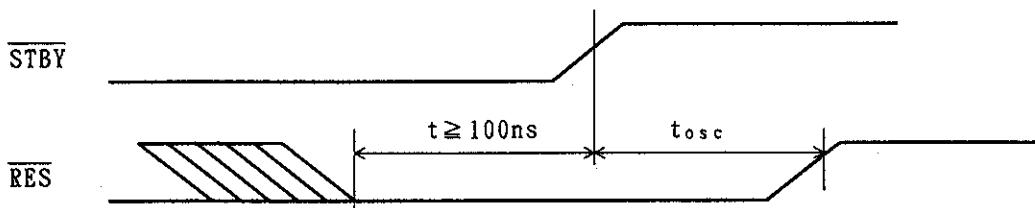


(2) SYSCRのRAMEビットを“0”にクリアした状態またはRAMの内容を保持しない場合

(1)のようにRES信号を“Low”にする必要はありません。

【ハードウェアスタンバイモードからの復帰タイミング】

STBY信号の立上がりに対し、約100ns前にRES信号を“Low”としてください。



F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様と一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

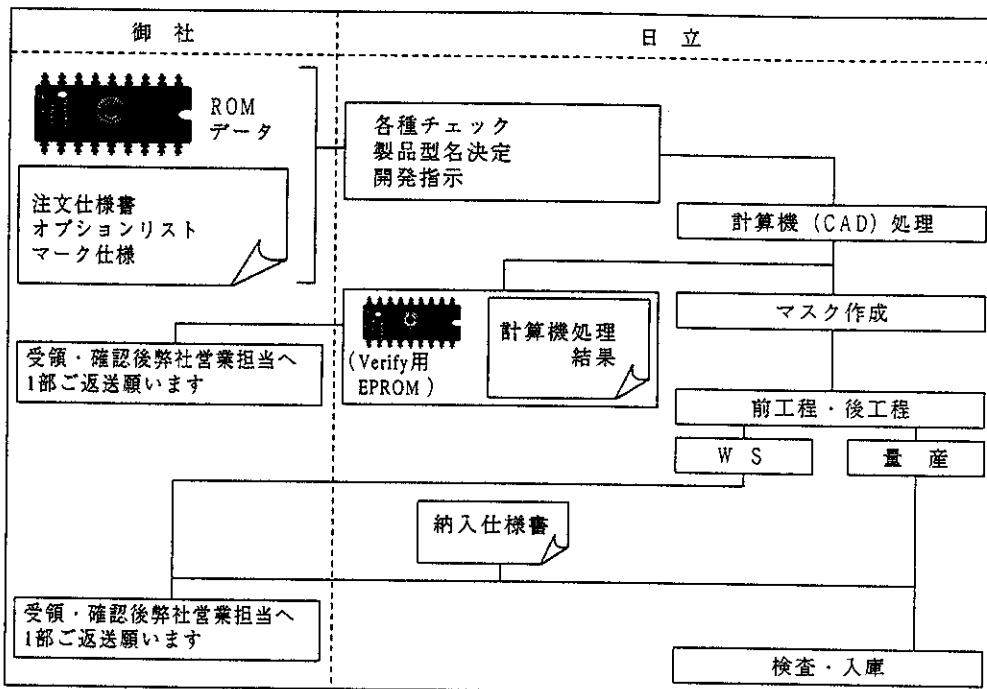


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT®マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト*1
	マーク仕様例*2

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT®
マイコンで提出してください。なお、EPROM または ZTAT® マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROMにおいて、ROM データの未使用 (NOT USED) 領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようになるとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

G. 型名一覧

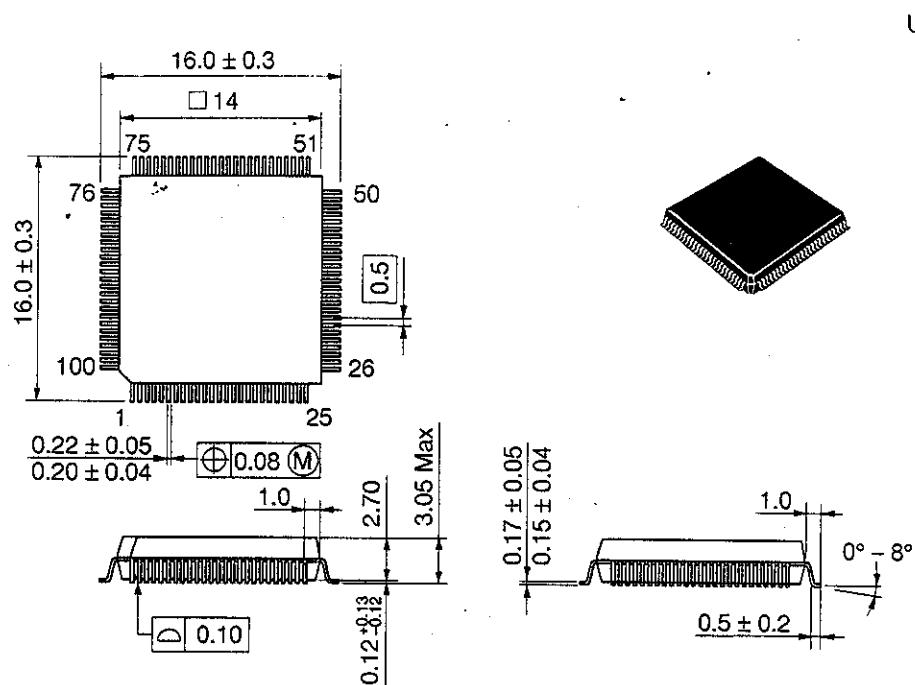
表 G.1 H 8 / 3 0 4 8 シリーズ型名一覧

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H 8/3048	フラッシュ メモリ版	5 V 版	H D 64F3048T F	H D 64F3048T F	100ピンT Q F P (TFP-100B)
			H D 64F3048F	H D 64F3048F	100ピンQ F P (FP-100B)
		3 V 版	H D 64F3048 V T F	H D 64F3048 V T F	100ピンT Q F P (TFP-100B)
			H D 64F3048V F	H D 64F3048V F	100ピンQ F P (FP-100B)
	P R O M版 (Z T A T)	5 V 版	H D 6473048T F	H D 6473048T F	100ピンT Q F P (TFP-100B)
			H D 6473048F	H D 6473048F	100ピンQ F P (FP-100B)
		3 V 版	H D 6473048 V T F	H D 6473048 V T F	100ピンT Q F P (TFP-100B)
			H D 6473048V F	H D 6473048V F	100ピンQ F P (FP-100B)
	マスクR O M版	5 V 版	H D 6433048T F	H D 6433048 (***) T F	100ピンT Q F P (TFP-100B)
			H D 6433048F	H D 6433048 (***) F	100ピンQ F P (FP-100B)
		3 V 版	H D 6433048 V T F	H D 6433048 (***) V T F	100ピンT Q F P (TFP-100B)
			H D 6433048V F	H D 6433048 (***) V F	100ピンQ F P (FP-100B)
H 8/3047	マスクR O M版	5 V 版	H D 6433047T F	H D 6433047 (***) T F	100ピンT Q F P (TFP-100B)
			H D 6433047F	H D 6433047 (***) F	100ピンQ F P (FP-100B)
		3 V 版	H D 6433047 V T F	H D 6433047 (***) V T F	100ピンT Q F P (TFP-100B)
			H D 6433047V F	H D 6433047 (***) V F	100ピンQ F P (FP-100B)
H 8/3045	マスクR O M版	5 V 版	H D 6433045T F	H D 6433045 (***) T F	100ピンT Q F P (TFP-100B)
			H D 6433045F	H D 6433045 (***) F	100ピンQ F P (FP-100B)
		3 V 版	H D 6433045 V T F	H D 6433045 (***) V T F	100ピンT Q F P (TFP-100B)
			H D 6433045V F	H D 6433045 (***) V F	100ピンQ F P (FP-100B)
H 8/3044	マスクR O M版	5 V 版	H D 6433044T F	H D 6433044 (***) T F	100ピンT Q F P (TFP-100B)
			H D 6433044F	H D 6433044 (***) F	100ピンQ F P (FP-100B)
		3 V 版	H D 6433044 V T F	H D 6433044 (***) V T F	100ピンT Q F P (TFP-100B)
			H D 6433044V F	H D 6433044 (***) V F	100ピンQ F P (FP-100B)

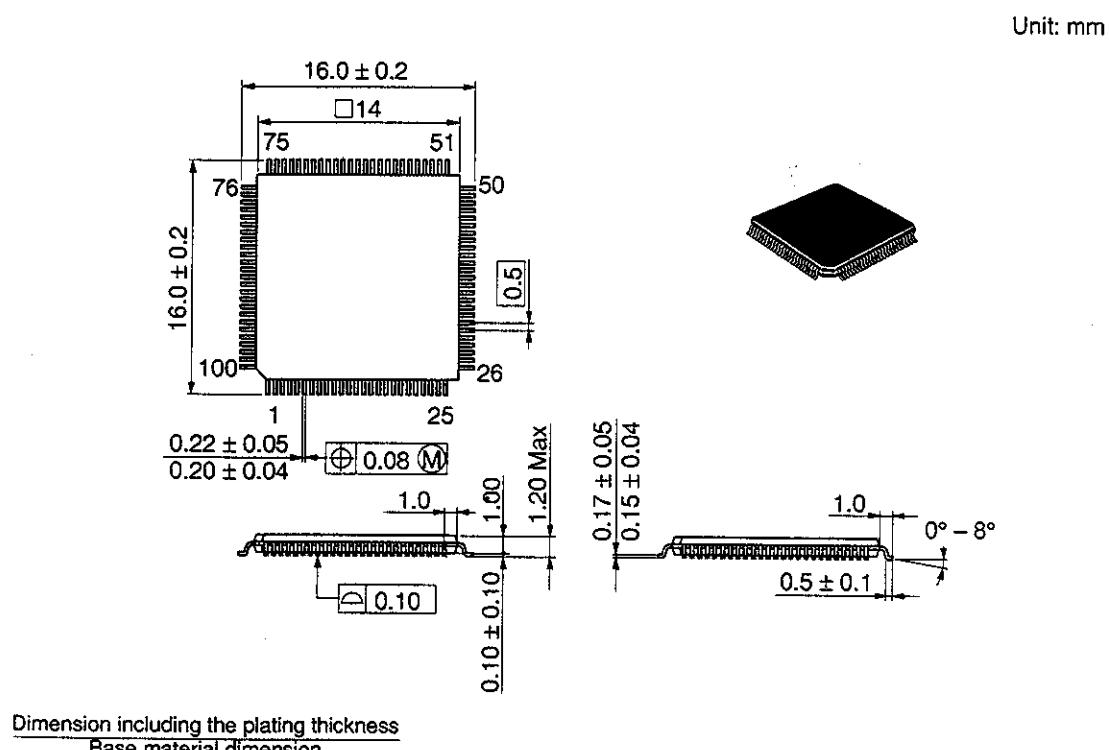
【注】 マスクR O M版の(***)はR O Mコードです。

H. 外形寸法図

本LSIの外形寸法図FP-100Bを図H.1、TFP-100Bを図H.2に示します。



図H.1 外形寸法図 (FP-100B)



図H.2 外形寸法図 (TFP-100B)

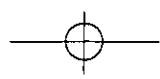
株式会社 日立製作所

半導体事業部	〒100	東京都千代田区大手町二丁目6番2号(日本ビル)	(03) 3270-2111(代)
北海道支社	〒060	札幌市中央区北二条西四丁目1番地(札幌三井ビル)	(011) 261-3131(代)
北見営業所	〒090	北見市北四条東二丁目1番地(安田火災ビル)	(0157) 22-7121
道北営業所	〒070	旭川市五条通九丁目左1号(安田生命旭川ビル)	(0166) 24-3567
道東営業所	〒085	釧路市北大通十丁目1番地(北銀住生ビル)	(0154) 23-2551
帯広営業所	〒080	帯広市西6条南六丁目3番地(ソネビル)	(0155) 24-0818
室蘭営業所	〒050	室蘭市中島町四丁目9番6号(日協産業ビル)	(0143) 44-3327
函館営業所	〒040	函館市五稜郭町35番1号(日産火災函館ビル)	(0138) 52-6072
仙台営業所	〒980	仙台市青葉区一番町二丁目4番1号(興和ビル)	(022) 223-0121(代)
青森営業所	〒030	青森市新町二丁目2番4号(青森新町第一生命ビル)	(0177) 75-1371~3
盛岡営業所	〒020	盛岡市中央通二丁目1番21号(安田生命盛岡ビル)	(0196) 24-0056
秋田営業所	〒010	秋田市八橋字成川原64番地2(秋田県農協ビル)	(0188) 64-2234
山形営業所	〒990	山形市青瀬町二丁目2番36号(山形センタービル)	(0236) 23-5333(代)
庄内営業所	〒998	酒田市中町二丁目5番19号(酒田本町ビル)	(0234) 26-6979
福島営業所	〒960	福島市大町5番6号(日生福島ビル)	(0245) 23-0241~3
郡山営業所	〒963	郡山市堤下町9番4号(大成火災郡山ビル)	(0249) 23-3944
いわき営業所	〒970	いわき市平字大町7番1(平セントラルビル2階)	(0246) 22-6777
電機システム統括営業本部	〒101-10	東京都千代田区神田駿河台四丁目6番地(日立本社ビル)	(03) 3258-1111(代)
新潟支店	〒950	新潟市東大通一丁目4番1号(マルタケビル9階)	(025) 241-8161(代)
電子統括営業本部	〒100	東京都千代田区大手町二丁目6番2号(日本ビル)	(03) 3270-2111(代)
特販第二部	〒310	水戸市三の丸一丁目4番73号(水戸三井ビル3階)	(0292) 24-7621
松本電子営業所	〒390	松本市深志一丁目2番11号(昭和ビル7階)	(0263) 36-6632
高崎電子営業所	〒370	高崎市栄町16番11号(高崎イーストタワー11階)	(0273) 25-2161
横浜支社	〒220	横浜市西区高島二丁目6番32号(日産横浜ビル)	(045) 451-5000(代)
県央支店	〒243	厚木市中町三丁目16番1号(TYG第11ビル)	(0462) 96-6800(代)
川崎営業所	〒210	川崎市川崎区宮前町2番2号(ワタナベビル)	(044) 246-1501(代)
沼津営業所	〒410	沼津市大手町五丁目6番7号(又マツ・スルガビル7階)	(0559) 51-3530(代)
北陸支社	〒930	富山市桜橋通り5番13号(富山興銀ビル)	(0764) 33-8511(代)
金沢支店	〒920	金沢市本町二丁目15番1号(ボルテ金沢)	(0762) 63-2352(代)
福井営業所	〒910	福井市中央三丁目13番1号(北国ビル)	(0776) 23-8378(代)
中部支社	〒460	名古屋市中区栄三丁目17番12号(大津通電気ビル)	(052) 243-3111(代)
浜松支店	〒430-77	浜松市板屋町111番地の2(浜松アクトタワー)	(053) 454-6281(代)
静岡支店	〒420	静岡市榮町3番地の9(朝日生命静岡ビル)	(054) 254-7341(代)
豊田支店	〒471	豊田市土橋町四丁目67番地2(豊田日立ビル)	(0565) 29-1031(代)
岐阜営業所	〒500	岐阜市吉野町六丁目16番17(大岡生命ビル)	(0582) 63-0834
三重営業所	〒510	四日市市浜町5番27号(第三加賀ビル8階)	(0593) 52-7111(代)
関西支社	〒559	大阪市住之江区南港東八丁目3番45号(日立関西ビル)	(06) 616-1111(代)
滋賀営業所	〒520	大津市木下町17番12号(芙蓉ビル)	(0775) 21-0020(代)
京都支店	〒604	京都市中京区烏丸通御池下ル虎尾町577番2号(太陽生命御池ビル)	(075) 223-5611(代)
奈良営業所	〒630	奈良市大宮町五丁目3番14号(不動ビル)	(0742) 36-2321(代)
和歌山営業所	〒640	和歌山市三木町中ノ丁15(和歌山富国生命ビル)	(0734) 33-1258(代)
神戸支店	〒651	神戸市中央区塩井通四丁目2番2号(神戸いすゞクリクルートビル)	(078) 261-9677(代)
中國支社	〒730	広島市中区基町11番10号(千代田生命ビル)	(082) 223-4111(代)
鳥取営業所	〒680	鳥取市今町二丁目251番地(日生鳥取駅前ビル)	(0857) 22-4270(代)
山陰営業所	〒690	松江市朝日町498番地6(松江駅前第一生命ビル)	(0852) 26-7366(代)
岡山支店	〒700	岡山市下石井一丁目1番3号(日本生命岡山第二ビル)	(086) 224-5271(代)
福山営業所	〒720	福山市船町7番23号(安田生命福山ビル)	(0849) 24-6738(代)
山口支店	〒754	山口県吉敷郡小郡町高砂町1番8号(安田生命小郡ビル)	(0839) 2-3039(代)
徳山営業所	〒745	徳山市代々木通一丁目4番1号(三井生命ビル)	(0834) 31-1515(代)
宇都宮営業所	〒755	宇都宮市相生町8番1号(宇部興産ビル)	(0836) 31-3610(代)
四国支社	〒760	高松市中央町5番31号(中央町ビル)	(0878) 31-2111(代)
愛媛支店	〒790	松山市三番町四丁目4番6号(松山第二東邦生命ビル)	(089) 943-1333(代)
東予営業所	〒792	新居浜市一宮町一丁目5番50号(新居浜ビル)	(0897) 35-1153
徳島営業所	〒770	徳島市八百屋町三丁目15番地(徳島日産生命ビル)	(0886) 54-5535(代)
高知営業所	〒780	高知市本町二丁目1番10号(安田生命高知ビル)	(0888) 24-0511(代)
九州支社	〒814	福岡市早良区百道浜二丁目1番1号(日立九州ビル)	(092) 852-1111(代)
北九州支店	〒802	北九州市小倉北区紺屋町12番23号(小倉日産生命ビル)	(093) 533-5500
佐賀営業所	〒840	佐賀市駅前中央一丁目9番45号(三井生命佐賀駅前ビル3階)	(0952) 29-7981
長崎営業所	〒850	長崎市万才町6番34号(日産・時事長崎ビル)	(0958) 21-6313
熊本支店	〒860	熊本市中央街2番11号(熊本サンニッセイビル2階)	(096) 359-7070
大分営業所	〒870	大分市舞鶴町一丁目4番35(大分三井ビル)	(0975) 34-0860
宮崎営業所	〒880	宮崎市橋通東四丁目7番28号(宮崎第一生命ビル)	(0985) 29-1721
鹿児島営業所	〒890	鹿児島市中央町12番2号(明治生命西鹿児島ビル)	(0992) 56-9021(代)
沖縄営業所	〒900	那覇市松山一丁目1番14号(千代田生命那覇共同ビル)	(098) 868-8176

■資料のご請求は、上記の担当営業または下記へどうぞ。株式会社 日立製作所 半導体事業部 ドキュメント管理室
〒100 東京都千代田区大手町二丁目6番2号(日本ビル) 電話 (03) 5201-5189(直) FAX (03) 3270-3277



●製品仕様は、改良のため変更することがあります。



H8/3048 シリーズ、H8/3048F-ZTAT™
ハードウェアマニュアル

発行年月 平成 6 年 3 月 第 1 版
平成 9 年 8 月 第 5 版

発 行 株式会社 日立製作所
半導体事業部

編 集 株式会社日立マイコンシステム
技術情報センタ

©株式会社 日立製作所 1994

