

日立シングルチップマイクロコンピュータ

H8/3048シリーズ

H8/3048

HD64F3048, HD6473048, HD6433048

H8/3047

HD6433047

H8/3045

HD6433045

H8/3044

HD6433044

H8/3048F-ZTAT™

ハードウェアマニュアル

HITACHI

ADJ-602-093D

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、㈱日立製作所は一切その責任を負いません。
3. 本資料によって第三者または㈱日立製作所の特許権その他権利の実地権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

本版で改訂または追加された主な箇所

ページ	項 目	内 容
129	5.5.4 外部割込み使用上の注意	追加
169	6.4.4 ソフトウェアスタンバイモードへの遷移	追加
472	12.2.2 タイマコントロール/ステータスレジスタ(TCSR)	ビット5 (TME) 説明追加
544	13.5 使用上の注意	(8)クロック同期式使用上の制約事項の追加
553,554	14.2 各レジスタの説明	14.2.3 シリアルモードレジスタ(SMR) 14.2.4 シリアルコントロールレジスタ(SCR) の追加
558	表14.3 スマートカードインタフェースでのレジスタ設定	SMR、SCR、SSRのビット修正
558	14.3.4 レジスタ設定	(1)、(3)ビットの設定方法についての説明修正
562,566, 568	14.3.6 データの送信/受信動作	(2)シリアルデータ送信の説明修正 (5)クロック出力の固定追加 (8)GSMモード時の動作例追加
591	15.6 使用上の注意	(4)アナログ電源電圧について追加
605	16.5 使用上の注意	追加
617	表18.3 ソケットアダプタ	型名の修正
628	18.4.3 特長	書込み、消去時間、ビットレート自動 合わせ込みの説明追加
631,632	18.5.1 フラッシュメモリコントロールレジスタ(FLMCR)	プログラム電源ビット (V_{PP}) の説明 修正ビット7 (V_{PP}) の説明修正
640,643 644	18.6.1 ブートモード	ブートモードの実行手順、ブートモード 使用時の注意事項の説明修正
675	表18.18 ソケットアダプタ型名	製品型名の追加
681	表18.22 PROMモード時のDC特性	【注】追加
690,691	18.10 フラッシュメモリの書込み /消去時の注意	(9)~(12)追加
717	20.6.3 使用上の注意	(2)内蔵周辺モジュール割込みの説明修正
735,737, 738,740,	表21.10 DCの特性(1)、(3)、(4)、(6)	高電圧(12V)印加判定レベル、 V_{PP} 端 子電流の追加

はじめに

H8/3048シリーズは、内部32ビット構成のH8/300H CPUを核にして、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

H8/300H CPUは、内部32ビット構成で16ビット×16本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16Mバイトのリニアなアドレス空間を扱うことができます。

周辺機能として、ROM、RAM、16ビットインテグレートドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D変換器、D/A変換器、I/Oポート、DMAコントローラ（DMAC）、リフレッシュコントローラなどを内蔵しています。2チャンネルのSCIのうち1チャンネルは、ISO/IEC 7816-3に準拠したスマートカードインタフェースを拡張機能としてサポートしています。また、電池駆動時の消費電力を低減するため、モジュール単位のスタンバイ機能やチップに供給するシステムクロックの分周比をプログラマブルに変更する機能を追加しています。

アドレス空間は8つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU動作モードは、モード1～7があり、データバス幅の初期値とアドレス空間を選択することができます。

このため、H8/3048シリーズを用いることにより高性能かつ小型のシステムを容易に実現することができます。

H8/3048シリーズには、マスクROM版のほかにPROMを内蔵したZTAT[®]*1版があり、ユーザサイドでの自由なプログラム書込みが可能です。さらにH8/3048シリーズに、フラッシュメモリを内蔵したF-ZTAT[™]*2版が加わり、基板実装後のプログラム書換えを可能にしています。変化の激しい市場ニーズに即応し、フレキシブルな製品開発が実現できます。

本マニュアルは、H8/3048シリーズのハードウェアについて説明します。命令の詳細については、「H8/300Hシリーズ プログラミングマニュアル」をあわせてご覧ください。

【注】*1 ZTATは(株)日立製作所の登録商標です。

*2 F-ZTATは(株)日立製作所の商標です。

目 次

《第1章》 概要

1.1	概要	3
1.2	内部ブロック図	8
1.3	端子説明	9
1.3.1	ピン配置図	9
1.3.2	動作モード別端子機能一覧	10
1.3.3	端子機能	12

《第2章》 CPU

2.1	概要	21
2.1.1	特長	21
2.1.2	H8/300CPUとの相違点	22
2.2	CPU動作モード	23
2.3	アドレス空間	24
2.4	レジスタ構成	25
2.4.1	概要	25
2.4.2	汎用レジスタ	26
2.4.3	コントロールレジスタ	27
2.4.4	CPU内部レジスタの初期値	28
2.5	データ構成	29
2.5.1	汎用レジスタのデータ構成	29
2.5.2	メモリ上でのデータ構成	31
2.6	命令セット	32
2.6.1	命令セットの概要	32
2.6.2	命令とアドレッシングモードの組み合わせ	32
2.6.3	命令の機能別一覧	34
2.6.4	命令の基本フォーマット	45
2.6.5	ビット操作命令使用上の注意	46
2.7	アドレッシングモードと実効アドレスの計算方法	47
2.7.1	アドレッシングモード	47
2.7.2	実効アドレスの計算方法	50
2.8	処理状態	54
2.8.1	概要	54
2.8.2	プログラム実行状態	54
2.8.3	例外処理状態	55

2.8.4	例外処理の動作	57
2.8.5	バス権解放状態	58
2.8.6	リセット状態	58
2.8.7	低消費電力状態	58
2.9	基本動作タイミング	60
2.9.1	概要	60
2.9.2	内蔵メモリアクセスタイミング	60
2.9.3	内蔵周辺モジュールアクセスタイミング	62
2.9.4	外部アドレス空間アクセスタイミング	63

《第3章》 MCU動作モード

3.1	概要	67
3.1.1	動作モードの種類を選択	67
3.1.2	レジスタ構成	69
3.2	モードコントロールレジスタ (MDCR)	70
3.3	システムコントロールレジスタ (SYSCR)	71
3.4	各動作モードの説明	74
3.4.1	モード1	74
3.4.2	モード2	74
3.4.3	モード3	74
3.4.4	モード4	74
3.4.5	モード5	75
3.4.6	モード6	75
3.4.7	モード7	75
3.5	各動作モードにおける端子機能	76
3.6	各動作モードのメモリマップ	77

《第4章》 例外処理

4.1	概要	89
4.1.1	例外処理の種類と優先度	89
4.1.2	例外処理の動作	89
4.1.3	例外処理要因とベクタテーブル	89
4.2	リセット	91
4.2.1	概要	91
4.2.2	リセットシーケンス	91
4.2.3	リセット直後の割込み	95
4.3	割込み	95
4.4	トラップ命令	96
4.5	例外処理後のスタックの状態	96

4.6	スタック使用上の注意	97
-----	------------	----

《第5章》 割込みコントローラ

5.1	概要	101
5.1.1	特長	101
5.1.2	ブロック図	102
5.1.3	端子構成	103
5.1.4	レジスタ構成	103
5.2	各レジスタの説明	104
5.2.1	システムコントロールレジスタ (SYSCR)	104
5.2.2	インタラプトプライオリティレジスタA、B (IPRA、IPRB)	105
5.2.3	IRQステータスレジスタ (ISR)	112
5.2.4	IRQイネーブルレジスタ (IER)	113
5.2.5	IRQセンスコントロールレジスタ (ISCR)	114
5.3	割込み要因	115
5.3.1	外部割込み	115
5.3.2	内部割込み	116
5.3.3	割込み例外処理ベクタテーブル	116
5.4	割込み動作	119
5.4.1	割込み動作の流れ	119
5.4.2	割込み例外処理シーケンス	125
5.4.3	割込み応答時間	127
5.5	使用上の注意	128
5.5.1	割込み発生とディスエーブルとの競合	128
5.5.2	割込みの受け付けを禁止している命令	129
5.5.3	EEPMOV命令実行中の割込み	129
5.5.4	外部割込み使用上の注意	129

《第6章》 バスコントローラ

6.1	概要	135
6.1.1	特長	135
6.1.2	ブロック図	136
6.1.3	端子構成	137
6.1.4	レジスタ構成	137
6.2	各レジスタの説明	138
6.2.1	バス幅コントロールレジスタ (ABWCR)	138
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	139
6.2.3	ウェイトコントロールレジスタ (WCR)	140
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	141

6.2.5	バスリリースコントロールレジスタ (BRCR)	142
6.2.6	チップセレクトコントロールレジスタ (CSCR)	144
6.3	動作説明	145
6.3.1	エリア分割	145
6.3.2	チップセレクト信号	146
6.3.3	データバス	147
6.3.4	バス制御信号タイミング	148
6.3.5	ウェイトモード	156
6.3.6	メモリとの接続例	162
6.3.7	バスアービタの動作	164
6.4	使用上の注意	167
6.4.1	DRAMおよびPSRAMの接続	167
6.4.2	レジスタライトタイミング	167
6.4.3	BREQ端子の入力タイミング	168
6.4.4	ソフトウェアスタンバイモードへの遷移	169

《第7章》 リフレッシュコントローラ

7.1	概要	173
7.1.1	特長	173
7.1.2	ブロック図	174
7.1.3	端子構成	175
7.1.4	レジスタ構成	175
7.2	各レジスタの説明	176
7.2.1	リフレッシュコントロールレジスタ (RFSHCR)	176
7.2.2	リフレッシュタイマコントロールステータスレジスタ (RTMCSR)	179
7.2.3	リフレッシュタイマカウンタ (RTCNT)	182
7.2.4	リフレッシュタイムコンスタントレジスタ (RTCOR)	182
7.3	動作説明	183
7.3.1	概要	183
7.3.2	DRAMリフレッシュ制御	185
7.3.3	PSRAMリフレッシュ制御	200
7.3.4	インターバルタイマ	203
7.4	割込み要因	208
7.5	使用上の注意	209

《第8章》 DMAコントローラ

8.1	概要	213
8.1.1	特長	213
8.1.2	ブロック図	214

8. 1. 3	機能概要	215
8. 1. 4	端子構成	216
8. 1. 5	レジスタ構成	216
8. 2	各レジスタの説明(1) (ショートアドレスモード)	218
8. 2. 1	メモリアドレスレジスタ (MAR)	219
8. 2. 2	I/Oアドレスレジスタ (IOAR)	220
8. 2. 3	転送カウントレジスタ (ETCR)	221
8. 2. 4	データトランスファコントロールレジスタ (DTCR)	222
8. 3	各レジスタの説明(2) (フルアドレスモード)	226
8. 3. 1	メモリアドレスレジスタ (MAR)	226
8. 3. 2	I/Oアドレスレジスタ (IOAR)	227
8. 3. 3	転送カウントレジスタ (ETCR)	227
8. 3. 4	データトランスファコントロールレジスタ (DTCR)	229
8. 4	動作説明	236
8. 4. 1	概要	236
8. 4. 2	I/Oモード	238
8. 4. 3	アイドルモード	241
8. 4. 4	リピートモード	244
8. 4. 5	ノーマルモード	247
8. 4. 6	ブロック転送モード	250
8. 4. 7	DMA Cの起動要因	255
8. 4. 8	DMA Cのバスサイクル	257
8. 4. 9	DMA C複数チャネルの動作	261
8. 4. 10	外部バス権要求、リフレッシュコントローラとDMA Cの関係	262
8. 4. 11	NMI割込みとDMA C	263
8. 4. 12	DMA C動作の強制終了	264
8. 4. 13	フルアドレスモードの解除	264
8. 4. 14	リセット、スタンバイモード、スリープモード時のDMA Cの状態	265
8. 5	割込み	266
8. 6	使用上の注意	267
8. 6. 1	ワードデータ転送時の注意	267
8. 6. 2	DMA CによるDMA C自体のアクセス	267
8. 6. 3	MARのロングワードアクセス	267
8. 6. 4	フルアドレスモード設定時の注意	267
8. 6. 5	内部割込みでDMA Cを起動する場合の注意	268
8. 6. 6	NMI割込みとブロック転送モード	269
8. 6. 7	MAR、IOARのアドレス指定	269
8. 6. 8	転送中断時のバスサイクル	270

《第9章》 I/Oポート

9.1	概要	273
9.2	ポート1	275
9.2.1	概要	275
9.2.2	レジスタ構成	276
9.3	ポート2	278
9.3.1	概要	278
9.3.2	レジスタ構成	278
9.4	ポート3	282
9.4.1	概要	282
9.4.2	レジスタ構成	282
9.5	ポート4	284
9.5.1	概要	284
9.5.2	レジスタ構成	285
9.6	ポート5	288
9.6.1	概要	288
9.6.2	レジスタ構成	288
9.7	ポート6	292
9.7.1	概要	292
9.7.2	レジスタ構成	292
9.8	ポート7	296
9.8.1	概要	296
9.8.2	レジスタ構成	296
9.9	ポート8	297
9.9.1	概要	297
9.9.2	レジスタ構成	298
9.10	ポート9	302
9.10.1	概要	302
9.10.2	レジスタ構成	302
9.11	ポートA	306
9.11.1	概要	306
9.11.2	レジスタ構成	308
9.11.3	端子機能	310
9.12	ポートB	315
9.12.1	概要	315
9.12.2	レジスタ構成	317
9.12.3	端子機能	319

《第10章》 16ビットインテグレートドタイマユニット

10.1 概要	327
10.1.1 特長	327
10.1.2 ブロック図	330
10.1.3 端子構成	335
10.1.4 レジスタ構成	337
10.2 各レジスタの説明	339
10.2.1 タイマスタートレジスタ (TSTR)	339
10.2.2 タイマシンクロレジスタ (TSNC)	341
10.2.3 タイマモードレジスタ (TMDR)	343
10.2.4 タイマファンクションコントロールレジスタ (TFCR)	347
10.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)	350
10.2.6 タイマアウトプットコントロールレジスタ (TOCR)	353
10.2.7 タイマカウンタ (TCNT)	355
10.2.8 ジェネラルレジスタ A、B (GRA、GRB)	356
10.2.9 バッファレジスタ A、B (BRA、BRB)	357
10.2.10 タイマコントロールレジスタ (TCR)	358
10.2.11 タイマ I/O コントロールレジスタ (TIOR)	361
10.2.12 タイマステータスレジスタ (TSR)	364
10.2.13 タイマインタラプトイネーブルレジスタ (TIER)	367
10.3 CPUとのインタフェース	369
10.3.1 16ビットアクセス可能なレジスタ	369
10.3.2 8ビットアクセスのレジスタ	371
10.4 動作説明	372
10.4.1 概要	372
10.4.2 基本機能	374
10.4.3 同期動作	383
10.4.4 PWMモード	385
10.4.5 リセット同期PWMモード	389
10.4.6 相補PWMモード	392
10.4.7 位相計数モード	401
10.4.8 バッファ動作	403
10.4.9 I TU出力タイミング	410
10.5 割込み	413
10.5.1 ステータスフラグのセットタイミング	413
10.5.2 ステータスフラグのクリアタイミング	415
10.5.3 割込み要因とDMAコントローラの起動	416
10.6 使用上の注意	417

《第11章》 プログラマブルタイミングパターンコントローラ

11.1 概要	437
11.1.1 特長	437
11.1.2 ブロック図	438
11.1.3 端子構成	439
11.1.4 レジスタ構成	440
11.2 各レジスタの説明	441
11.2.1 ポートAデータディレクションレジスタ (PADDR)	441
11.2.2 ポートAデータレジスタ (PADR)	441
11.2.3 ポートBデータディレクションレジスタ (PBDDR)	442
11.2.4 ポートBデータレジスタ (PBDR)	442
11.2.5 ネクストデータレジスタA (NDRA)	443
11.2.6 ネクストデータレジスタB (NDRB)	445
11.2.7 ネクストデータイネーブルレジスタA (NDERA)	447
11.2.8 ネクストデータイネーブルレジスタB (NDERB)	448
11.2.9 TPC出力コントロールレジスタ (TPCR)	449
11.2.10 TPC出力モードレジスタ (TPMR)	452
11.3 動作説明	455
11.3.1 概要	455
11.3.2 出力タイミング	456
11.3.3 TPC出力通常動作	457
11.3.4 TPC出力ノンオーバーラップ動作	459
11.3.5 インพุットキャプチャによるTPC出力	461
11.4 使用上の注意	462
11.4.1 TPC出力端子の動作	462
11.4.2 ノンオーバーラップ動作時の注意	462

《第12章》 ウォッチドッグタイマ

12.1 概要	467
12.1.1 特長	467
12.1.2 ブロック図	468
12.1.3 端子構成	468
12.1.4 レジスタ構成	469
12.2 各レジスタの説明	470
12.2.1 タイマカウンタ (TCNT)	470
12.2.2 タイマコントロール/ステータスレジスタ (TCSR)	471
12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)	474
12.2.4 レジスタ書換え時の注意	476
12.3 動作説明	478

12.3.1	ウォッチドッグタイマ時の動作	478
12.3.2	インターバルタイマ時の動作	479
12.3.3	オーバフローフラグ (OVF) セットタイミング	479
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	480
12.4	割込み	481
12.5	使用上の注意	481

《第13章》 シリアルコミュニケーションインタフェース

13.1	概要	485
13.1.1	特長	485
13.1.2	ブロック図	487
13.1.3	端子構成	488
13.1.4	レジスタ構成	488
13.2	各レジスタの説明	489
13.2.1	レシーブシフトレジスタ (RSR)	489
13.2.2	レシーブデータレジスタ (RDR)	489
13.2.3	トランスミットシフトレジスタ (TSR)	490
13.2.4	トランスミットデータレジスタ (TDR)	490
13.2.5	シリアルモードレジスタ (SMR)	491
13.2.6	シリアルコントロールレジスタ (SCR)	495
13.2.7	シリアルステータスレジスタ (SSR)	499
13.2.8	ビットレートレジスタ (BRR)	504
13.3	動作説明	512
13.3.1	概要	512
13.3.2	調歩同期式モード時の動作	514
13.3.3	マルチプロセッサ通信機能	523
13.3.4	クロック同期式モード時の動作	530
13.4	SCI 割込み	540
13.5	使用上の注意	541

《第14章》 スマートカードインタフェース

14.1	概要	547
14.1.1	特長	547
14.1.2	ブロック図	548
14.1.3	端子構成	549
14.1.4	レジスタ構成	549
14.2	各レジスタの説明	550
14.2.1	スマートカードモードレジスタ (SCMR)	550
14.2.2	シリアルステータスレジスタ (SSR)	552

14.2.3	シリアルモードレジスタ (SMR)	553
14.2.4	シリアルコントロールレジスタ (SCR)	554
14.3	動作説明	556
14.3.1	概要	556
14.3.2	端子接続	556
14.3.3	データフォーマット	557
14.3.4	レジスタ設定	558
14.3.5	クロック	560
14.3.6	データの送信/受信動作	561
14.4	使用上の注意	569

《第15章》 A/D変換器

15.1	概要	575
15.1.1	特長	575
15.1.2	ブロック図	576
15.1.3	端子構成	577
15.1.4	レジスタ構成	578
15.2	各レジスタの説明	579
15.2.1	A/DデータレジスタA~D (ADDR A~D)	579
15.2.2	A/Dコントロール/ステータスレジスタ (ADCSR)	580
15.2.3	A/Dコントロールレジスタ (ADCR)	583
15.3	CPUとのインタフェース	584
15.4	動作説明	585
15.4.1	単一モード (SCAN = "0")	585
15.4.2	スキャンモード (SCAN = "1")	587
15.4.3	入力サンプリングとA/D変換時間	589
15.4.4	外部トリガ入力タイミング	590
15.5	割込み	591
15.6	使用上の注意	591

《第16章》 D/A変換器

16.1	概要	599
16.1.1	特長	599
16.1.2	ブロック図	599
16.1.3	端子構成	600
16.1.4	レジスタ構成	600
16.2	各レジスタの説明	601
16.2.1	D/Aデータレジスタ0、1 (DADR0、1)	601
16.2.2	D/Aコントロールレジスタ (DACR)	601

16.2.3	D/Aスタンバイコントロールレジスタ (DASTCR)	603
16.3	動作説明	604
16.4	D/A出力制御	605
16.5	使用上の注意	605

《第17章》 RAM

17.1	概要	609
17.1.1	ブロック図	609
17.1.2	レジスタ構成	610
17.2	システムコントロールレジスタ (SYSCR)	611
17.3	動作説明	612

《第18章》 ROM

18.1	概要	615
18.1.1	ブロック図	616
18.2	PROMモード	617
18.2.1	PROMモードの設定	617
18.2.2	ソケットアダプタの端子対応とメモリマップ	617
18.3	PROMのプログラミング	620
18.3.1	書込み/ベリファイ	621
18.3.2	書込み時の注意	624
18.3.3	書込み後の信頼性	625
18.4	フラッシュメモリの概要	626
18.4.1	フラッシュメモリの動作原理	626
18.4.2	モード端子の設定とROM空間	627
18.4.3	特長	628
18.4.4	ブロック図	629
18.4.5	端子構成	630
18.4.6	レジスタ構成	630
18.5	フラッシュメモリの各レジスタの説明	631
18.5.1	フラッシュメモリコントロールレジスタ (FLMCR)	631
18.5.2	消去ブロック指定レジスタ1 (EBR1)	634
18.5.3	消去ブロック指定レジスタ2 (EBR2)	635
18.5.4	RAMコントロールレジスタ (RAMCR)	637
18.6	オンボードプログラミングモード	639
18.6.1	ブートモード	639
18.6.2	ユーザプログラムモード	645
18.7	フラッシュメモリの書込み/消去	647
18.7.1	書込みモード	648

18.7.2	書込みベリファイモード	648
18.7.3	書込みのフローチャートとプログラム例	649
18.7.4	消去モード	652
18.7.5	消去ベリファイモード	652
18.7.6	消去のフローチャートとプログラム例	653
18.7.7	プレライトベリファイモード	667
18.7.8	プロテクトモード	668
18.7.9	NMI入力禁止条件	672
18.8	RAMによるフラッシュメモリのエミュレーション	673
18.9	フラッシュメモリのPROMモード	675
18.9.1	PROMモードの設定	675
18.9.2	ソケットアダプタの端子対応とメモリマップ	675
18.9.3	PROMモードの動作	678
18.10	フラッシュメモリの書込み/消去時の注意	685
18.11	マクロROM品発注時の注意	692

《第19章》 クロック発振器

19.1	概要	695
19.1.1	ブロック図	695
19.2	発振器	696
19.2.1	水晶発振子を接続する方法	696
19.2.2	外部クロックを入力する方法	698
19.3	デューティ補正回路	701
19.4	プリスケアラ	701
19.5	分周器	701
19.5.1	レジスタ構成	701
19.5.2	分周比コントロールレジスタ (DIVCR)	701
19.5.3	使用上の注意	702

《第20章》 低消費電力状態

20.1	概要	705
20.2	レジスタ構成	707
20.2.1	システムコントロールレジスタ (SYSCR)	707
20.2.2	モジュールスタンバイコントロールレジスタ (MSTCR)	709
20.3	スリープモード	712
20.3.1	スリープモードへの遷移	712
20.3.2	スリープモードの解除	712
20.4	ソフトウェアスタンバイモード	713
20.4.1	ソフトウェアスタンバイモードへの遷移	713

20.4.2	ソフトウェアスタンバイモードの解除	713
20.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	714
20.4.4	ソフトウェアスタンバイモードの応用例	715
20.4.5	使用上の注意	715
20.5	ハードウェアスタンバイモード	716
20.5.1	ハードウェアスタンバイモードへの遷移	716
20.5.2	ハードウェアスタンバイモードの解除	716
20.5.3	ハードウェアスタンバイモードのタイミング	716
20.6	モジュールスタンバイ機能	717
20.6.1	モジュールスタンバイタイミング	717
20.6.2	モジュールスタンバイ中のリード／ライト	717
20.6.3	使用上の注意	717
20.7	φクロック出力禁止機能	718

《第21章》 電気的特性

21.1	絶対最大定格	721
21.2	マスクROM版、PROM版の電気的特性	721
21.2.1	DC特性	721
21.2.2	AC特性	727
21.2.3	A/D変換特性	733
21.2.4	D/A変換特性	734
21.3	フラッシュメモリ版の電気的特性	735
21.3.1	DC特性	735
21.3.2	AC特性	742
21.3.3	A/D変換特性	748
21.3.4	D/A変換特性	749
21.3.5	フラッシュメモリ特性	750
21.4	動作タイミング	751
21.4.1	バスタイミング	751
21.4.2	リフレッシュコントローラバスタイミング	753
21.4.3	制御信号タイミング	758
21.4.4	クロックタイミング	760
21.4.5	TPC、I/Oポートタイミング	760
21.4.6	ITUタイミング	761
21.4.7	SCI入出力タイミング	762
21.4.8	DMA C タイミング	763

《付録》

A. 命 令	767
A. 1 命令一覧	767
A. 2 オペレーションコードマップ	782
A. 3 命令実行ステート数	785
B. 内部 I/O レジスタ一覧	795
B. 1 アドレス一覧	795
B. 2 機能一覧	803
C. I/Oポートブロック図	886
C. 1 ポート1ブロック図	886
C. 2 ポート2ブロック図	887
C. 3 ポート3ブロック図	888
C. 4 ポート4ブロック図	889
C. 5 ポート5ブロック図	890
C. 6 ポート6ブロック図	891
C. 7 ポート7ブロック図	895
C. 8 ポート8ブロック図	896
C. 9 ポート9ブロック図	899
C. 10 ポートAブロック図	903
C. 11 ポートBブロック図	907
D. 端子状態	911
D. 1 各処理状態におけるポートの状態	911
D. 2 リセット時の端子状態	914
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて	917
F. ROM発注手順	918
F. 1 ROM書き換え品開発の流れ（発注手順）	918
F. 2 ROM発注時の注意事項	919
G. 型名一覧	920
H. 外形寸法図	921