

16. D/A変換器

第16章 目次

| | | |
|--------|-----------------------------|-----|
| 16.1 | 概要 | 599 |
| 16.1.1 | 特長 | 599 |
| 16.1.2 | ブロック図 | 599 |
| 16.1.3 | 端子構成 | 600 |
| 16.1.4 | レジスタ構成 | 600 |
| 16.2 | 各レジスタの説明 | 601 |
| 16.2.1 | D/Aデータレジスタ0、1 (DADR0、DADR1) | 601 |
| 16.2.2 | D/Aコントロールレジスタ (DACR) | 601 |
| 16.2.3 | D/Aスタンバイコントロールレジスタ (DASTCR) | 603 |
| 16.3 | 動作説明 | 604 |
| 16.4 | D/A出力制御 | 605 |
| 16.5 | 使用上の注意 | 605 |

16.1 概要

H8/3048シリーズには2チャンネルのD/A変換器が内蔵されています。

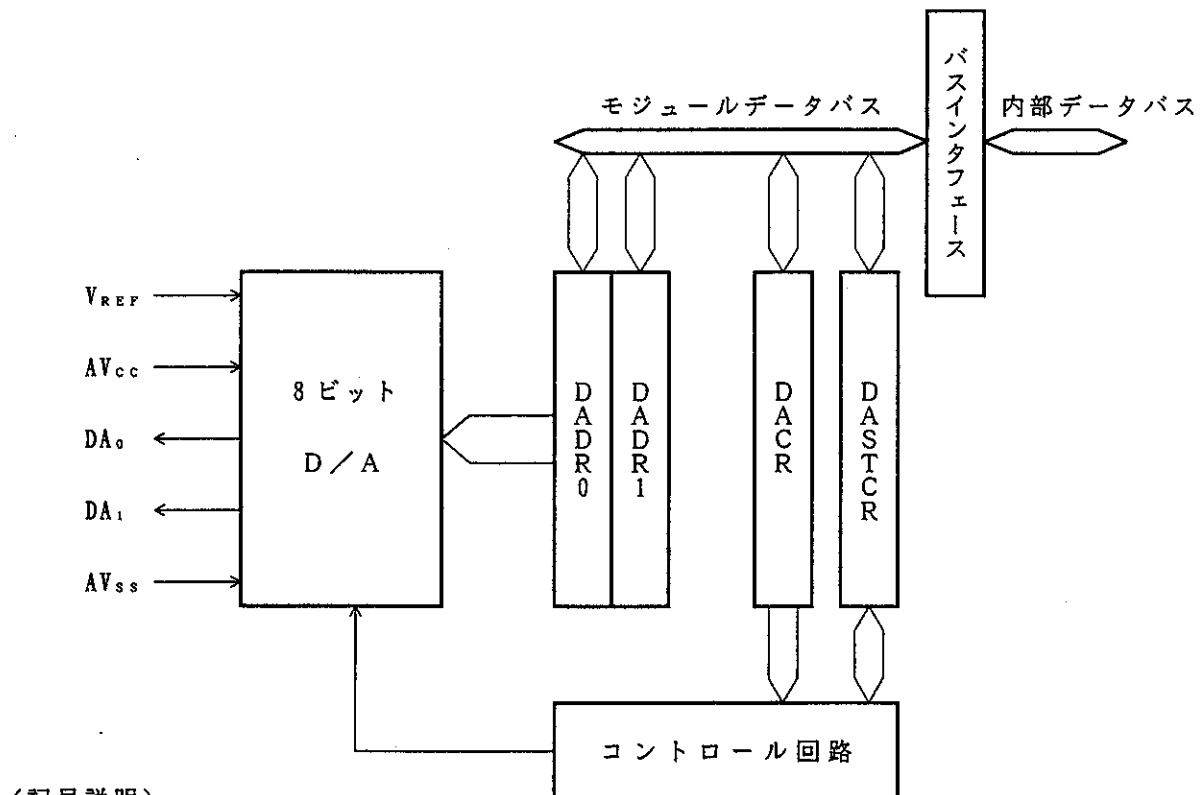
16.1.1 特長

D/A変換器の特長を以下に示します。

- 8ビットの分解能
- 2チャンネル出力
- 変換時間最大 $10\mu\text{s}$ （負荷容量 20pF 時）
- 出力電圧 $0\text{V} \sim V_{\text{REF}}$
- ソフトウェアスタンバイ時のD/A出力保持機能

16.1.2 ブロック図

D/A変換器のブロック図を図16.1に示します。



<記号説明>

- $DACR$: D/Aコントロールレジスタ
- $DADR_0$: D/Aデータレジスタ0
- $DADR_1$: D/Aデータレジスタ1
- $DASTCR$: D/Aスタンバイコントロールレジスタ

図16.1 D/A変換器のブロック図

16.1.3 端子構成

D/A変換器で使用する入出力端子を表16.1に示します。

表16.1 端子構成

| 端子名 | 略称 | 入出力 | 機能 |
|------------|------------------|-----|-------------------|
| アナログ電源端子 | AV _{CC} | 入力 | アナログ部の電源および基準電圧 |
| アナロググランド端子 | AV _{SS} | 入力 | アナログ部のグランドおよび基準電圧 |
| アナログ出力端子0 | DA ₀ | 出力 | チャンネル0のアナログ出力 |
| アナログ出力端子1 | DA ₁ | 出力 | チャンネル1のアナログ出力 |
| リファレンス電圧端子 | V _{REF} | 入力 | アナログ部の基準電圧 |

16.1.4 レジスタ構成

D/A変換器でレジスタ構成を表16.2に示します。

表16.2 レジスタ構成

| アドレス* | 名称 | 略称 | R/W | 初期値 |
|--------|--------------------|--------|-----|------|
| H'FFDC | D/Aデータレジスタ0 | DADR0 | R/W | H'00 |
| H'FFDD | D/Aデータレジスタ1 | DADR1 | R/W | H'00 |
| H'FFDE | D/Aコントロールレジスタ | DACR | R/W | H'1F |
| H'FF5C | D/Aスタンバイコントロールレジスタ | DASTCR | R/W | H'FE |

【注】* アドレスの下位16ビットを示します。

16.2 各レジスタの説明

16.2.1 D/Aデータレジスタ0、1 (DADR0、1)

| | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

D/Aデータレジスタ0、1 (DADR0、1) は、変換を行うデータを格納するリード/ライト可能な8ビットのレジスタです。

アナログ出力を許可すると、DADRの値が常に変換され、アナログ出力端子に出力されます。

DADRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

16.2.2 D/Aコントロールレジスタ (DACR)

| | | | | | | | | |
|------|-------|-------|-----|---|---|---|---|---|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DAOE1 | DAOE0 | DAE | — | — | — | — | — |
| 初期値: | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W: | R/W | R/W | R/W | — | — | — | — | — |

D/Aイネーブル
D/A変換を制御するビットです。

D/Aアウトプットイネーブル0
D/A変換とアナログ出力を制御するビットです。

D/Aアウトプットイネーブル1
D/A変換とアナログ出力を制御するビットです。

DACRは、8ビットのリード/ライト可能なレジスタで、D/A変換器の動作を制御します。

DACRは、リセットまたはスタンバイモード時に、H'1Fにイニシャライズされます。

ビット7: D/Aアウトプットイネーブル1 (DAOE1)

D/A変換とアナログ出力を制御します。

| ビット7 | 説明 |
|-------|---|
| DAOE1 | |
| 0 | アナログ出力DA ₁ を禁止 |
| 1 | チャンネル1のD/A変換を許可。アナログ出力DA ₁ を許可 |

ビット6：D/Aアウトプットイネーブル0 (DAOE0)

D/A変換とアナログ出力を制御します。

| ビット6 | 説明 |
|-------|---|
| DAOE0 | |
| 0 | アナログ出力DA ₀ を禁止 |
| 1 | チャンネル0のD/A変換を許可。アナログ出力DA ₀ を許可 |

ビット5：D/Aイネーブル (DAE)

DAOE0、DAOE1とともに、D/A変換を制御します。DAEビットが“0”にクリアされているときチャンネル0、1のD/A変換は独立に制御され、DAEビットが“1”にセットされているときチャンネル0、1のD/A変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1により、常に独立に制御されます。

| ビット7 | ビット6 | ビット5 | 説明 |
|-------|-------|------|------------------------------------|
| DAOE1 | DAOE0 | DAE | |
| 0 | 0 | — | チャンネル0、1のD/A変換を禁止 |
| 0 | 1 | 0 | チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止 |
| 0 | 1 | 1 | チャンネル0、1のD/A変換を許可 |
| 1 | 0 | 0 | チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可 |
| 1 | 0 | 1 | チャンネル0、1のD/A変換を許可 |
| 1 | 1 | — | チャンネル0、1のD/A変換を許可 |

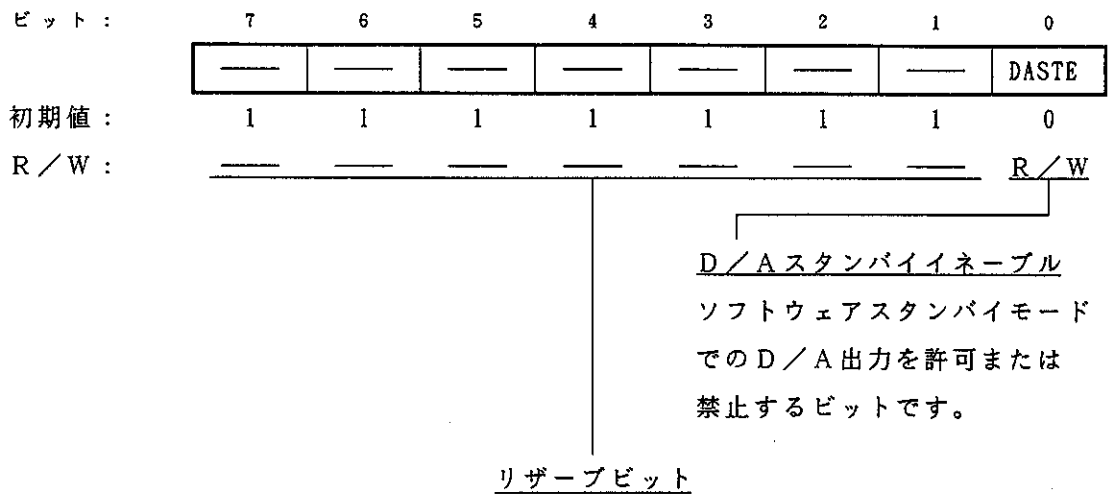
DAEビットを“1”にセットすると、DACRのDAOE0、1ビット、ADCSRのADSTビットが“0”にクリアされていても、アナログ電源電流はA/D、D/A変換中と同等になります。

ビット4～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

16.2.3 D/Aスタンバイコントロールレジスタ (DASTCR)

DASTCRは8ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードでのD/Aの出力を許可または禁止します。



DASTCRはリセット、またはハードウェアスタンバイモード時に、H¹FEにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7～1 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0 : D/Aスタンバイイネーブル (DASTE)

ソフトウェアスタンバイモードでのD/A出力を許可または禁止します。

| ビット0 | 説 明 | |
|-------|--------------------------|-------|
| DASTE | | |
| 0 | ソフトウェアスタンバイモードでのD/A出力を禁止 | (初期値) |
| 1 | ソフトウェアスタンバイモードでのD/A出力を許可 | |

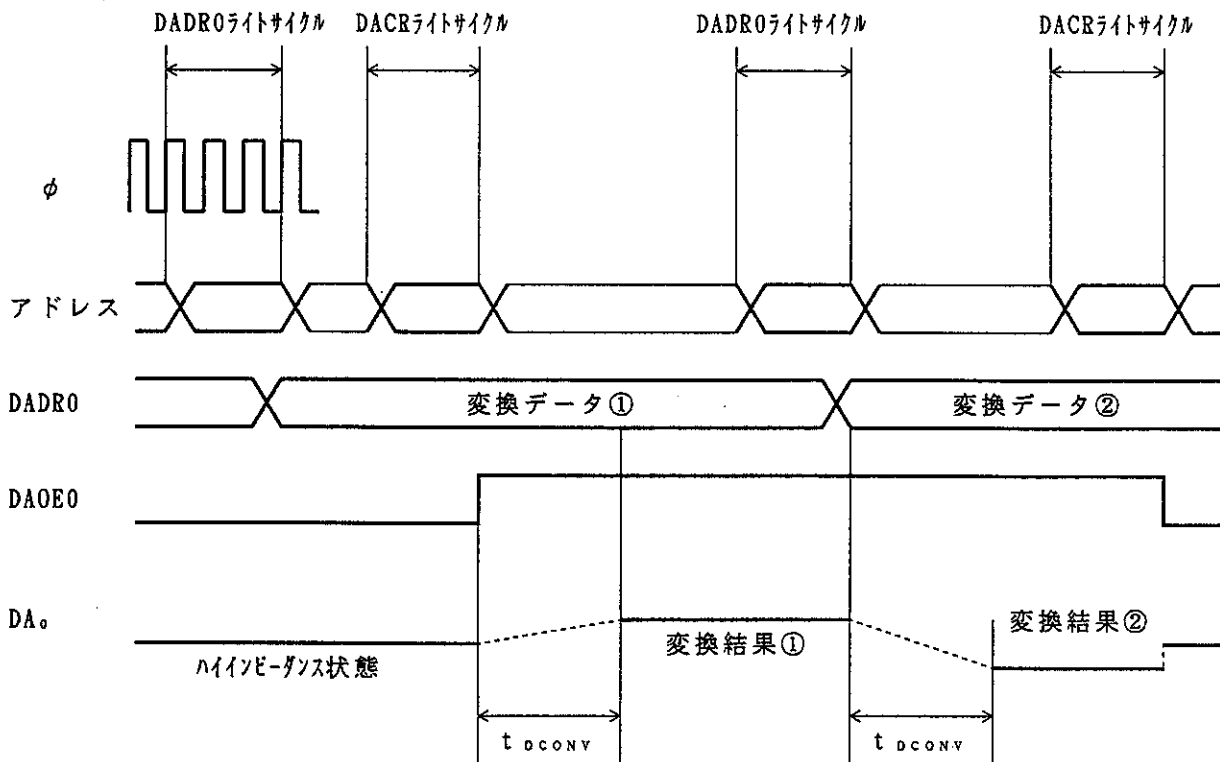
16.3 動作説明

D/A変換器は、2チャンネルのD/A変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACRによってD/A変換が許可されている期間は常にD/A変換が行われています。DADR0、1を書き換えるとただちに、新しいデータが変換されます。DAOE0、1ビットを“1”にセットすることにより、変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を示します。動作タイミングを図16.2に示します。

- (1) DADR0に変換データをライトします。
- (2) DACRのDAOE0ビットを“1”にセットします。D/A変換が開始され、DA0端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は $\frac{\text{DADRの内容}}{256} \times V_{REF}$ です。
- 次にDADR0を書き換えるか、DAOE0ビットを“0”にクリアするまでこの変換結果が出力され続けます。
- (3) DADR0を書き換えるとただちに交換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0ビットを“0”にクリアすると、DA0端子は入力端子になります。



<記号説明>

t_{DCONV} : D/A変換時間

図16.2 D/A変換器の動作例

16.4 D/A出力制御

H8/3048シリーズは、ソフトウェアスタンバイモードでD/A変換器の出力を許可または禁止することができます。

DASTCRのDASTEビットを“1”にセットすると、ソフトウェアスタンバイモードにおいてもD/A変換器の出力が許可されます。このとき、D/A変換器のレジスタはソフトウェアスタンバイモードに遷移する直前の値を保持します。

なお、ソフトウェアスタンバイモードでD/A出力を許可した場合、リファレンス電源電流は動作時と同じとなります。

16.5 使用上の注意

D/A変換器を使用する際は、以下のことに注意してください。

■アナログ電源電圧について

D/A変換器を使用する場合は、電源電圧を以下の関係に従って設定してください。

- (1) $V_{CC} \geq A V_{CC} - 0.3 \text{ V}$
- (2) $A V_{CC} \geq V_{REF} \geq A N_n \geq A V_{SS} = V_{SS}$
($n = 0 \sim 7$)

【注】 ZTAT版のみの制限事項です。ZTATのSマスク版、フラッシュメモリ版およびマスクROM版では、通常の使用が可能であり制限はありません。