

7. リフレッシュコントローラ

第7章 目次

7.1	概要	173
7.1.1	特長	173
7.1.2	ブロック図	174
7.1.3	端子構成	175
7.1.4	レジスタ構成	175
7.2	各レジスタの説明	176
7.2.1	リフレッシュコントロールレジスタ (RFSHCR)	176
7.2.2	リフレッシュタイムコントロールステータスレジスタ (RTMCSR)	179
7.2.3	リフレッシュタイムカウンタ (RTCNT)	182
7.2.4	リフレッシュタイムコンスタントレジスタ (RTCOR)	182
7.3	動作説明	183
7.3.1	概要	183
7.3.2	DRAMリフレッシュ制御	185
7.3.3	PSRAMリフレッシュ制御	200
7.3.4	インターバルタイマ	203
7.4	割込み要因	208
7.5	使用上の注意	209

7.1 概要

H8/3048シリーズは、リフレッシュコントローラを内蔵しており、×16ビット構成のDRAMを直接接続できます。また、DRAMの代わりにPSRAMを直接接続することも可能です。

DRAMまたはPSRAMを直接接続できる外部アドレス空間はエリア3です。モード1、2、5（1Mバイトモード）は最大128kバイト、モード3、4、6（16Mバイトモード）は最大2Mバイトを使用できます。

DRAM、PSRAMのリフレッシュが不要なシステムでは、8ビットインターバルタイマとして使用できます。

消費電流低減のため、リフレッシュコントローラを使用しない場合には、リフレッシュコントローラを単独に停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

7.1.1 特長

リフレッシュコントローラは、DRAMリフレッシュ制御、PSRAMリフレッシュ制御、またはインターバルタイマのうち、いずれか一つの機能を使用できます。リフレッシュコントローラの特長を以下に示します。

(1) DRAMリフレッシュコントローラとしての特長

- ×16ビット構成のDRAMを直接接続可能
- 2 CAS方式、または2 WE方式のいずれか一方を選択可能
- DRAMのアドレス入力のマルチプレクスは、8ビットカラムアドレスまたは9ビットカラムアドレスのいずれか一つを選択可能

(例)

- ・1MビットDRAM 8ビットロウアドレス×8ビットカラムアドレス
- ・4MビットDRAM 9ビットロウアドレス×9ビットカラムアドレス
- ・4MビットDRAM 10ビットロウアドレス×8ビットカラムアドレス

- リフレッシュ制御はCASビフォアRASリフレッシュを採用
- プログラムによりリフレッシュ間隔を選択可能
- プログラムによりセルフリフレッシュモードを設定可能
- ウェイトステート挿入可能

(2) PSRAMリフレッシュコントローラとしての特長

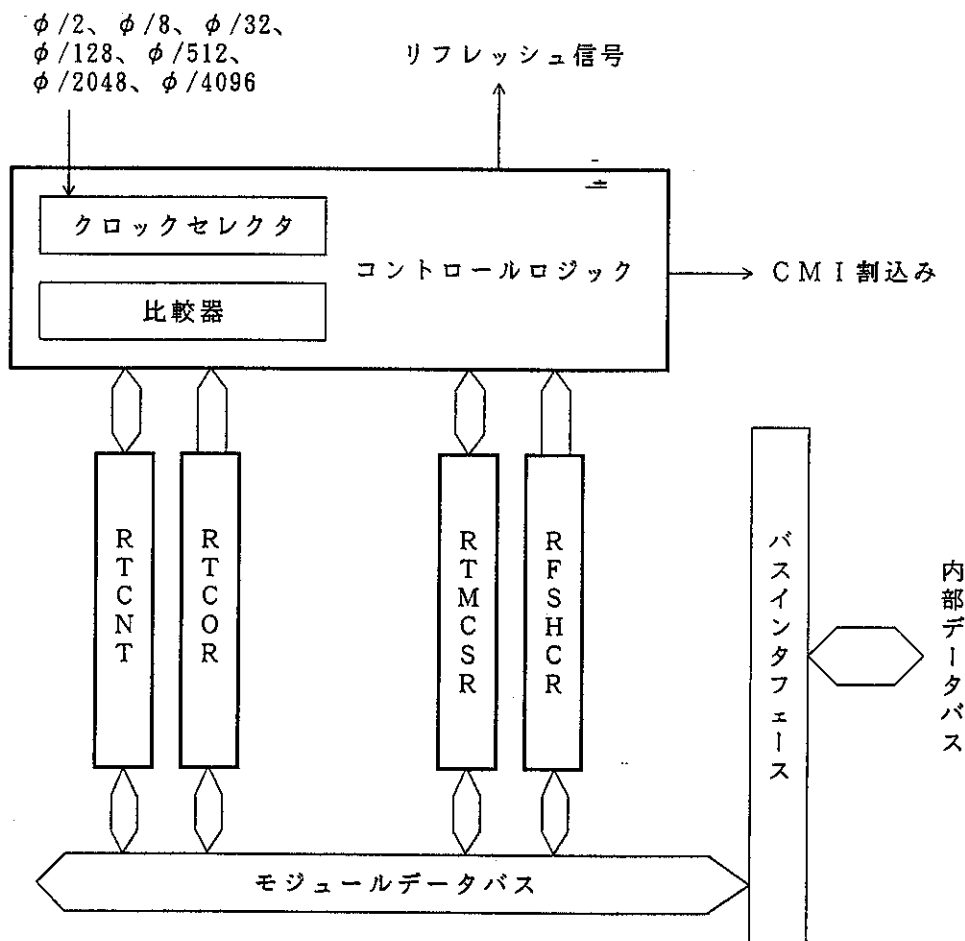
- リフレッシュ制御のためRFSH信号を出力
- プログラムによりリフレッシュ間隔を選択可能
- プログラムによりセルフリフレッシュモードを設定可能
- ウェイトステート挿入可能

(3) インターバルタイマとしての特長

- リフレッシュタイマカウンタ (RTCNT) を 8 ビットアップカウンタとして使用可能
- カウントクロックは 7 種類 ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$) から選択可能
- RTCNTとリフレッシュタイムコンスタントレジスタ (RTCOR) のコンペアマッチにより割込み発生可能

7.1.2 ブロック図

リフレッシュコントローラのブロック図を図 7.1 に示します。



《記号説明》

- RTCNT : リフレッシュタイマカウンタ
- RTCOR : リフレッシュタイムコンスタントレジスタ
- RTMCSR : リフレッシュタイマコントロール/ステータスレジスタ
- RFSHCR : リフレッシュコントロールレジスタ

図 7.1 リフレッシュコントローラのブロック図

7.1.3 端子構成

リフレッシュコントローラの端子構成を表7.1に示します。

表7.1 端子構成

端子	信号		入出力	機能
	名称	略称		
$\overline{\text{RFSH}}$	リフレッシュ	$\overline{\text{RFSH}}$	出力	リフレッシュサイクル時“Low”レベルとなります。 DRAMおよびPSRAMのリフレッシュに使用します。
$\overline{\text{HWR}}$	アッパーライト/アッパーカラムアドレスストロープ	$\overline{\text{UW/UCAS}}$	出力	2 $\overline{\text{WE}}$ 方式DRAMの $\overline{\text{UW}}$ 端子/ 2CAS方式DRAMの $\overline{\text{UCAS}}$ 端子と接続します。
$\overline{\text{LWR}}$	ロウアーライト/ロウアーカラムアドレスストロープ	$\overline{\text{LW/LCAS}}$	出力	2 $\overline{\text{WE}}$ 方式DRAMの $\overline{\text{LW}}$ 端子/ 2CAS方式DRAMの $\overline{\text{LCAS}}$ 端子と接続します。
$\overline{\text{RD}}$	カラムアドレスストロープ/ ライトイネーブル	$\overline{\text{CAS/WE}}$	出力	2 $\overline{\text{WE}}$ 方式DRAMの $\overline{\text{CAS}}$ 端子/ 2CAS方式DRAMの $\overline{\text{WE}}$ 端子と接続します。
$\overline{\text{CS}}_0$	ロウアドレスストロープ	$\overline{\text{RAS}}$	出力	DRAMの $\overline{\text{RAS}}$ 端子と接続します。

7.1.4 レジスタ構成

リフレッシュコントローラのレジスタ構成を表7.2に示します。

表7.2 レジスタ構成

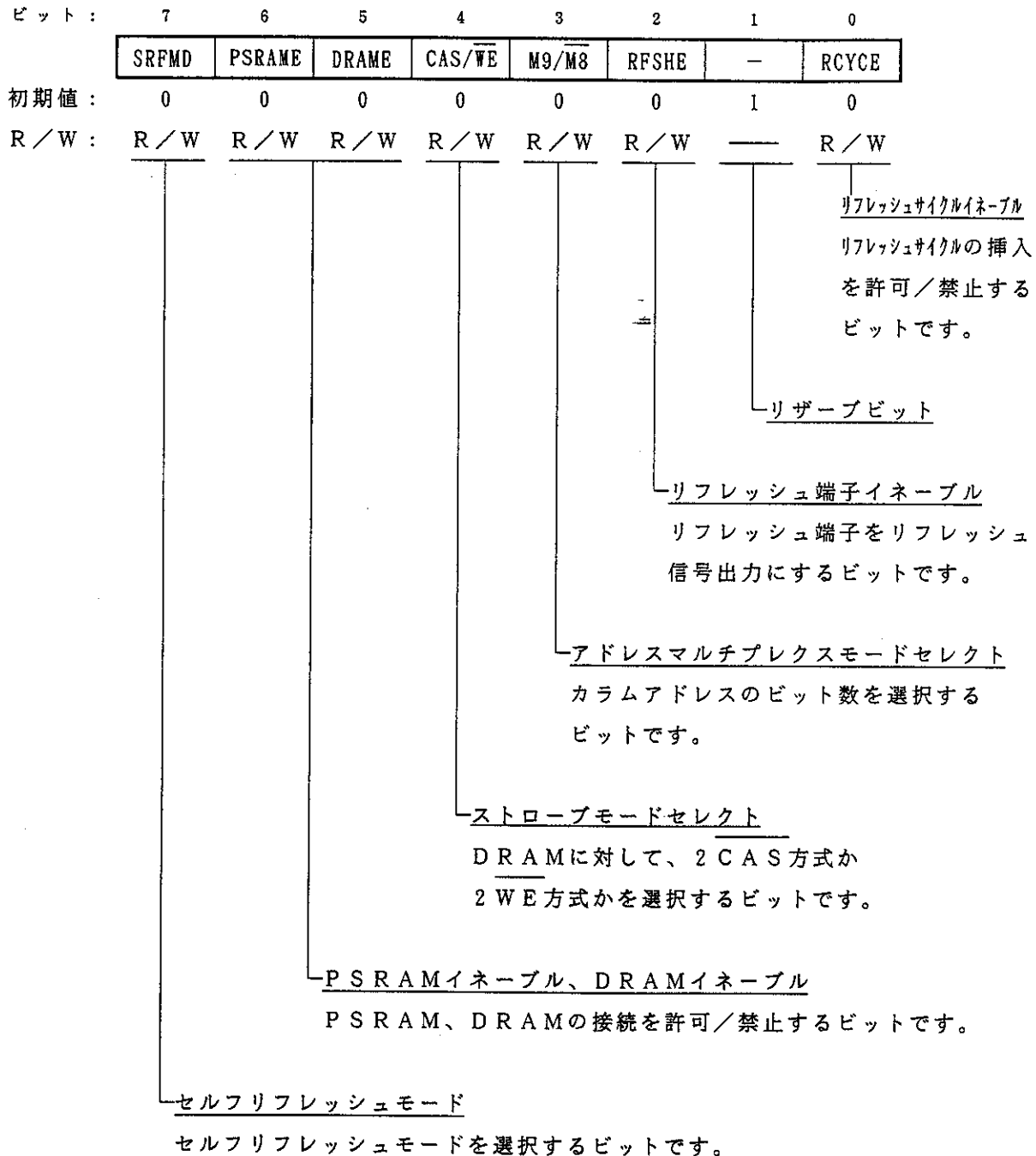
アドレス*	名称	略称	R/W	初期値
H'FFAC	リフレッシュコントロールレジスタ	RFSHCR	R/W	H'02
H'FFAD	リフレッシュタイマコントロール/ ステータスレジスタ	RTMCSR	R/W	H'07
H'FFAE	リフレッシュタイマカウンタ	RTCNT	R/W	H'00
H'FFAF	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】* アドレスの下位16ビットを示しています。

7.2 各レジスタの説明

7.2.1 リフレッシュコントロールレジスタ (RFSHCR)

RFSHCRは、8ビットのリード/ライト可能なレジスタで、リフレッシュコントローラの動作モードを選択します。



RFSHCRは、リセット、またはハードウェアスタバイモード時にH'02にイニシャライズされます。

ビット7：セルフリフレッシュモード（SRFMD）

ソフトウェアスタンバイモード時、DRAMまたはPSRAMのセルフリフレッシュを指定します。

PSRAME = “1”、DRAME = “0” のとき、SRFMDビットを“1”にセットした後に、ソフトウェアスタンバイモードに遷移すると、PSRAMのセルフリフレッシュが可能となります。

また、PSRAME = “0”、DRAME = “1” のとき、SRFMDビットを“1”にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAMのセルフリフレッシュが可能となります。

いずれの場合もソフトウェアスタンバイモードの解除により、通常のアクセス状態に戻ります。

ビット7 SRFMD	説 明
0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止 (初期値)
1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能

ビット6：PSRAMイネーブル（PSRAME）

ビット5：DRAMイネーブル（DRAME）

外部アドレス空間のエリア3に対して、DRAMまたはPSRAMの接続を許可/禁止をします。

DRAMまたはPSRAMを接続する場合、エリア3のバスサイクルおよびリフレッシュサイクルはASTCRの設定にかかわらず、3ステートアクセスとなります。ただし、ウェイトステートは、ASTCRのAST3 = “0” の場合、挿入することはできません。

PSRAMEビットまたはDRAMEビットが“1”にセットされていると、RFSHCRのビット0、2、3、4、およびRTMCSR、RTCNT、RTCORへのライトはできません。ただし、RTMCSRのCMFフラグについては、フラグをクリアするための“0”ライトのみ可能です。

ビット6 PSRAME	ビット5 DRAME	説 明
0	0	インターバルタイマとして使用可能 (DRAM、PSRAMの直接接続不可能) (初期値)
	1	DRAMの直接接続が可能
1	0	PSRAMの直接接続が可能
	1	使用禁止

ビット4：ストロブモードセレクト (CAS/WE)

2 CAS方式か2 WE方式のいずれかを選択します。

本ビットの設定はPSRAME = “0”、DRAME = “1” のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

ビット4	説明
CAS/WE	
0	2 WE方式を選択 (初期値)
1	2 CAS方式を選択

ビット3：アドレスマルチプレクスモードセレクト (M9/M8)

8ビットカラムアドレスまたは9ビットカラムアドレスのいずれかを選択します。

本ビットの設定はPSRAME = “0”、DRAME = “1” のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

ビット3	説明
M9/M8	
0	8ビットカラムモードを選択 (初期値)
1	9ビットカラムモードを選択

ビット2：リフレッシュ端子イネーブル (RFSHE)

RFSH端子のリフレッシュ信号出力を許可/禁止します。

本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

ビット2	説明
RFSHE	
0	RFSH端子のリフレッシュ信号出力を禁止 (初期値) (RFSH端子は入出力ポートとして使用可)
1	RFSH端子のリフレッシュ信号出力を許可

ビット1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

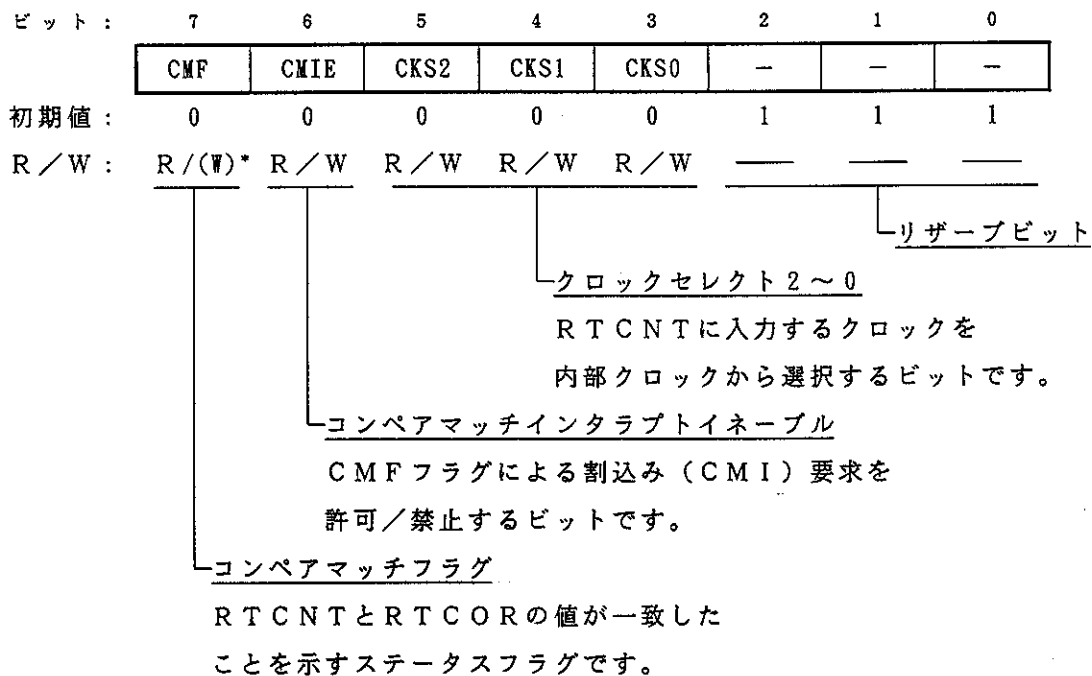
ビット0：リフレッシュサイクルイネーブル（RCYCE）

リフレッシュサイクルの挿入を許可または禁止します。本ビットはPSRAME = “1”、またはDRAME = “1”のときに有効となります。PSRAME = “0”かつDRAMEビット = “0”のときは、本ビットの設定にかかわらずリフレッシュサイクルは挿入されません。

ビット0	説明
RCYCE	
0	リフレッシュサイクルを禁止 (初期値)
1	エリア3に対するリフレッシュサイクルを許可

7.2.2 リフレッシュタイマコントロールステータスレジスタ（RTMCSR）

RTMCSRは、8ビットのリード/ライト可能なレジスタで、RTCNTに入力するクロックの選択を行います。また、インターバルタイマとして使用する場合は、割込み要求の許可/禁止も行います。



【注】* フラグをクリアするための“0”ライトのみ可能です。

ビット7、6は、リセット、またはスタンバイモード時にイニシャライズされます。

ビット5～3は、リセット、またはハードウェアスタンバイモード時にイニシャライズされますが、ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の状態を保持しています。

ビット7：コンペアマッチフラグ（CMF）

RTCNTとRTCORの値が一致したことを示すステータスフラグです。

ビット7	説明
CMF	
0	[クリア条件] CMF = "1" の状態で、CMFフラグをリードした後、CMFフラグに "0" をライトしたとき
1	[セット条件] RTCNT = RTCORになったとき

ビット6：コンペアマッチインタラプトイネーブル（CMIE）

RTCORのCMFフラグが "1" にセットされたとき、CMFフラグによる割込み（CMI）要求を許可／禁止します。

PSRAME = "1"、またはDRAME = "1" のとき、CMIEビットは常に "0" にクリアされています。

ビット6	説明
CMIE	
0	CMFフラグによる割込み（CMI）要求を禁止 （初期値）
1	CMFフラグによる割込み（CMI）要求を許可

ビット5～3：クロックセレクト2～0（CKS2～CKS0）

RTCNTに入力するクロックを内部クロックから選択します。リフレッシュコントローラとして使用する場合は、RTCNTとRTCORのコンペアマッチによりリフレッシュ要求を周期的に発生します。インターバルタイマとして使用する場合は、コンペアマッチによりCMI割込み要求を周期的に発生します。

本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

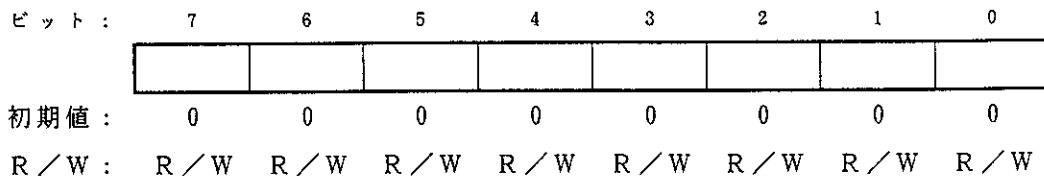
ビット5	ビット4	ビット3	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
		1	$\phi/2$ でカウント
	1	0	$\phi/8$ でカウント
		1	$\phi/32$ でカウント
1	0	0	$\phi/128$ でカウント
		1	$\phi/512$ でカウント
	1	0	$\phi/2048$ でカウント
		1	$\phi/4096$ でカウント

ビット2～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

7.2.3 リフレッシュタイマカウンタ (RTCNT)

RTCNTは、リード/ライト可能な8ビットのアップカウンタです。



RTCNTは、RTMCSRのCKS2～CKS0ビットで選択された内部クロックにより、カウントアップします。

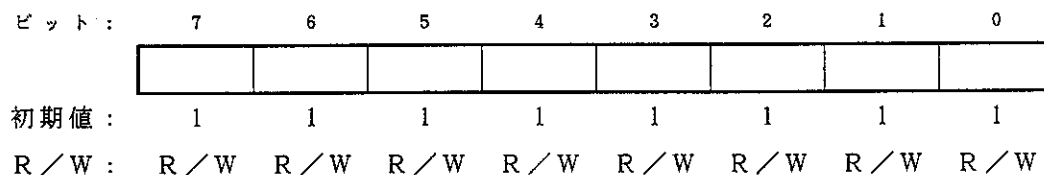
RTCNTがRTCORに一致（コンペアマッチ）すると、CMFフラグが“1”にセットされRTCNTはH'00にイニシャライズされます。

RTCNTは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

RTCNTは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

7.2.4 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCORは、8ビットのリード/ライト可能なレジスタで、RTCNTとのコンペアマッチ周期を設定します。



RTCORとRTCNTの値は常に比較されており、両方の値が一致するとRTMCSRのCMFフラグが“1”にセットされ、同時にRTCNTがH'00にクリアされます。

RTCORは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

RTCORは、リセット、またはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の値を保持しています。

7.3 動作説明

7.3.1 概要

リフレッシュコントローラは、エリア3に接続したDRAMのインタフェース、エリア3に接続したPSRAMのインタフェース、またはインターバルタイマのうち、いずれか一つを選択することができます。

上記の3種類の使用方法の概要を表7.3に示します。

表7.3 リフレッシュコントローラの設定方法

レジスタ設定		用途	DRAM インタフェース	PSRAM インタフェース	インターバルタイマ
RFSHCR	SRFMD		セルフリフレッシュモードの指定		“0”に設定
	PSRAME		“0”に設定	“1”に設定	“0”に設定
	DRAME		“1”に設定	“0”に設定	“0”に設定
	CAS/ \overline{WE}		2CAS方式/ 2 \overline{WE} 方式選択		_____
	M9/ $\overline{M8}$		カラムモード選択		_____
	RFSHE		RFSH端子出力選択		“0”に設定
	RCYCE		リフレッシュサイクル挿入選択		_____
RTCOR			リフレッシュ間隔を設定		割込み周期を設定
RTMCSR	CKS2~0				
	CMF		RTCNT=RTCORのとき、“1”にセット		
	CMIE		“0”に設定		割込み要求の許可/ 禁止を選択
P8DDR	P8 _i DDR		“1”に設定(\overline{CS} ₃ 出力設定)		“0”または“1” に設定
ABWCR	ABW3		“0”に設定	_____	

(1) DRAMインタフェース

RTCOR、RTMCSR、RFSHCRの順に初期設定を行い、PSRAMEビットを“0”、DRAMEビットを“1”に設定することにより、×16ビット構成のDRAMをエリア3に接続できます。このとき、ポート8データディレクションレジスタ(P8DDR)のP8_iDDRビットを“1”にセットして \overline{CS} ₃出力に設定してください。また、ABWCRにより、エリア3を16ビットアクセス空間に設定してください。

(2) PSRAMインタフェース

RTCOR、RTMCSR、RFSHCRの順に初期設定を行い、PSRAMEビットを“1”、DRAMEビットを“0”に設定することにより、PSRAMをエリア3に接続できます。このとき、P8DDRのP8,DDRビットを“1”にセットしてCS₃出力に設定してください。

(3) インターバルタイマ

PSRAME = “0” かつ DRAME = “0” のとき、インターバルタイマとして動作します。RTCORを設定後、RTMCSRで入力クロックを選択して、CMIEビットを“1”にセットしてください。

上記設定により、RTCORとRTMCSRのCKS2～CKS0ビットで決まるコンペアマッチの周期ごとにCMI割込み要求を発生することができます。

RTCOR、RTMCSR、RFSHCRの設定は、必ずPSRAME = “0” かつ DRAME = “0” の状態で行ってください。どちらかのビットが“1”の場合、ライトできません。

—

7.3.2 DRAMリフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

リフレッシュ要求の周期は、RTCORとRTMCSRのCKS2～CKS0ビットにより設定します。

リフレッシュ要求の周期を図7.2に示します。

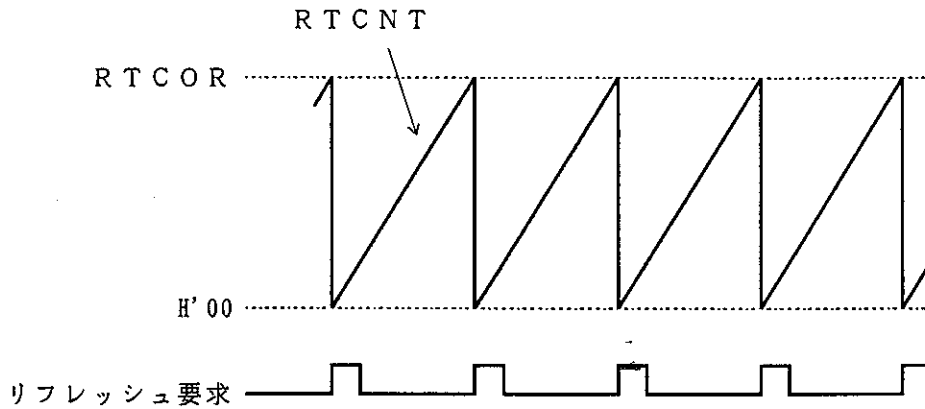


図7.2 リフレッシュ要求の周期 (RCYCE = "1")

リフレッシュ要求は図7.2に示す周期で発生しますが、実際のリフレッシュサイクルの実行は、フレッシュコントローラがバス権を獲得した後に行われます。

表7.4にエリア3の設定とDRAMのリード/ライトサイクルおよびリフレッシュサイクルの関係を示します。

表7.4 エリア3の設定とDRAMアクセスサイクルおよびリフレッシュサイクルの関係

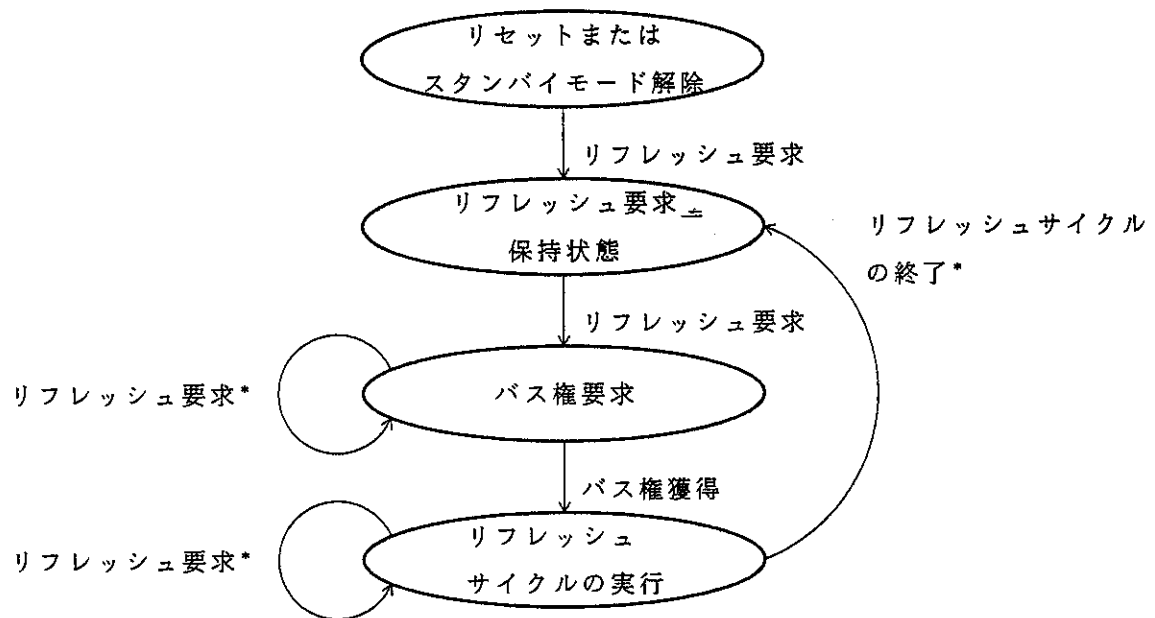
エリア3の設定	CPUまたはDMAコントローラによるリード/ライトサイクル	リフレッシュサイクル
2ステートアクセス空間 (AST3 = "0")	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入不可 	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入不可
3ステートアクセス空間 (AST3 = "1")	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入可能 	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入可能

リフレッシュサイクルを挿入するために、RFSHCRのRCYCEビットを“1”にセットしてください。

リフレッシュサイクル実行の状態遷移を図7.3に示します。

リセット直後、またはスタンバイモード解除直後にリフレッシュ要求が発生すると、リフレッシュ要求保持状態に遷移します。このときには、リフレッシュサイクルは実行されません。イニシャライズのためにリフレッシュサイクルを必要とするDRAMを使用する場合は注意してください。

リフレッシュ要求保持状態でリフレッシュ要求が発生すると、リフレッシュコントローラはバス権を獲得してリフレッシュサイクルを実行します。また、リフレッシュサイクル実行中に発生したリフレッシュ要求は無視されます。



【注】* バス権要求中に発生したリフレッシュの再要求、あるいはリフレッシュサイクル実行中のリフレッシュ要求は無視されます。

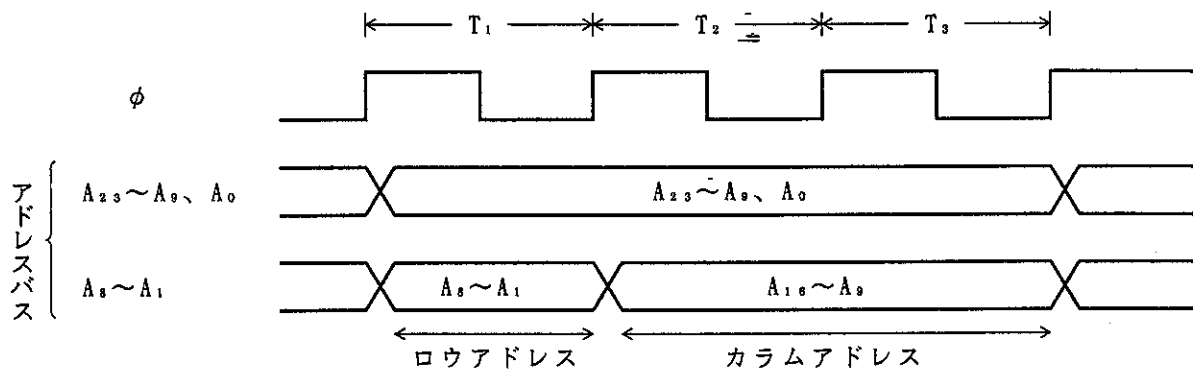
図7.3 リフレッシュサイクル実行の状態遷移図

(2) アドレスマルチプレクス

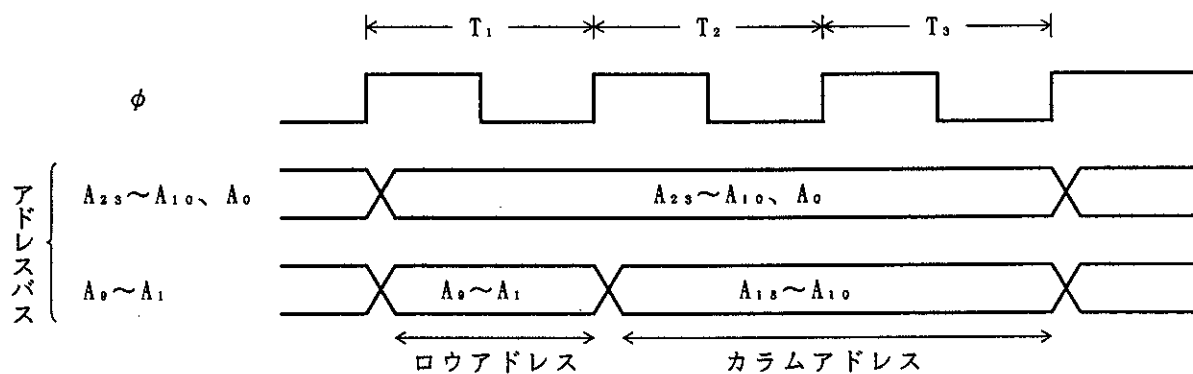
RFSHCRのM9/M8ビットにより、カラムアドレスのビット数を指定すると、アドレスのマルチプレクスは表7.5に示すようになります。また、そのときのアドレス出力タイミングを図7.4に示します。アドレスのマルチプレクス出力は、エリア3に対してのみ行われます。

表7.5 アドレスマルチプレクス

アドレス端子	A ₂₃ ~A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
ロウアドレス出力時の アドレス出力	A ₂₃ ~A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
カラムアドレス 出力時の アドレス出力	M9/M8="0"	A ₂₃ ~A ₁₀	A ₉	A ₈	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀
	M9/M8="1"	A ₂₃ ~A ₁₀	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀



(a) M9/M8="0" のとき



(b) M9/M8="1" のとき

図7.4 マルチプレクスされたアドレス出力の例 (ウェイト挿入なし)

(3) 2CAS方式と2WE方式

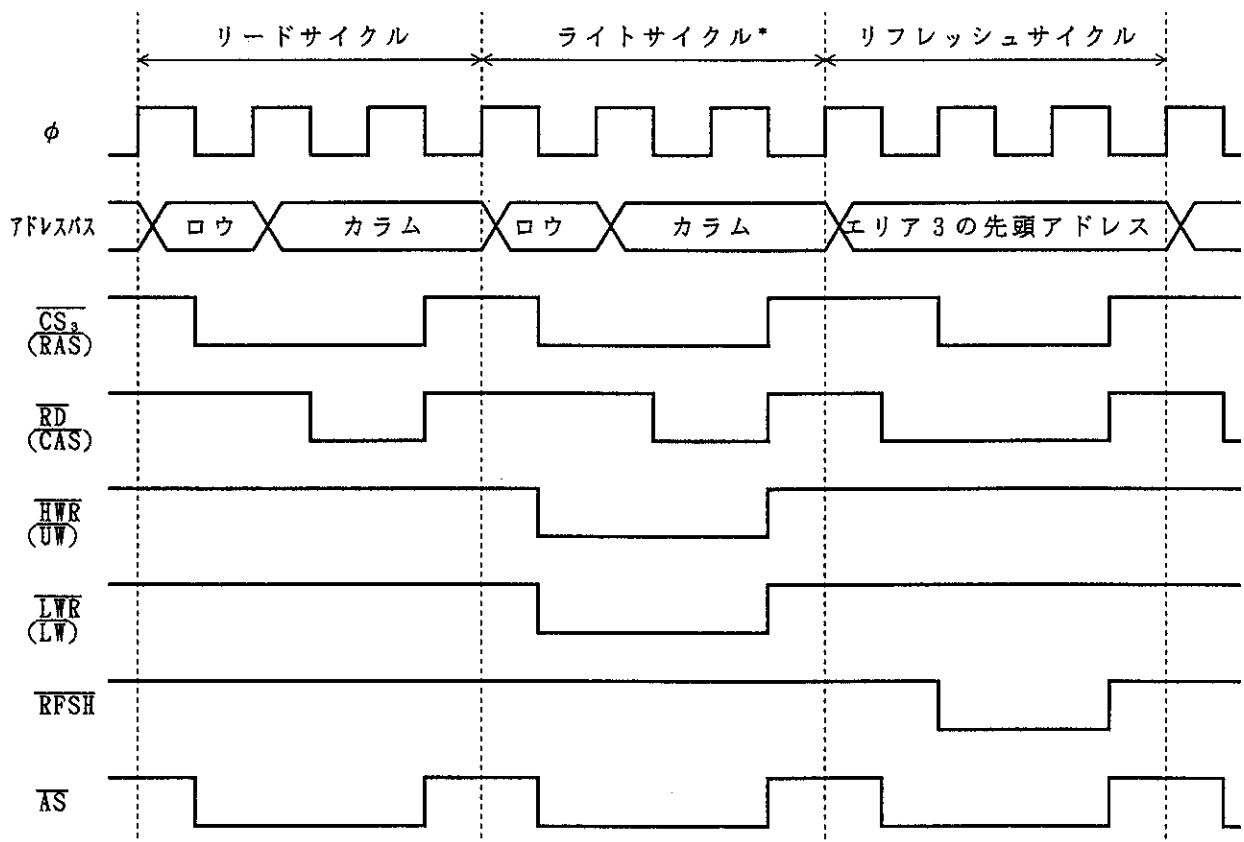
×16ビット構成のDRAMのうち、UCAS、LCASを使用する方式とUW、LWを使用する方式のいずれかをRFSHCRのCAS/WEビットにより、選択することができます。

2CAS方式および2WE方式の各々の場合について、DRAMと本LSIの端子対応を表7.6に示します。

表 7.6 DRAMと本LSIの端子対応

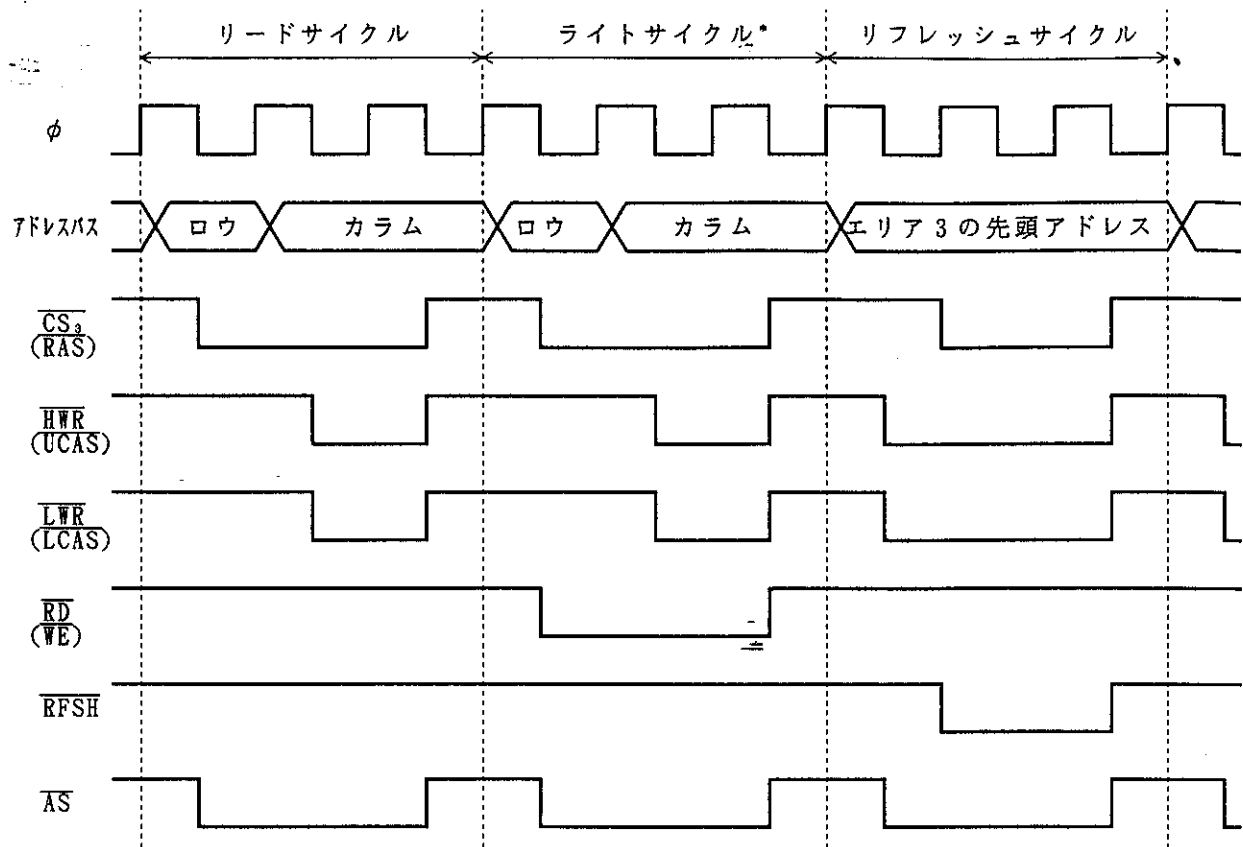
本LSIの端子	DRAMの端子	
	CAS/WE="0" (2WE方式)	CAS/WE="1" (2CAS方式)
HWR	UW	UCAS
LWR	LW	LCAS
RD	CAS	WE
CS ₃	RAS	RAS

2WE方式によるDRAMインタフェースを図7.5(1)に、また2CAS方式によるDRAMインタフェースを図7.5(2)に示します。



【注】* 16ビットアクセス時

図 7.5 DRAM制御信号出力タイミング(1) (2WE方式)



【注】* 16ビットアクセス時

図 7.5 DRAM制御信号出力タイミング(2) (2 CAS方式)

(4) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMAコントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(5) ウェイトステートの挿入

ASTCRのAST3を“1”にセットした場合、バスコントローラの設定によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

詳細は、「6.3.5 ウェイトモード」を参照してください。

(6) セルフリフレッシュモード

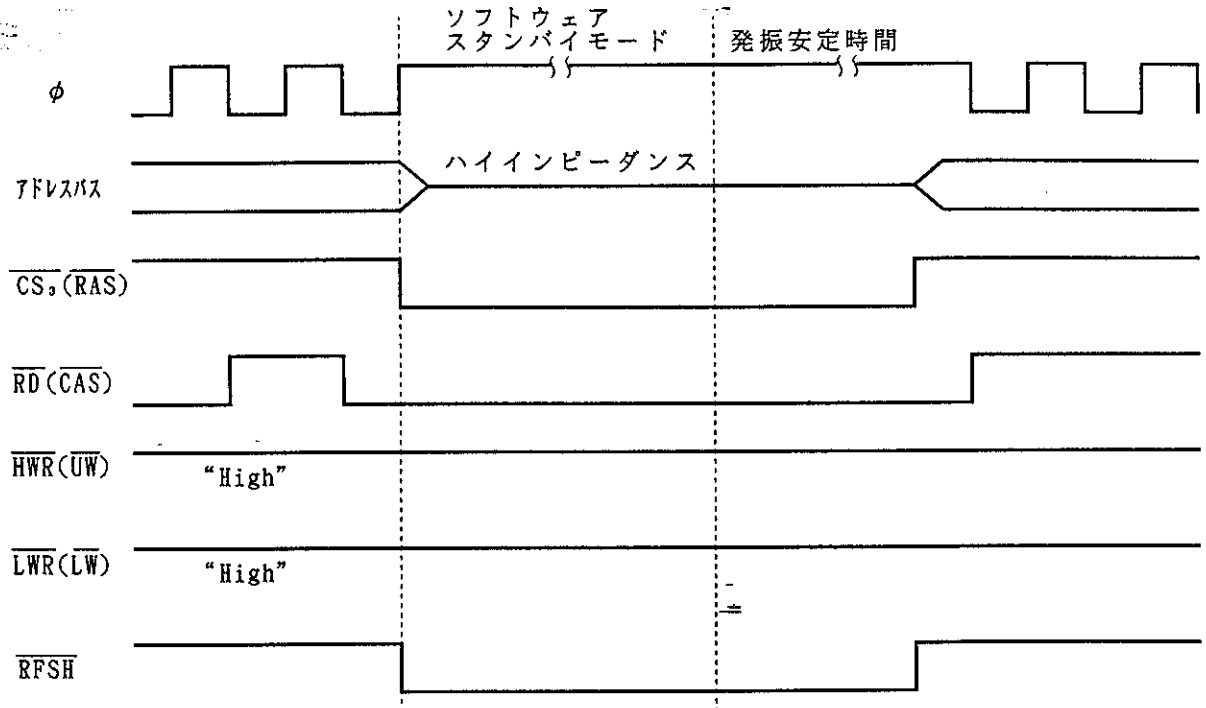
DRAMには、セルフリフレッシュ機能を持つものがあります。

RFSHCRのSRFMDビットを“1”にセットした後、ソフトウェアスタンバイモードに移行すると、CAS、RASの順に“Low”レベル出力となり、DRAMのセルフリフレッシュ機能を使用することができます。ソフトウェアスタンバイモードが解除されると、CAS、RASは“High”レベル出力となります。

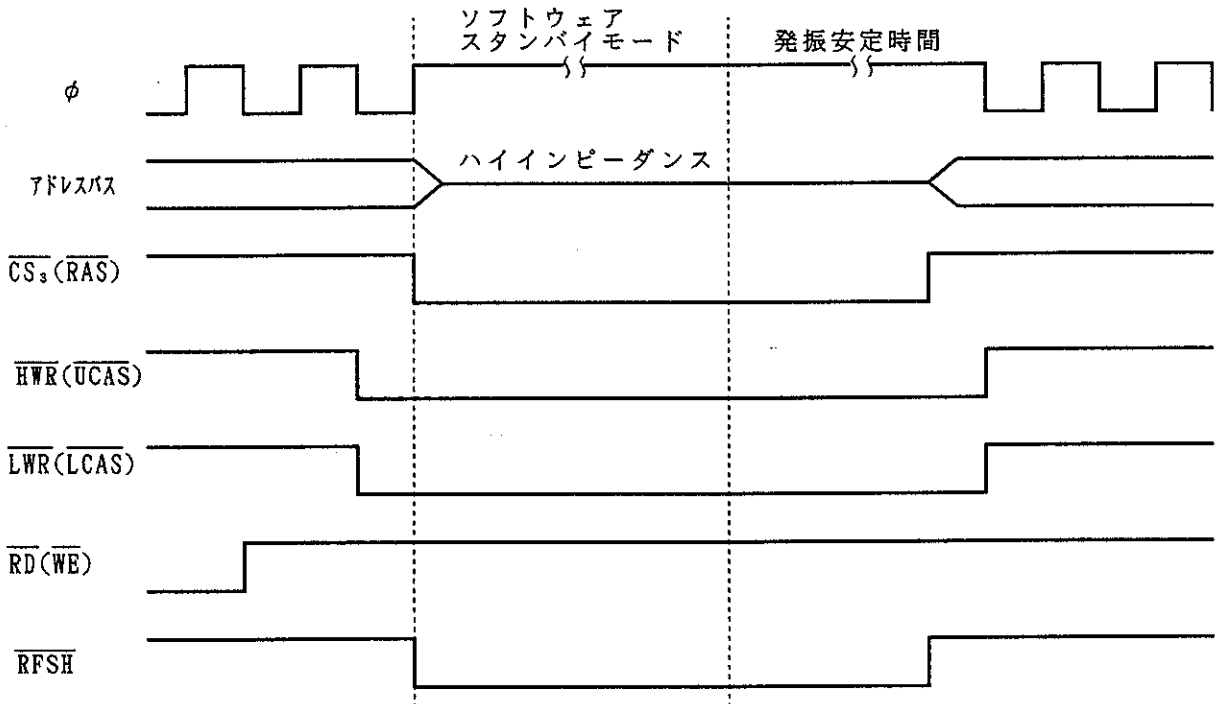
表7.7にソフトウェアスタンバイモード時の端子状態を、また図7.6に信号出力タイミングを示します。

表7.7 ソフトウェアスタンバイモード時の端子状態(1)
(PSRAME = “0”、DRAME = “1”)

信号	ソフトウェアスタンバイモード時			
	SRFMD = “0”		SRFMD = “1” (セルフリフレッシュモード)	
	CAS/ \overline{WE} = “0”	CAS/ \overline{WE} = “1”	CAS/ \overline{WE} = “0”	CAS/ \overline{WE} = “1”
\overline{HWR}	ハイインピーダンス	ハイインピーダンス	“High”	“Low”
\overline{LWR}	ハイインピーダンス	ハイインピーダンス	“High”	“Low”
\overline{RD}	ハイインピーダンス	ハイインピーダンス	“Low”	“High”
\overline{CS}_3	“High”	“High”	“Low”	“Low”
\overline{RFSH}	“High”	“High”	“Low”	“Low”



(a) 2 \overline{WE} 方式 (SRFMD = "1" の場合)



(b) 2 \overline{CAS} 方式 (SRFMD = "1" の場合)

図 7.6 セルフリフレッシュモードの信号出力タイミング
(PSRAME = "0"、DRAME = "1")

(7) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNTはイニシャライズされますが、RFSHCR、RTMCSRのビット5～3、RTCORはソフトウェアスタンバイモードに移移する直前の状態を保持します。

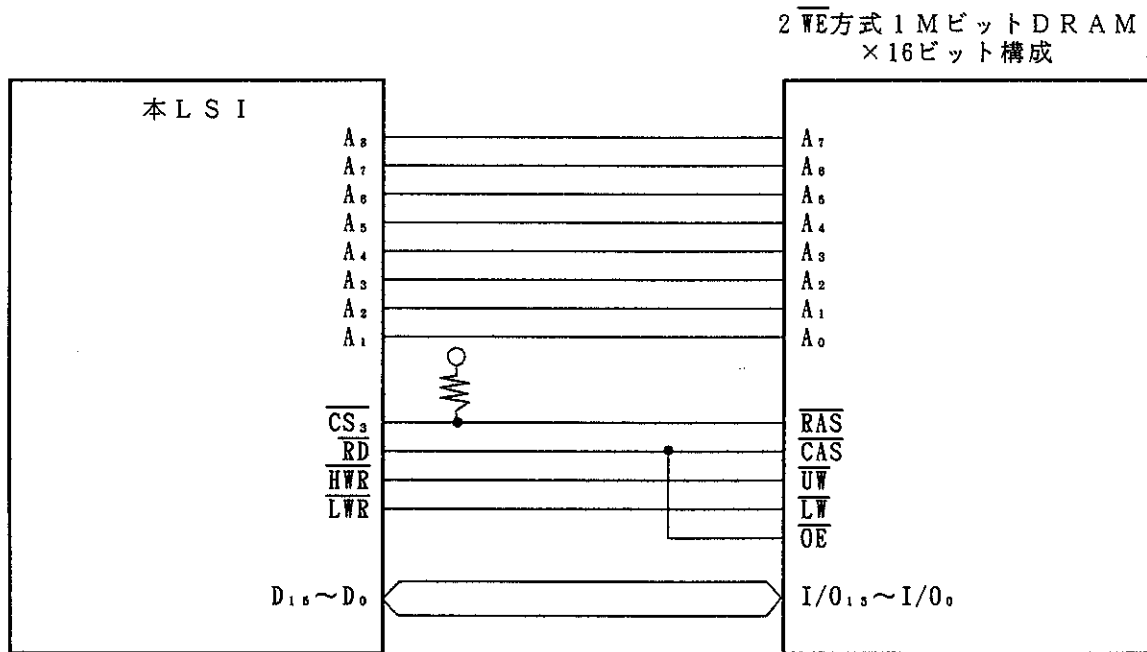
(8) 使用例

① 2WE方式1MビットDRAMの接続例(1Mバイトモード)

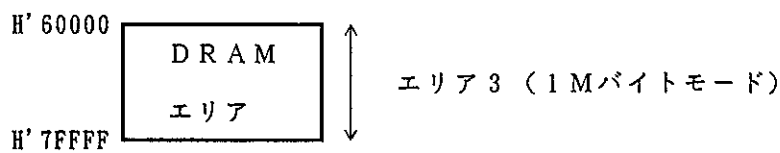
図7.7に2WE方式の1MビットDRAMの接続例とそのアドレスマップを示します。

また、図7.8にそのときのプログラム設定順序を示します。DRAMは、電源投入直後、内部状態を安定させるためにリフレッシュサイクルを必要とします。したがって、他のタイマモジュールによる割り込み、あるいはRTMCSRのビット7(CMF)がセットされる回数を数えるなどして、DRAMの安定期間を確保してください。リセット、またはスタンバイ直後の最初のリフレッシュ要求(CMFフラグのセット)は、リフレッシュサイクル実行に使用されませんので注意してください(図7.3参照)。

本機能を使用する場合は、DRAMデバイス特性をよくご確認の上、そのデバイスに適合する使い方をしてください。



(a) 接続例



(b) アドレスマップ

図7.7 2WE方式1MビットDRAMの接続例とアドレスマップ

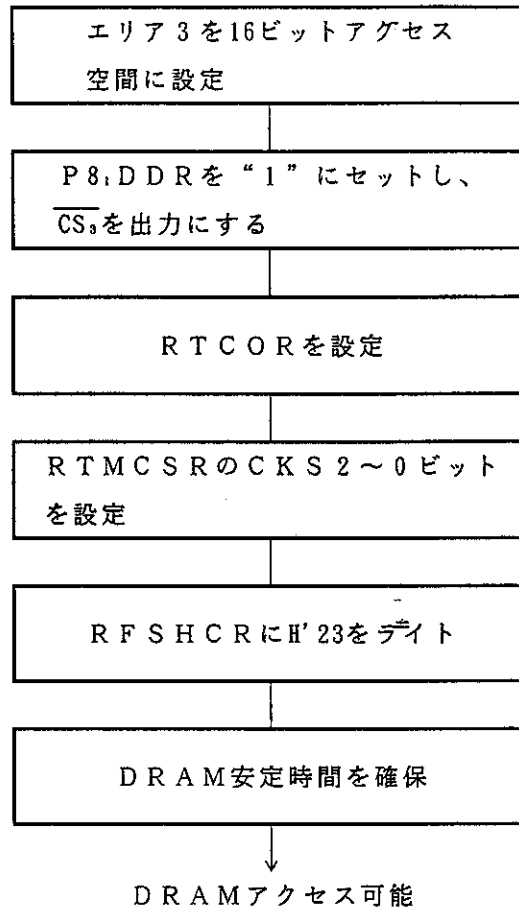
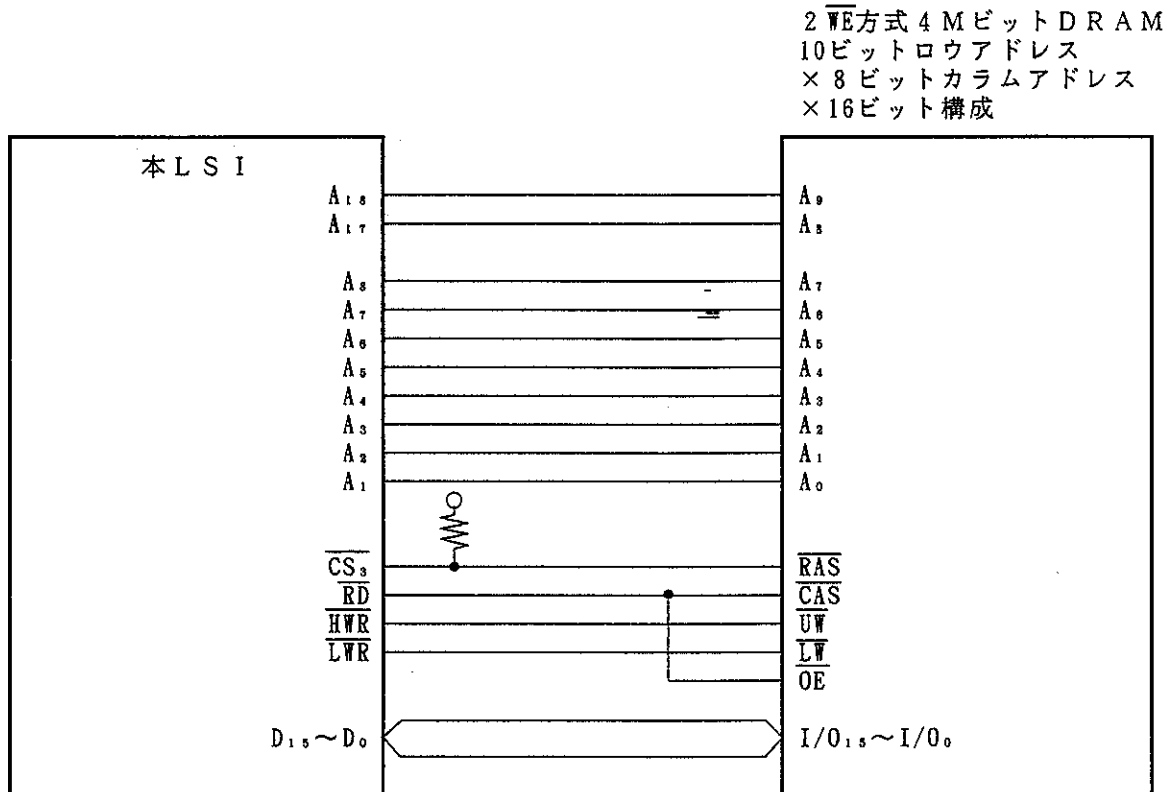


図 7.8 2WE方式1MビットDRAMの設定順序(1Mバイトモード)

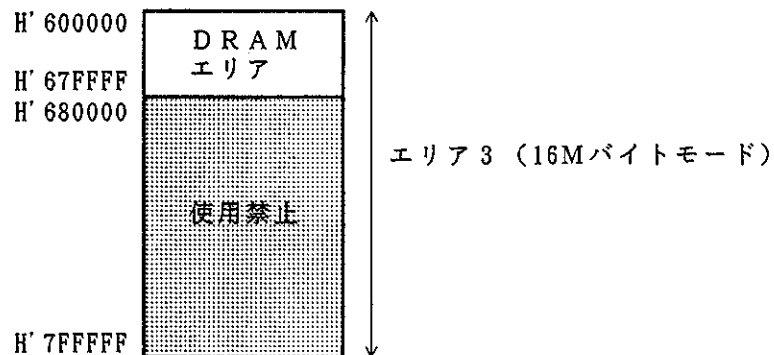
② 2WE方式4MビットDRAMの接続例(16Mバイトモード)

図7.9に、2WE方式4MビットDRAMを1個使用する場合の接続例とそのアドレスマップを示します。また図7.10にそのときのプログラム設定手順を示します。

本例では、10ビットロウアドレス×8ビットカラムアドレスのDRAMを使用して、H'600000～H'67FFFFがDRAMエリアに設定されています。



(a) 接続例



(b) アドレスマップ

図7.9 2WE方式4MビットDRAMの接続例とアドレスマップ

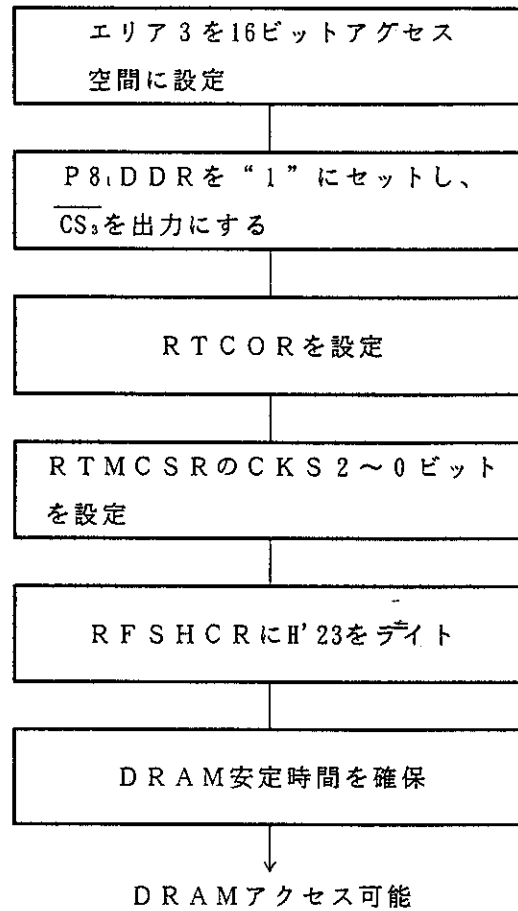


図 7.10 2WE方式 4MビットDRAM (10ビットロウアドレス×8ビットコラムアドレスの場合) の設定順序 (16Mバイトモード)

③ 2CAS方式4MビットDRAMの使用例(16Mバイトモード)

図7.11に2CAS方式の4MビットDRAMを1個使用する場合の接続例とそのアドレスマップを示します。また、図7.12にそのときのプログラム設定順序を示します。

本例では、9ビットロウアドレス×9ビットカラムアドレスのDRAMを使用して、H'600000~H'67FFFFがDRAMエリアに設定されています。

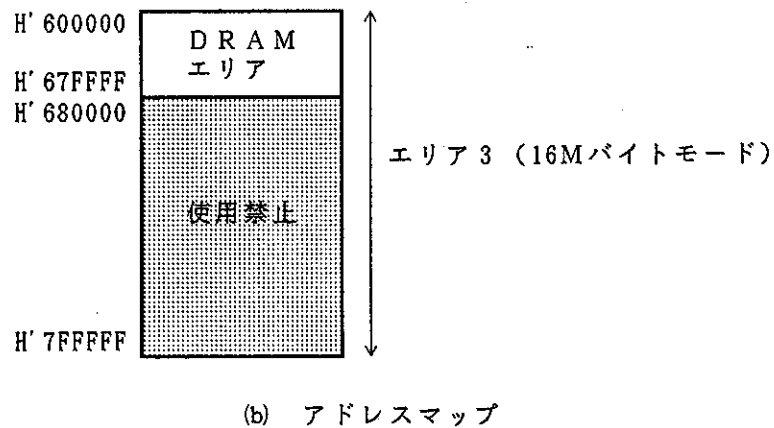
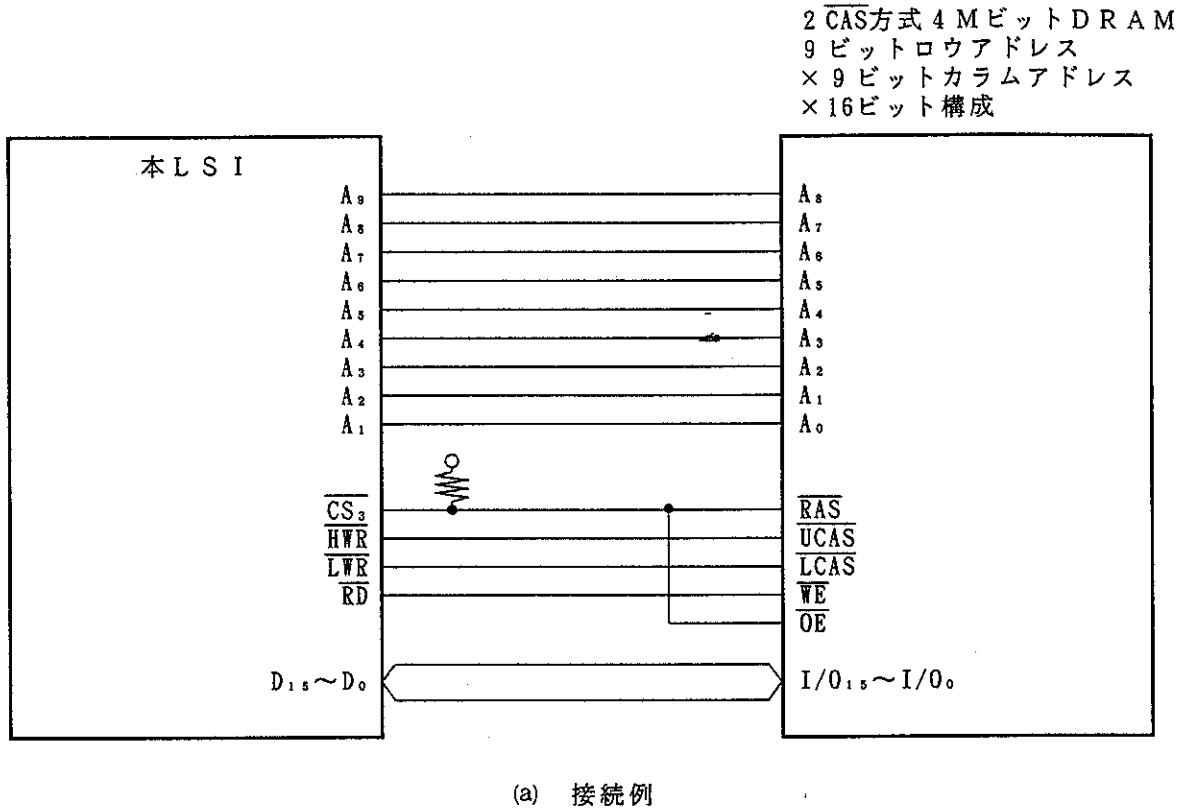


図7.11 2CAS方式4MビットDRAMの接続例とアドレスマップ

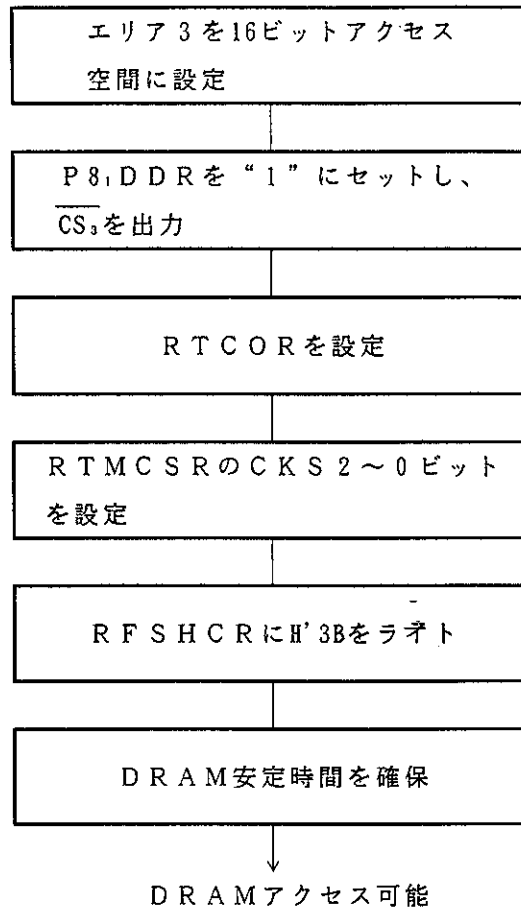
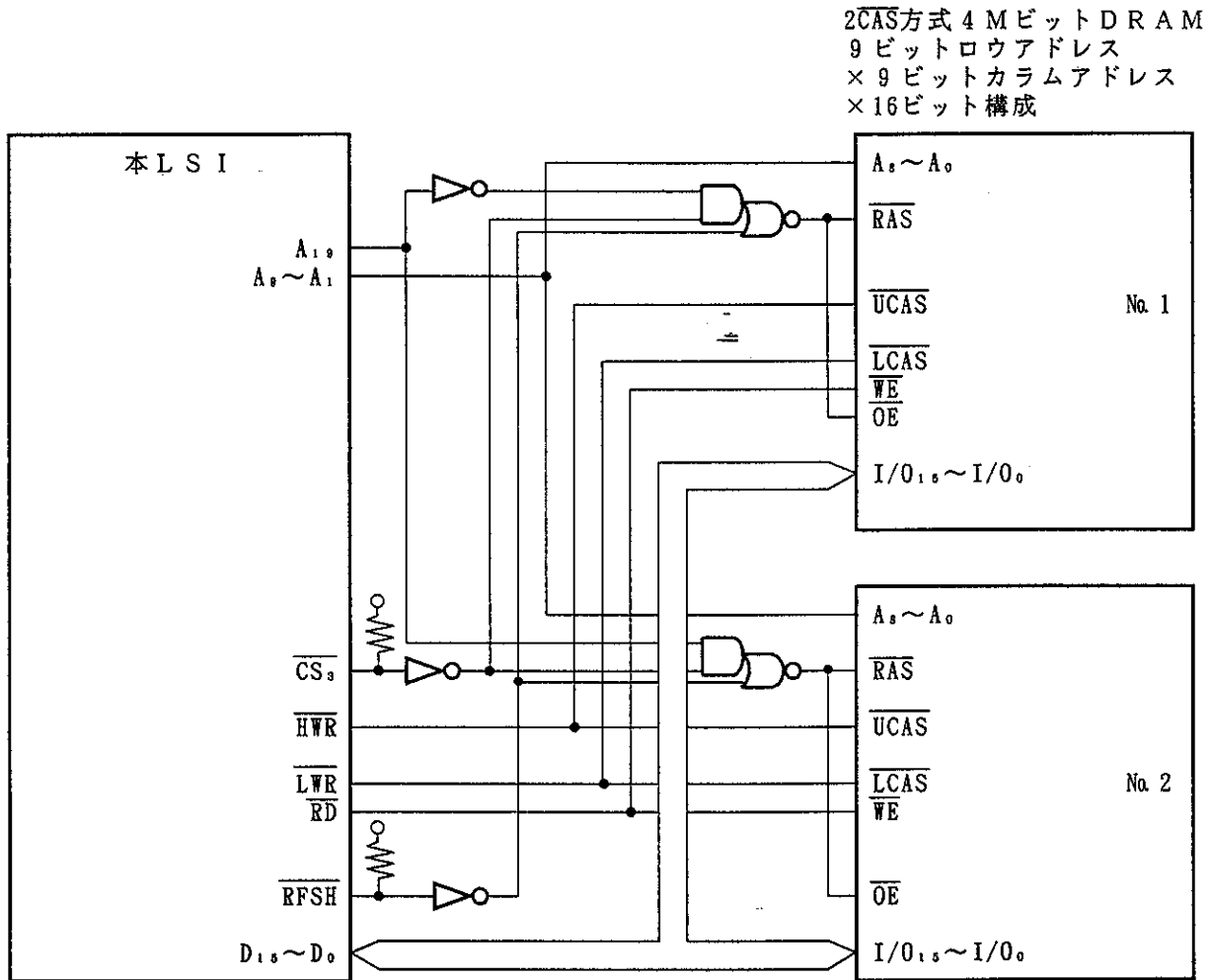


図 7.12 2 CAS方式 4 Mビット DRAM (9 ビットロウアドレス×9 ビットカラムアドレスの場合) の設定順序 (16Mバイトモード)

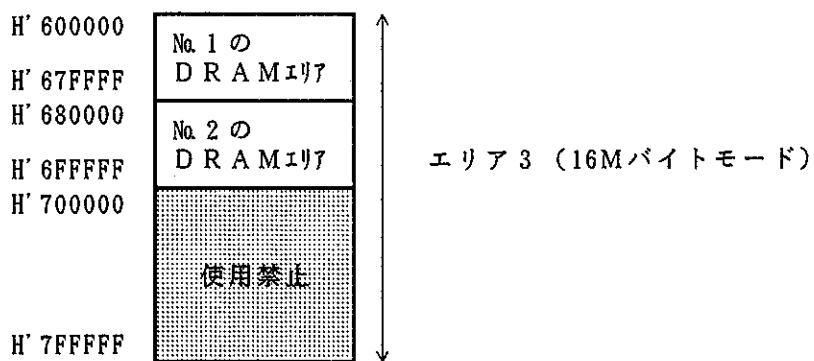
④ 複数チップの4 MビットDRAMの接続例 (16Mバイトモード)

図 7.13 に 2CAS方式 4 MビットDRAM を 2 個使用する 場合の 接続例 と その アドレスマップ を 示し ます。 上位 アドレス A_{19} 、 A_{20} を デコード すること により、 最大 4 個 の DRAM を エリア 3 に 接続 でき ます。

また、 図 7.14 に その とき の プログラム 設定 順序 を 示し ます。 本例 では、 9 ビット ロウ アドレス \times 9 ビット カラム アドレス の タイプ の もの を 使用 して います。 すべ て の チップ を 同時 に リフ レッシュ する 必要 が ある た め、 RFSH 端子 を 使用 し な け れ ば な り ませ ん。



(a) 接続例



(b) アドレスマップ

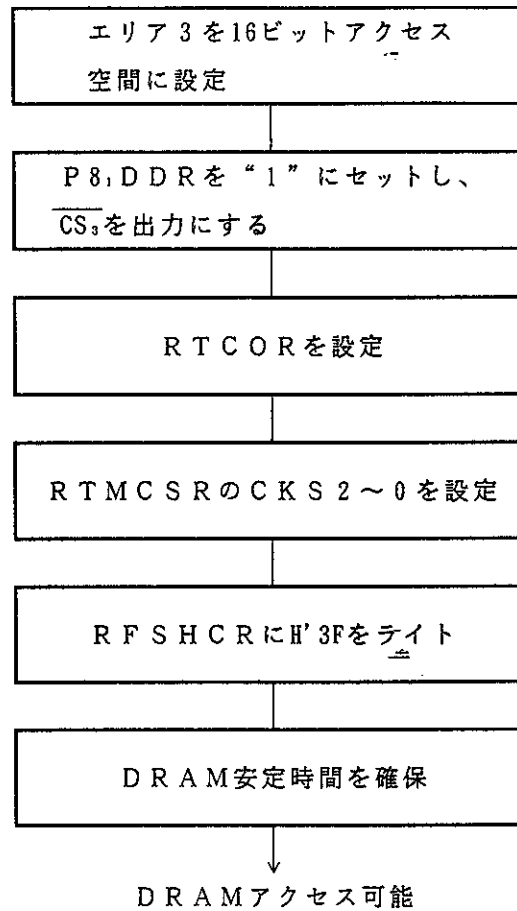


図 7.14 複数チップの 2 CAS方式 4 Mビット DRAM (9 ビットロウアドレス×9 ビットカラムアドレスの場合) の設定順序 (16Mバイトモード)

7.3.3 PSRAMリフレッシュ制御

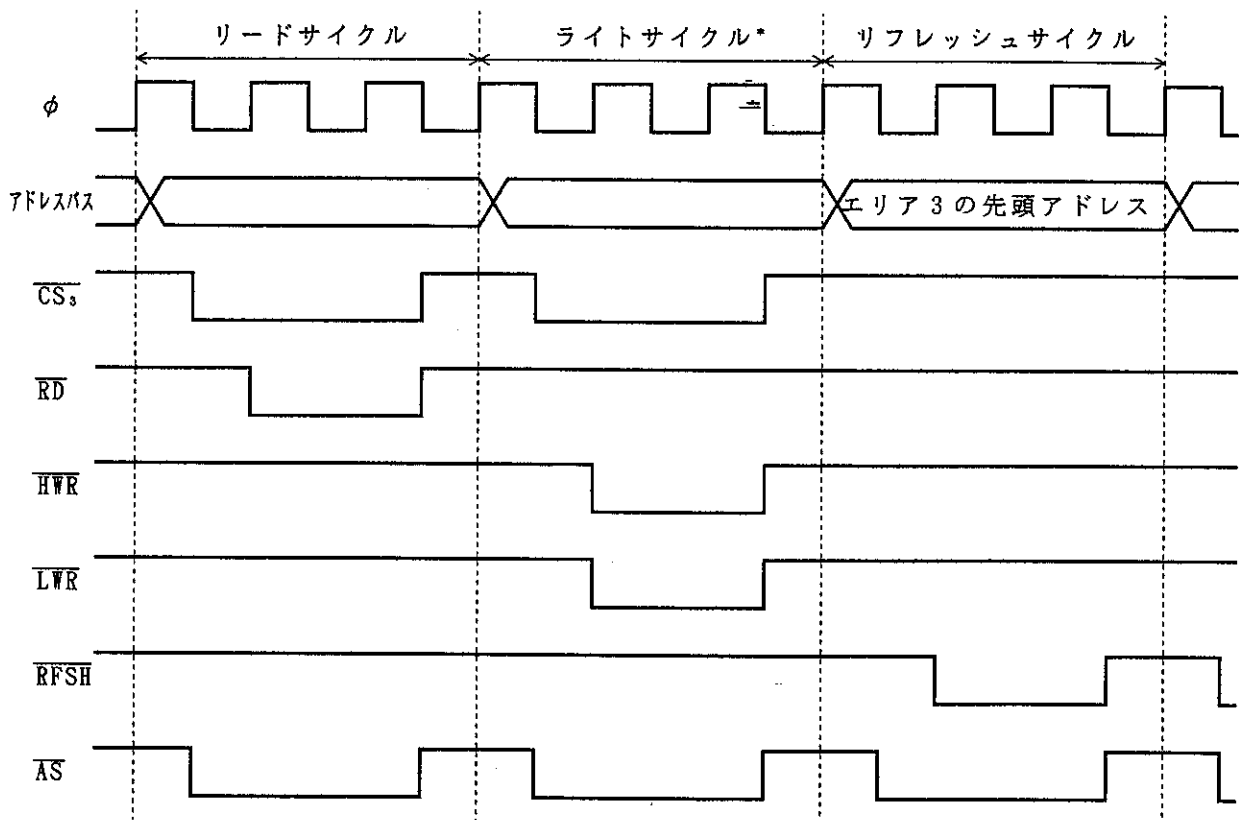
(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

DRAMインタフェースと同様に、RTCORとRTMCSRのCKS2～CKS0ビットで、リフレッシュ要求の周期を設定します。

PSRAMのリード/ライトサイクルおよびリフレッシュサイクルに要するステート数は、DRAMと同様です(表7.4)。また、状態遷移も図7.3に示すとおりです。

(2) PSRAM制御信号

PSRAMに対するリードサイクル、ライトサイクル、およびリフレッシュサイクルを図7.15に示します。



【注】* 16ビットアクセス時

図7.15 PSRAM制御信号出力タイミング

(3) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMAコントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(4) ウェイトステートの挿入

ASTCRのAST3を“1”にセットした場合、ウェイトステートコントローラ(WSC)によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

設定の詳細は、「6.3.5 ウェイトモード」を参照してください。

(5) セルフリフレッシュモード

PSRAMはセルフリフレッシュ機能をもつものがあります。

本LSIでは、RFSHCRのSRFMDビットを“1”にセットした後、ソフトウェアスタンバイモードに移移すると、CS₃が“High”レベル出力、RFSHが“Low”レベル出力となり、PSRAMのセルフリフレッシュ機能を利用できます。ソフトウェアスタンバイモードが解除されると、RFSHは“High”レベル出力となります。

表7.8にソフトウェアスタンバイモード時の端子状態を、また図7.16に信号出力タイミングを示します。

表7.8 ソフトウェアスタンバイモード時の端子状態(2)

(PSRAM = “1”、DRAM = “0”)

信号	ソフトウェアスタンバイモード	
	SRFMD = “0”	SRFMD = “1” (セルフリフレッシュモード)
CS ₃	“High”	“High”
RD	ハイインピーダンス	ハイインピーダンス
HWR	ハイインピーダンス	ハイインピーダンス
LWR	ハイインピーダンス	ハイインピーダンス
RFSH	“High”	“Low”

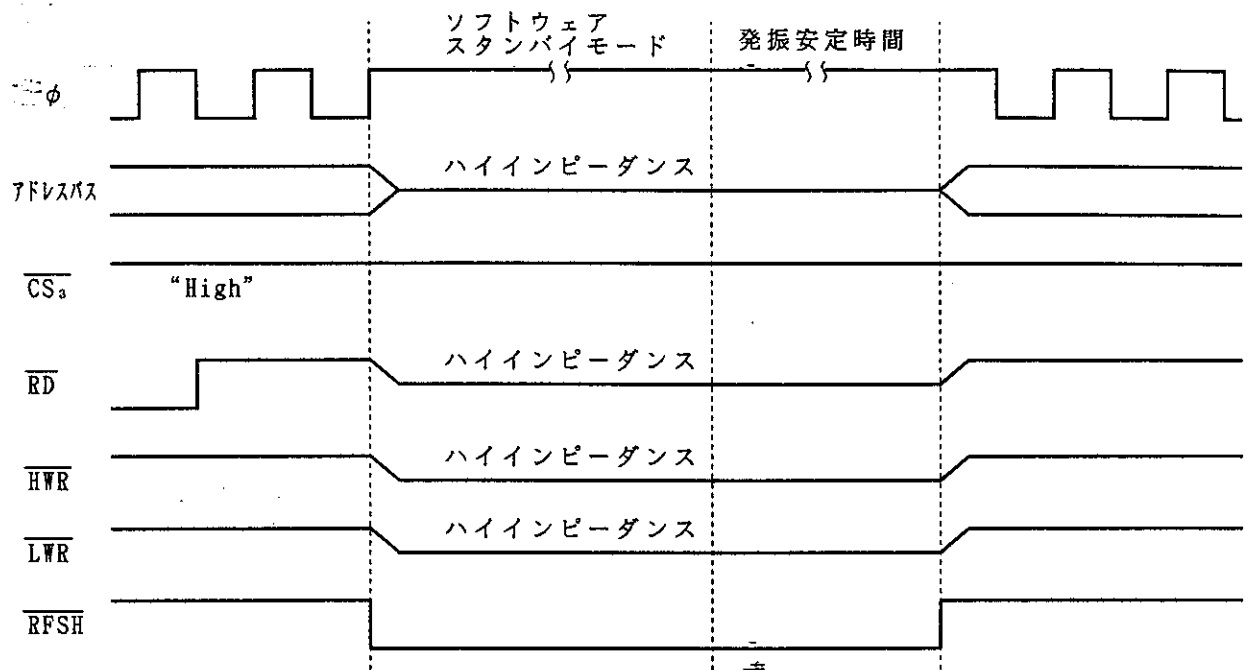


図 7.16 セルフリフレッシュモードの信号出力タイミング
(PSRAME = "1"、DRAME = "0")

(6) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNTはイニシャライズされますが、RFSHCR、RTMCSRのビット5～3、およびRTCORはソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(7) 使用例

PSRAMには、OE端子とRFSH端子が個別に設けられているものと、OE/RFSH端子として1つになっているものがあります。

図 7.17にOE/RFSH信号を発生する回路例を示します。デバイス特性をよくご確認の上、適合する回路を設計してください。

図 7.18にプログラム設定順序を示します。

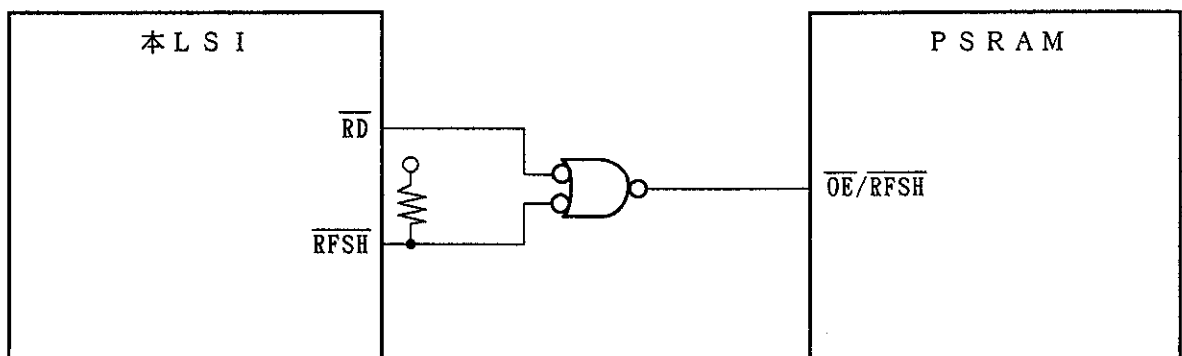


図 7.17 OE/RFSH信号の例

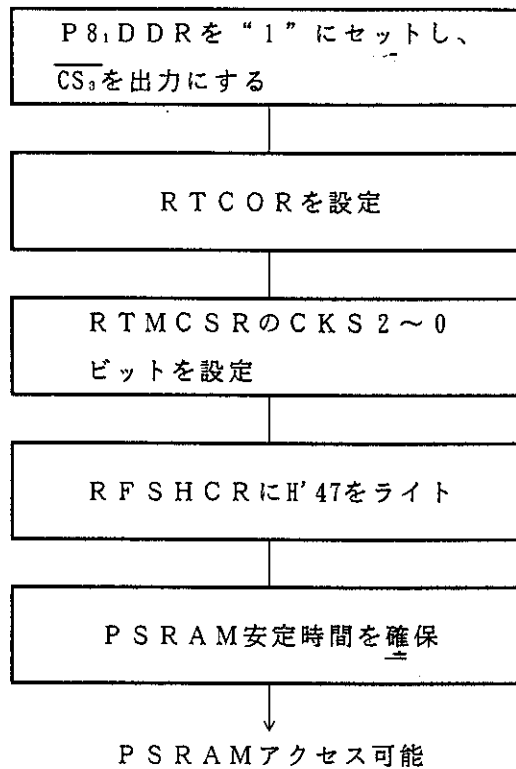


図 7.18 PSRAM のプログラム設定順序

7.3.4 インターバルタイマ

リフレッシュコントローラをインターバルタイマとして使用する場合、PSRAMEを“0”、かつDRAMEを“0”にクリアします。RTCORを設定後、RTMCSRのCKS2~CKS0ビットにより入力クロックを選択し、CMIEビットを“1”にセットします。

(1) コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTCSRのCMFフラグは、RTCORとRTCNTの値が一致したときに出力されるコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は一致した最後のステート（RTCNTが一致したカウント値を更新するタイミング）で発生します。

したがって、RTCNTとRTCORが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 7.19 に示します。

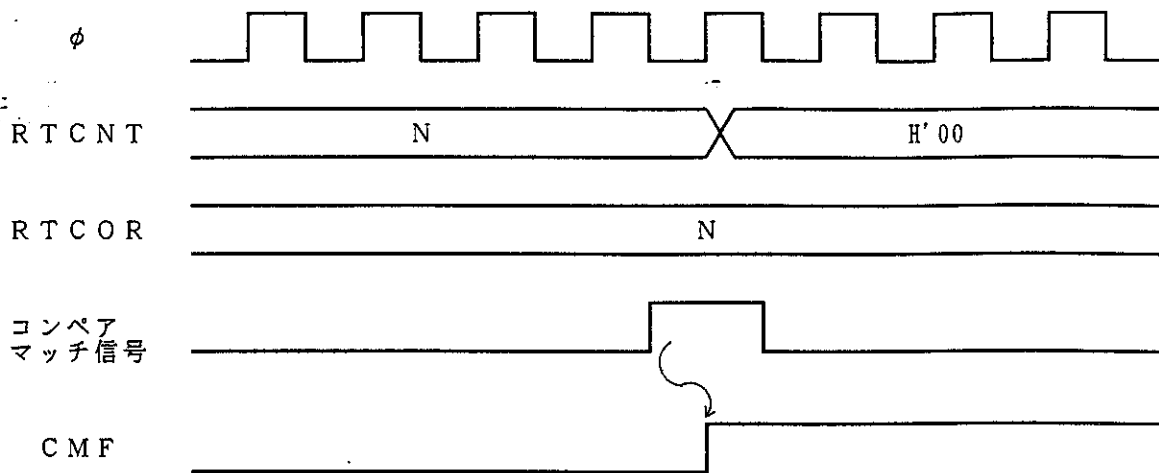


図 7.19 CMF フラグセットタイミング

(2) 低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNTとRTMCSRのビット7、6がイニシャライズされますが、RTMCSRのビット5～3、およびRTCORはソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3) RTCNTのライトとカウンタクリアの競合

RTCNTのライトサイクル中のT₃ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 7.20にこのタイミングを示します。

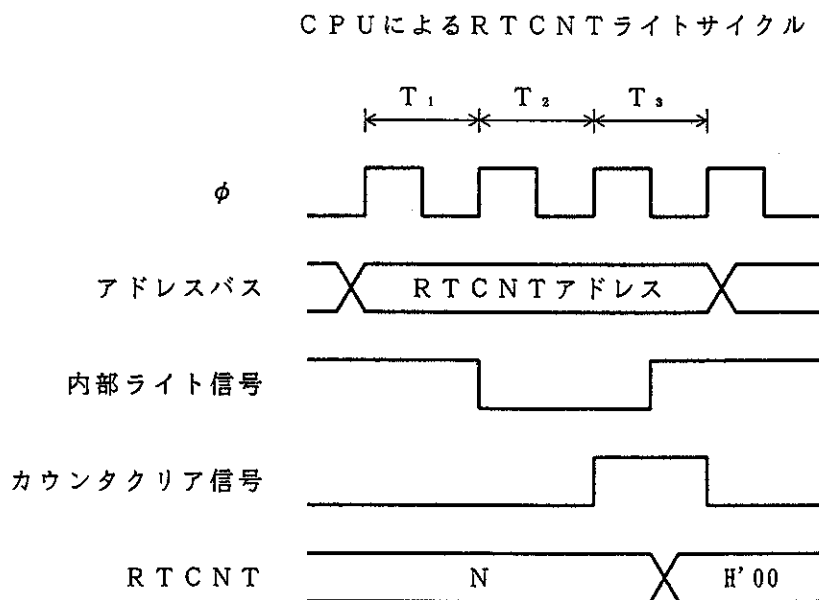


図 7.20 RTCNTのライトとクリアの競合

(4) RTCNTのライトとカウントアップの競合

RTCNTのライトサイクル中のT₃ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図7.21にこのタイミングを示します。

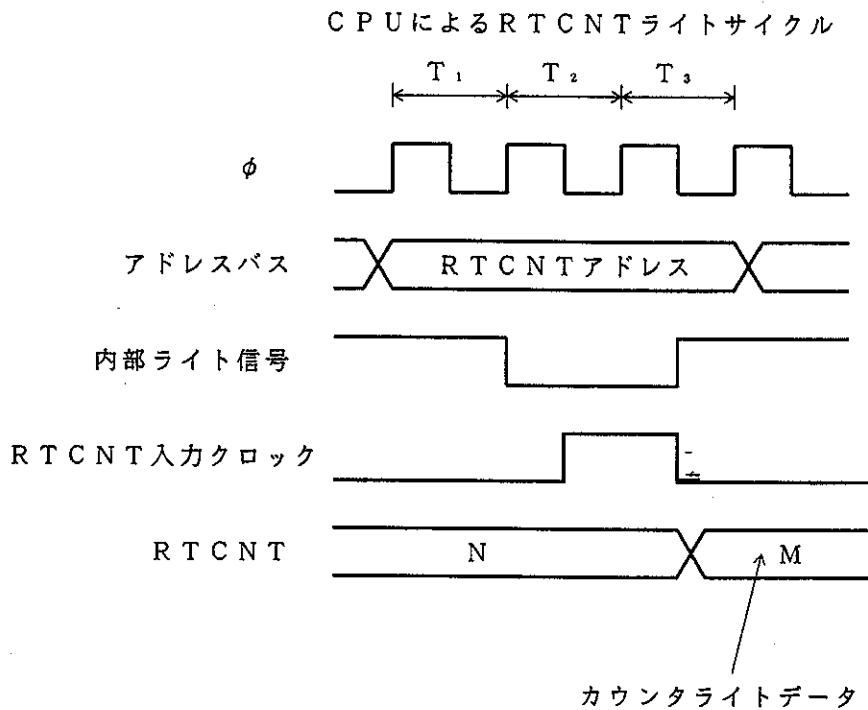


図7.21 RTCNTのライトとカウントアップの競合

(5) RTCORのライトとコンペアマッチの競合

RTCORのライトサイクル中のT₃ステートでコンペアマッチが発生しても、図7.22のようにRTCORのライトが優先され、コンペアマッチ信号は禁止されます。

CPUによるRTCORライトサイクル

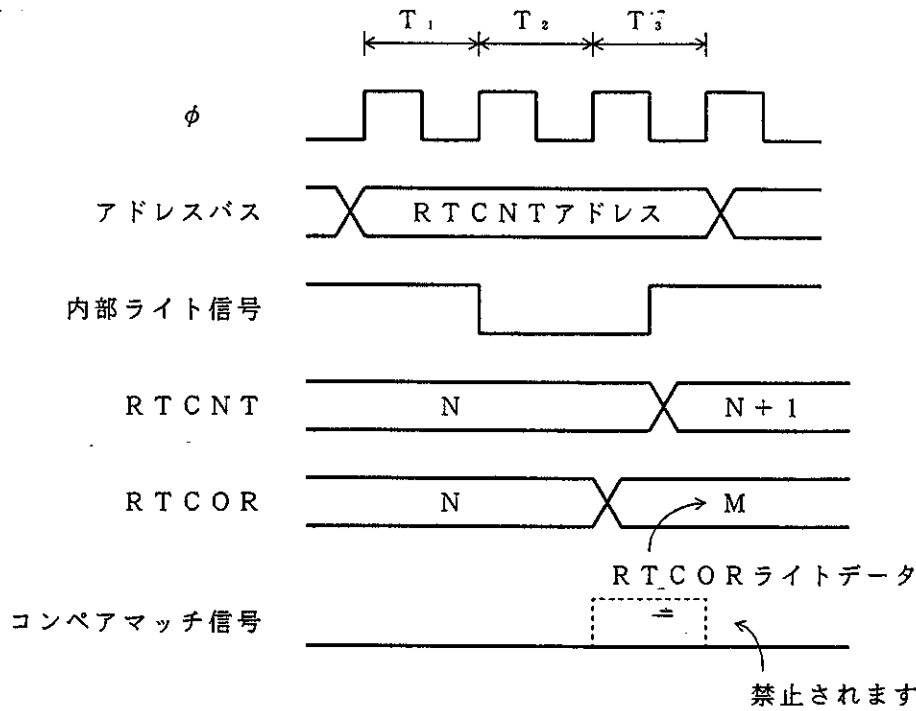


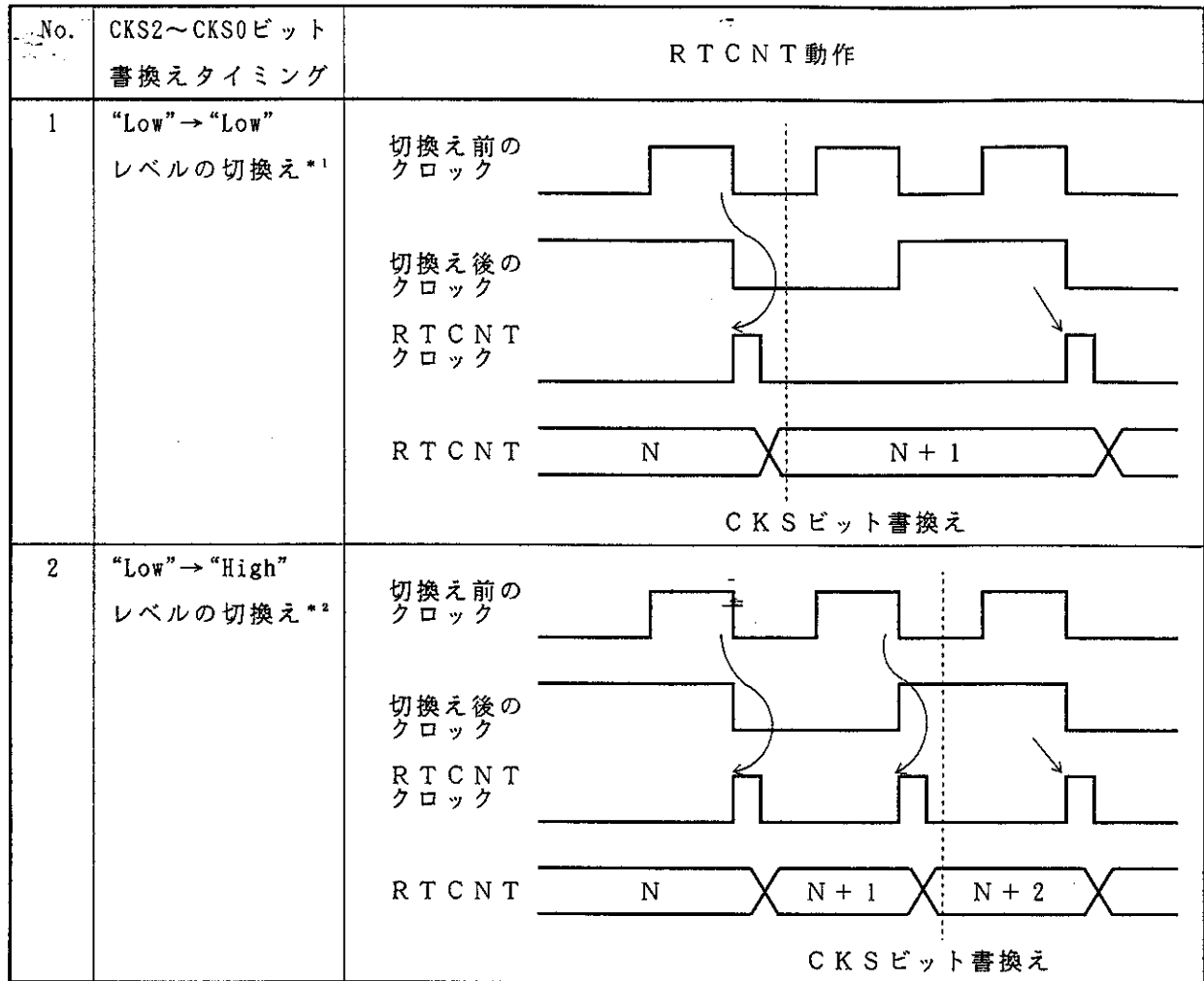
図 7.22 RTCORのライトとコンペアマッチの競合

(6) 内部クロックの切換えとRTCNTの動作

内部クロックを切換えるタイミングによっては、RTCNTがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS2～CKS0ビットの書換え）とRTCNT動作の関係を表7.9に示します。

内部クロックからRTCNTクロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため、表7.9のNo.3のように“High”→“Low”になるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてRTCNTクロックが発生し、RTCNTがカウントアップされてしまいます。

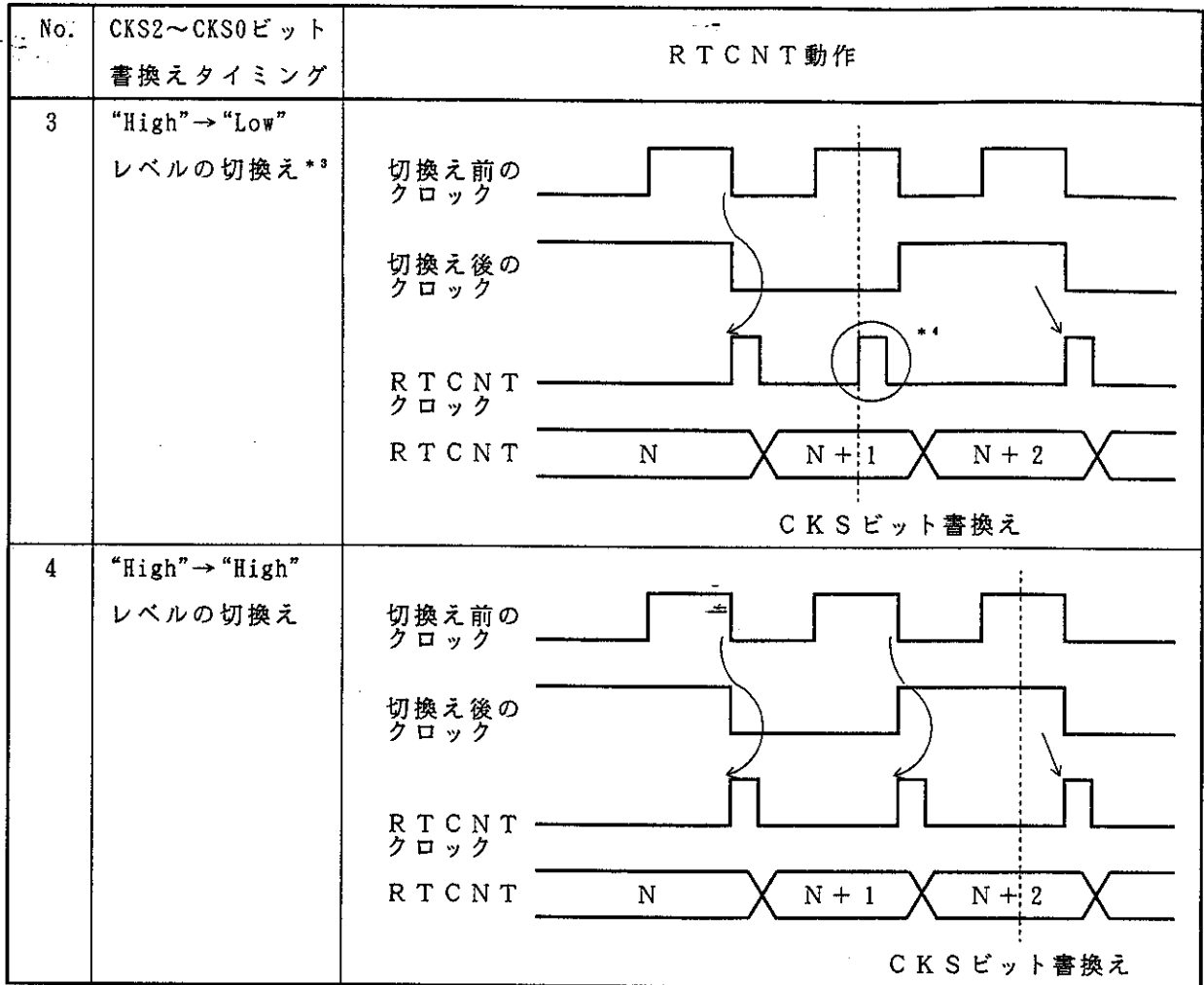
表 7.9 内部クロックの切換えとRTCNT動作(1)



【注】 *1 “Low”レベル→停止、および停止→“Low”レベルの場合を含みます。

*2 停止→“High”レベルの場合を含みます。

表 7.9 内部クロックの切換えとRTCNT動作(2)



【注】*3 "High"レベル→停止の場合を含みます。

*4 切換えのタイミングを立下がりエッジとみなすために発生し、RTCNTはカウントアップしてしまいます。

7.4 割込み要因

リフレッシュコントローラをインターバルタイマとして使用する場合、コンペアマッチ割込み(CMI)要求が発生します。コンペアマッチ割込み要求はRTMCSRのCMIEビットで許可または禁止することができます。

7.5 使用上の注意

DRAMリフレッシュ機能、あるいはPSRAMリフレッシュ機能の使用に際して、以下の点に注意してください。

- (1) リフレッシュコントローラは、一度直接接続したDRAMまたはPSRAMの接続を切断した場合*、P8₀/RFSH/IRQ₀端子とP8₁/CS₃/IRQ₁端子が同時に“Low”レベル出力となります場合があります。

【注】* リフレッシュコントロールレジスタ(RFSHCR)内のDRAMイネーブル(DRAME)またはPSRAMイネーブル(PSRAME)を一度“1”にセットした後に、DRAMEまたはPSRAMEを“0”にクリアした場合。

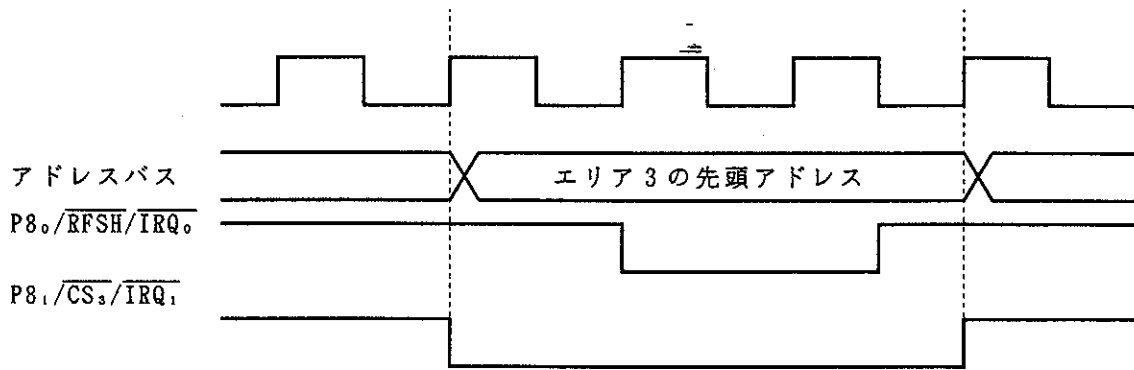


図 7.23 DRAM/PSRAM接続の切り離し時の動作

- (2) 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。
- (3) 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。図 7.24にその場合のバスサイクルを示します。

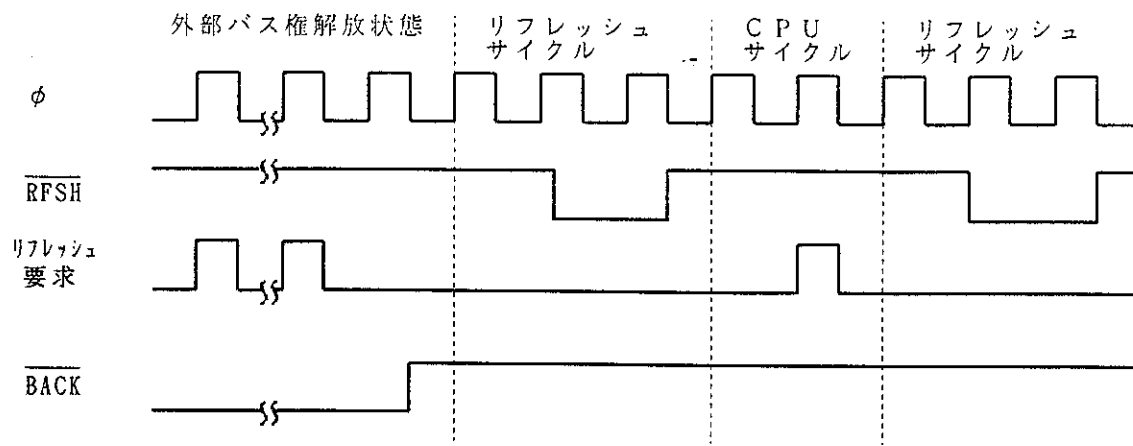


図 7.24 バス解放状態時のリフレッシュサイクル

(4) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。

(5) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に1ステートバス解放状態が発生することがあります(図7.25参照)。

ソフトウェアスタンバイモードを使用するときは、SLEEP命令を実行する前に、BRCRのBRLEビットを“0”にクリアしてください。

また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これもBRCRのBRLEビットを“0”にクリアすることにより防止できます。

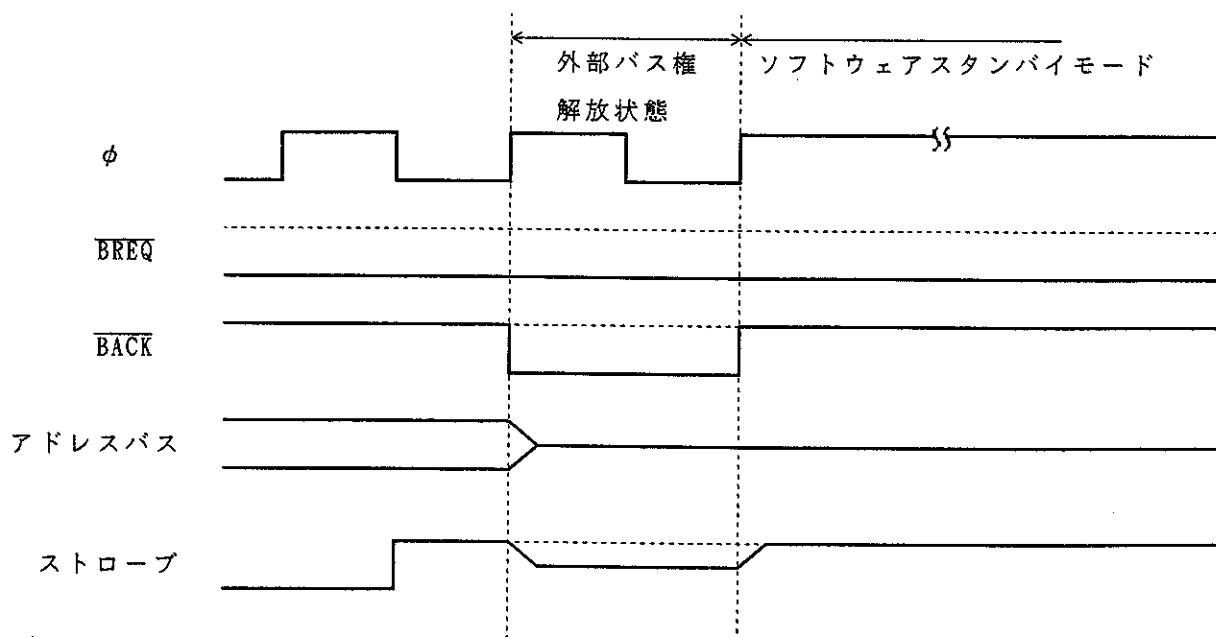


図 7.25 バス解放状態とソフトウェアスタンバイモードの競合