

4. 例外処理

第4章 目次

4.1	概要	89
4.1.1	例外処理の種類と優先度	89
4.1.2	例外処理の動作	89
4.1.3	例外処理要因とベクタテーブル	89
4.2	リセット	91
4.2.1	概要	91
4.2.2	リセットシーケンス	91
4.2.3	リセット直後の割込み	95
4.3	割込み	95
4.4	トラップ命令	96
4.5	例外処理後のスタックの状態	96
4.6	スタック使用上の注意	97

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表4.1に示すように、リセット、トラップ命令、および割込みによるものがあります。これらの例外処理には表4.1に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに開始します。
	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCRの割込みマスクビットを“1”にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記(2)、(3)の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図4.1に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表4.2に示します。

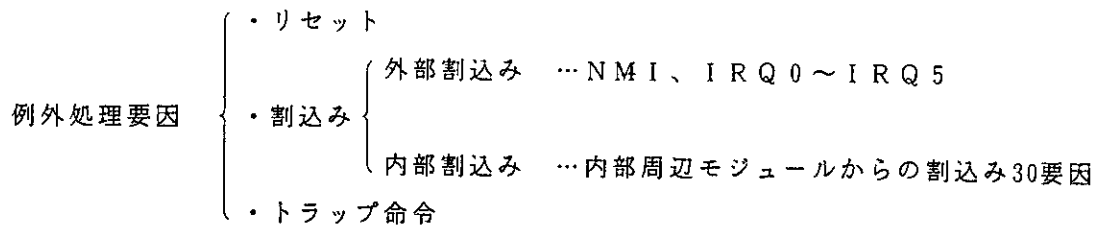


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1	
リセット	0	H'0000～H'0003	
システム予約	1	H'0004～H'0007	
	2	H'0008～H'000B	
	3	H'000C～H'000F	
	4	H'0010～H'0013	
	5	H'0014～H'0017	
	6	H'0018～H'001B	
	外部割込み NMI	7	H'001C～H'001F
トラップ命令 (4要因)	8	H'0020～H'0023	
	9	H'0024～H'0027	
	10	H'0028～H'002B	
	11	H'002C～H'002F	
外部割込み	IRQ ₀	12	H'0030～H'0033
	IRQ ₁	13	H'0034～H'0037
	IRQ ₂	14	H'0038～H'003B
	IRQ ₃	15	H'003C～H'003F
	IRQ ₄	16	H'0040～H'0043
	IRQ ₅	17	H'0044～H'0047
システム予約	18	H'0048～H'004B	
	19	H'004C～H'004F	
内部割込み*2	20	H'0050～H'0053	
	5	}	
	60	H'00F0～H'00F3	

【注】*1 アドレスの下位16ビットを示しています。

*2 内部割込みのベクタテーブルは、「5.3.3 割込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

RES端子が“Low”レベルになると、実行中の処理はすべて打ち切れ、本LSIはリセット状態になります。リセットによって、CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。

RES端子が“Low”レベルから“High”レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は、「第12章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

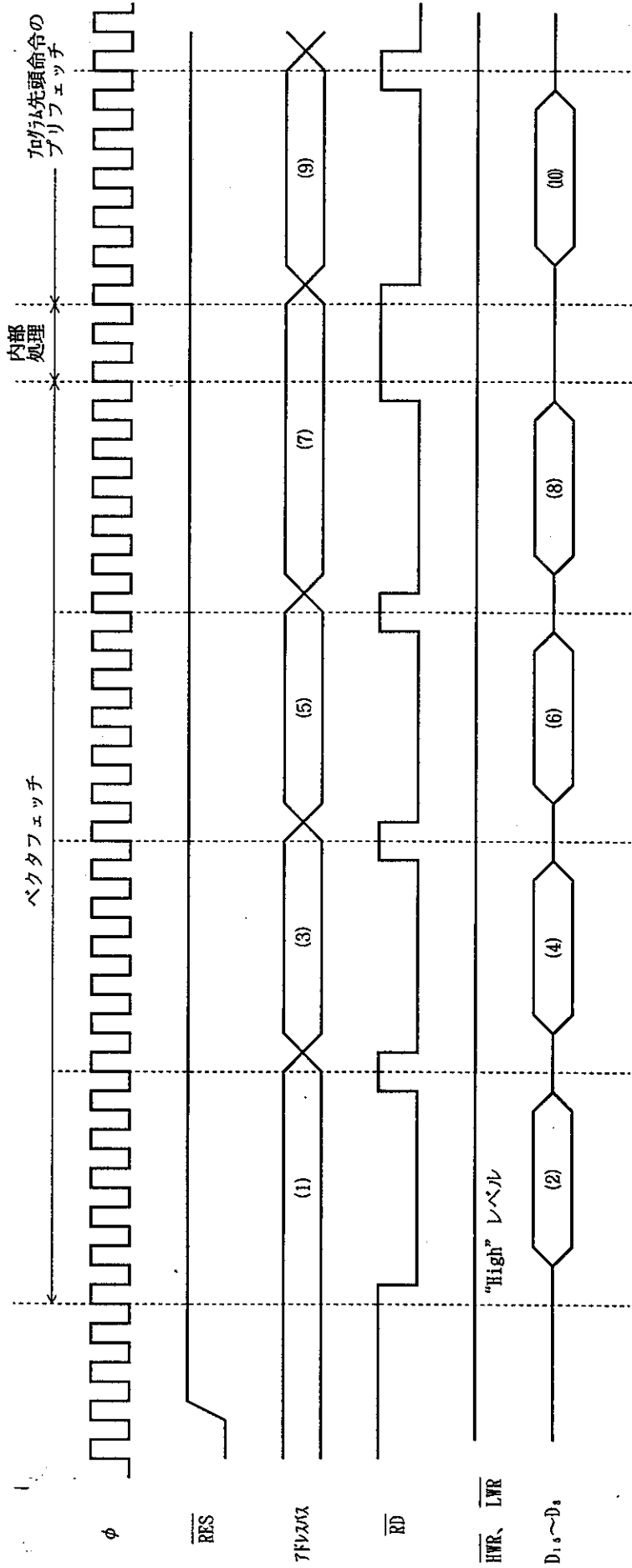
RES端子が“Low”レベルになると本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時は最低20msの間、RES端子を“Low”レベルに保持してください。また、動作中は最低10システムクロック(ϕ)サイクルの間“Low”レベルにしてください。リセット状態の各端子の状態は「付録D.2 リセット時の端子状態」を参照してください。

RES端子が一定期間“Low”レベルの後、“High”レベルになるとリセット例外処理が開始され、本LSIは次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされ、CCRのビットが“1”にセットされます。
- (2) リセット例外処理ベクタアドレス(H'0000~H'0003)をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

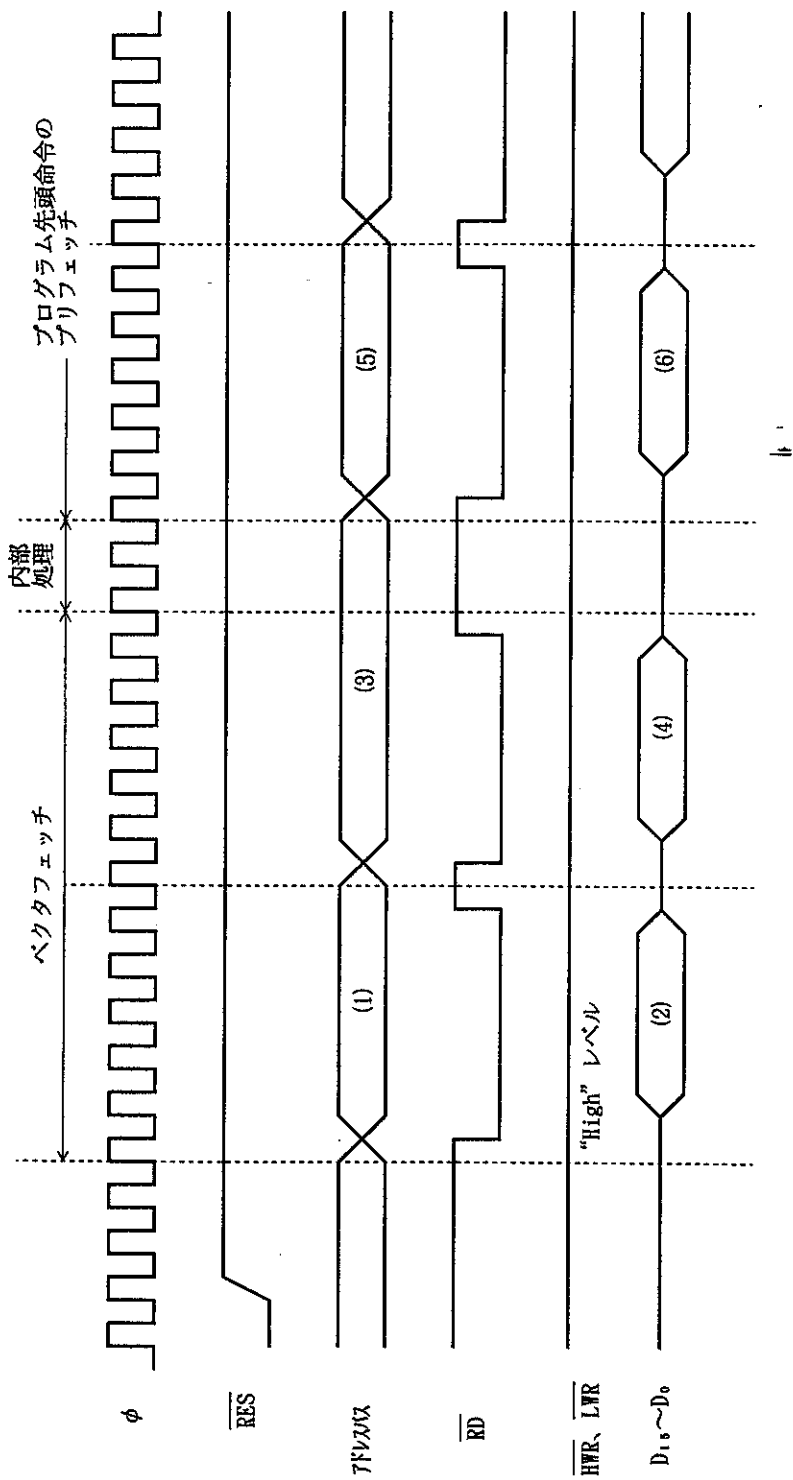
モード1、3のリセットシーケンスを図4.2に、モード2、4のリセットシーケンスを図4.3に、モード6のリセットシーケンスを図4.4に示します。



- (1X3X5X7) リセット例外処理ベクタアドレス (1)=H' 00000、(3)=H' 00001、(5)=H' 00002、(7)=H' 00003)
- (2X4X6X8) スタートアドレス (リセット例外処理ベクタアドレスの内容)
- (9) スタートアドレス
- (00) プログラム先頭命令

【注】 リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが、各バスサイクルに挿入されます。

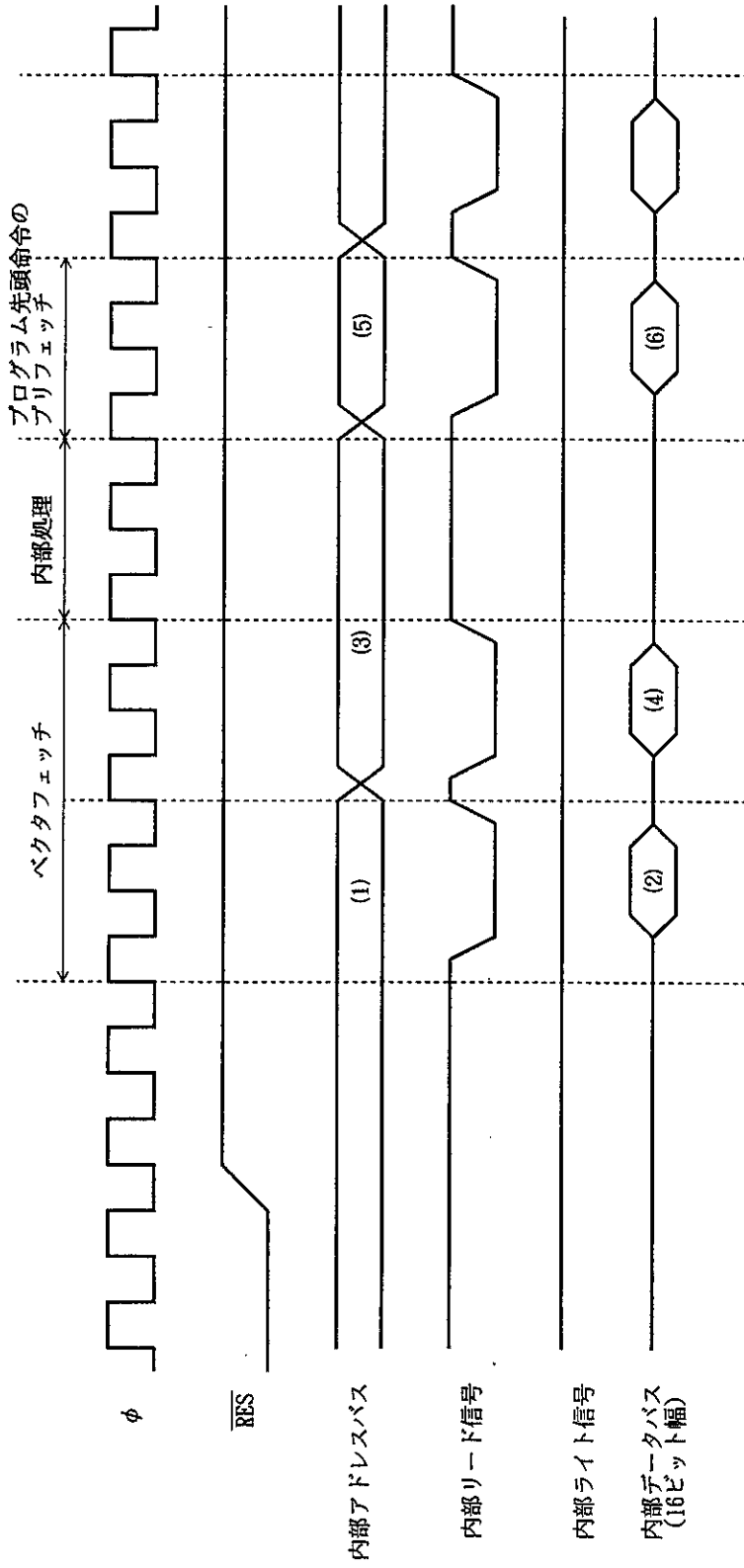
図4.2 リセットシーケンス (モード1、3)



- (1)(3) リセット例外処理ベクタアドレス (1)=H'000000、(3)=H'000002)
- (2)(4) スタートアドレス (リセット例外処理ベクタアドレスの内容)
- (5) スタートアドレス
- (6) プログラム先頭命令

【注】 リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが、各バスサイクルに挿入されます。

図 4.3 リセットシーケンス (モード2、4)



- (1)(3) リセット例外処理ベクタアドレス ((1)=H' 000000 (2)=H' 000002)
- (2)(4) スタートアドレス (リセット例外処理ベクタアドレスの内容)
- (5) スタートアドレス
- (6) プログラム先頭命令

図 4.4 リセットシーケンス (モード 5、6、7)

4.2.3 リセット直後の割込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割込みを受け付けると、PCとCCRの退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMIを含めたすべての割込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラム先頭命令はSPをイニシャライズする命令としてください (例: MOV, L #xx:32, SP)。

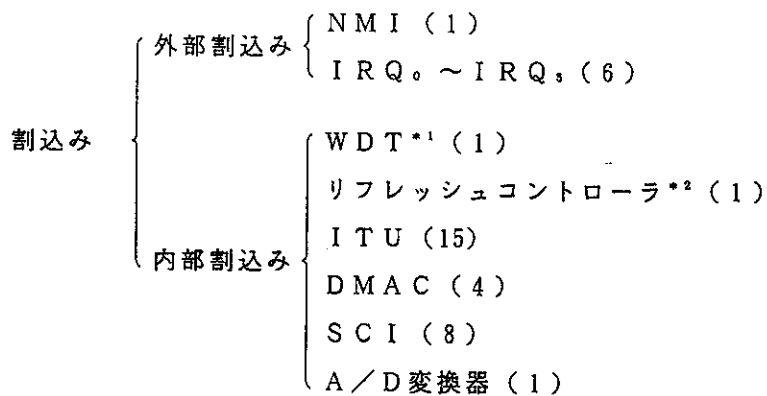
4.3 割込み

割込み例外処理を開始させる要因には、7つの外部割込み (NMI、IRQ₀~IRQ₆) と、内蔵周辺モジュールからの要求による30の内部要因があります。割込み要因と要因数を図4.5に示します。

割込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、リフレッシュコントローラ、16ビットインテグレートドタイマユニット (ITU)、DMAコントローラ (DMAC)、シリアルコミュニケーションインタフェース (SCI)、およびA/D変換器があります。割込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割込みで、常に受け付けられます。割込みは、割込みコントローラによって制御されます。割込みコントローラは、NMI以外の割込みを2レベルの優先順位を設定して、多重割込みの制御を行うことができます。割込みの優先順位は、割込みコントローラのインタラプトプライオリティレジスタA、B (IPRA、B) に設定します。

割込みについての詳細は「第5章 割込みコントローラ」を参照してください。



【注】 () 内は要因数を示します。

*¹ WDTをインターバルタイマとして使用したときは、カウンタがオーバーフローすると割込み要求を発生します。

*² リフレッシュコントローラをインターバルタイマとして使用したとき、コンペアマッチにより割込み要求を発生します。

図4.5 割込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA命令を実行すると例外処理を開始します。

例外処理によって、SYSCRのUEビットが“1”のときはCCRのIビットが“1”にセットされ、UEビットが“0”のときにはCCRのIビット、UIビットがそれぞれ“1”にセットされます。

TRAPA命令は、命令コード中で指定した0～3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割込み例外処理後のスタック状態を図4.6に示します。

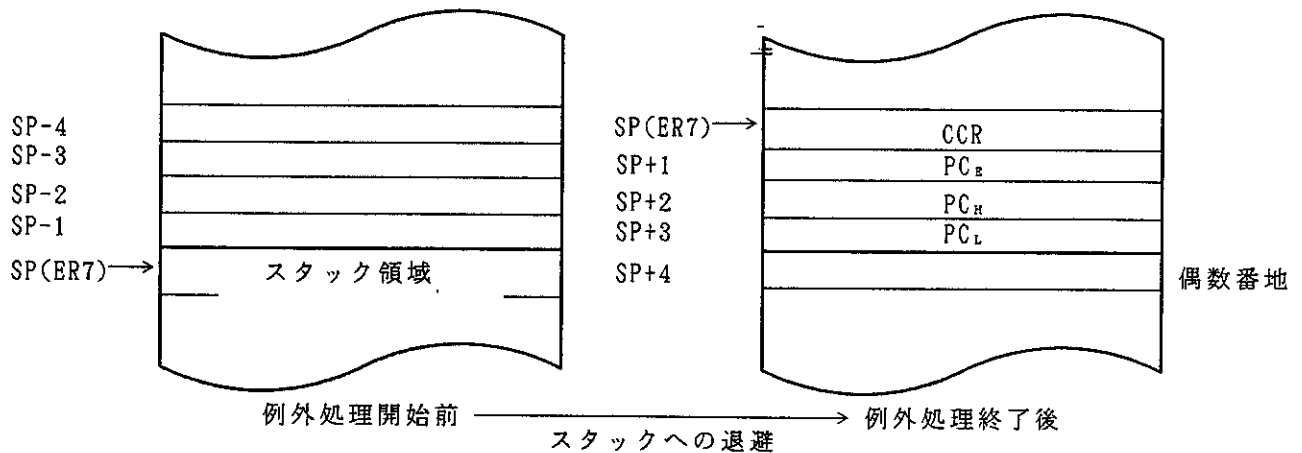


図4.6 例外処理終了後のスタック状態

《記号説明》

- PCE : プログラムカウンタ (PC) のビット23～ビット16
- PCH : プログラムカウンタ (PC) のビット15～ビット8
- PCL : プログラムカウンタ (PC) のビット7～0
- CCR : コンディションコードレジスタ
- SP : スタックポインタ

【注】

1. PCはリターン後に実行する最初の命令のアドレスです。
2. レジスタの退避/復帰は必ずワードサイズまたはロングワードサイズで、偶数アドレスから行ってください。

4.6 スタック使用上の注意

本LSIでは、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。すなわち、レジスタの退避は、

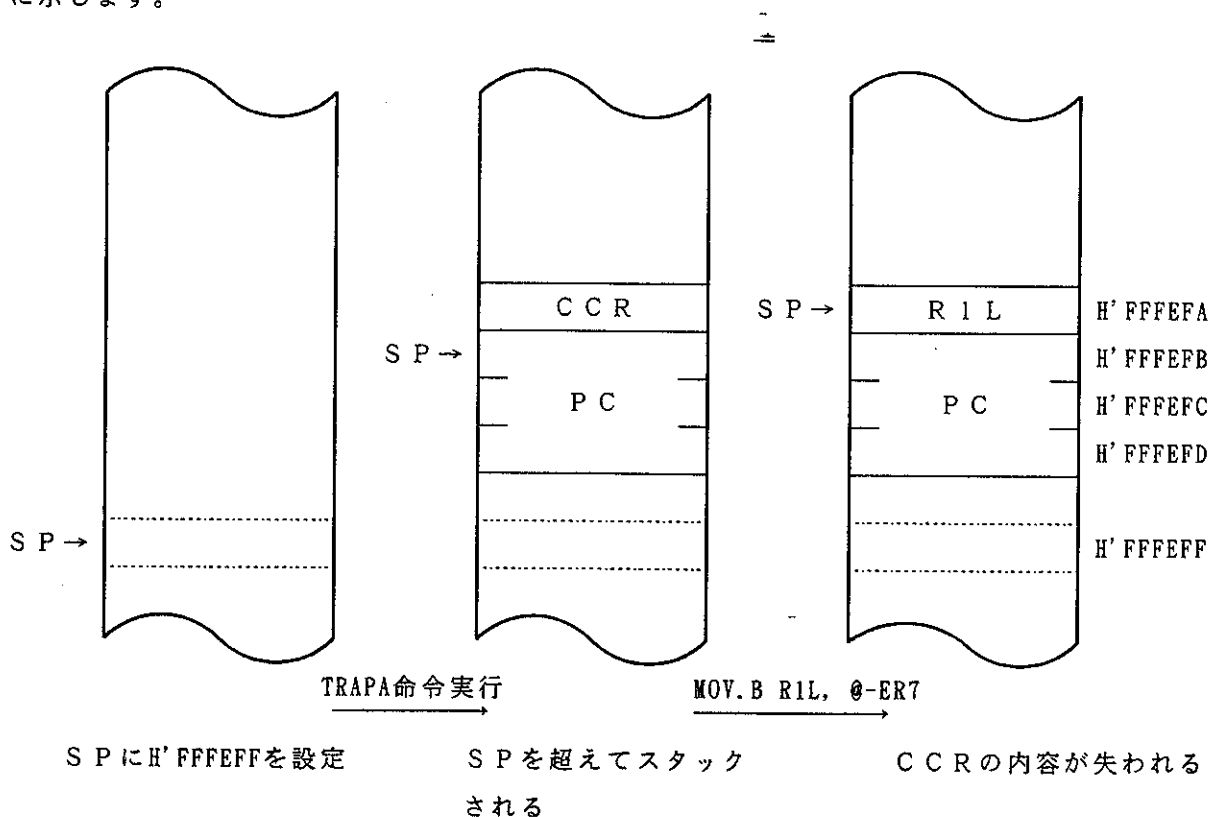
```
PUSH.W Rn (MOV.W Rn, @-SP)
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.7に示します。



《記号説明》

CCR : コンディションコードレジスタ
 PC : プログラムカウンタ
 R1L : 汎用レジスタR1L
 SP : スタックポインタ

【注】 モード3、4の場合です。

図4.7 SPを奇数に設定したときの動作