

3. MCU動作モード

第3章 目次

3.1	概要	67
3.1.1	動作モードの種類を選択	67
3.1.2	レジスタ構成	69
3.2	モードコントロールレジスタ (MDCR)	70
3.3	システムコントロールレジスタ (SYSCR)	71
3.4	各動作モードの説明	74
3.4.1	モード1	74
3.4.2	モード2	74
3.4.3	モード3	74
3.4.4	モード4	74
3.4.5	モード5	75
3.4.6	モード6	75
3.4.7	モード7	75
3.5	各動作モードにおける端子機能	76
3.6	各動作モードのメモリマップ	77

3.1 概要

3.1.1 動作モードの種類を選択

H8/3048シリーズには、7種類の動作モード（モード1～7）があります。これらのモードは、モード端子(MD₂～MD₀)を表3.1のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類を選択

動作モード	端子設定			内 容			
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード 初期状態 ^{*1}	内蔵ROM	内蔵RAM
——	0	0	0	——	——	——	——
モード1	0	0	1	拡張モード	8ビット	無効	有効 ^{*2}
モード2	0	1	0	拡張モード	16ビット	無効	有効 ^{*2}
モード3	0	1	1	拡張モード	8ビット	無効	有効 ^{*2}
モード4	1	0	0	拡張モード	16ビット	無効	有効 ^{*2}
モード5	1	0	1	拡張モード	8ビット	有効	有効 ^{*2}
モード6	1	1	0	拡張モード	8ビット	有効	有効 ^{*2}
モード7	1	1	1	シングルチップアドバンスモード	——	有効	有効

【注】^{*1} モード1～6において、バス幅コントロールレジスタ (ABWCR) を設定することによりデータバス幅をエリアごとに8ビットデータバスまたは16ビットデータバスにすることができます。

詳細は、「第6章 バスコントローラ」を参照してください。

^{*2} SYSCRのRAMEビットを“0”にクリアすると外部アドレス空間に切り換わりま

す。

アドレス空間は、1Mバイト/16Mバイトのいずれかを選択することができます。外部データバスのバス幅はABWCRにより、8ビット/16ビットバスモードのいずれかになります。すべてのエリアを8ビットアクセス空間に設定した場合、8ビットバスモードとなります。詳細は「第6章 バスコントローラ」を参照してください。

モード1～4は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵ROM無効拡張モードです。

モード1、2でサポートするアドレス空間は、最大1Mバイトです。また、モード3、4でサポートするアドレス空間は、最大16Mバイトです。

モード5、6は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵ROM有効拡張モードです。モード5でサポートするアドレス空間は、最大1Mバイトです。また、モード6でサポートするアドレス空間は、最大16Mバイトです。

モード7は、内蔵ROMとRAM、内部I/Oレジスタで動作するシングルチップモードです。すべてのポートを使用することができます。

二 アドレス空間は最大1Mバイトです。

モード1～7以外は、本LSIでは使用できません。したがって、モード端子は必ずモード1～7になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本LSIにはモード端子(MD₂~MD₀)の状態が反映されるMDCRと、動作を制御するSYSCRがあります。レジスタ構成を表3.2に示します。

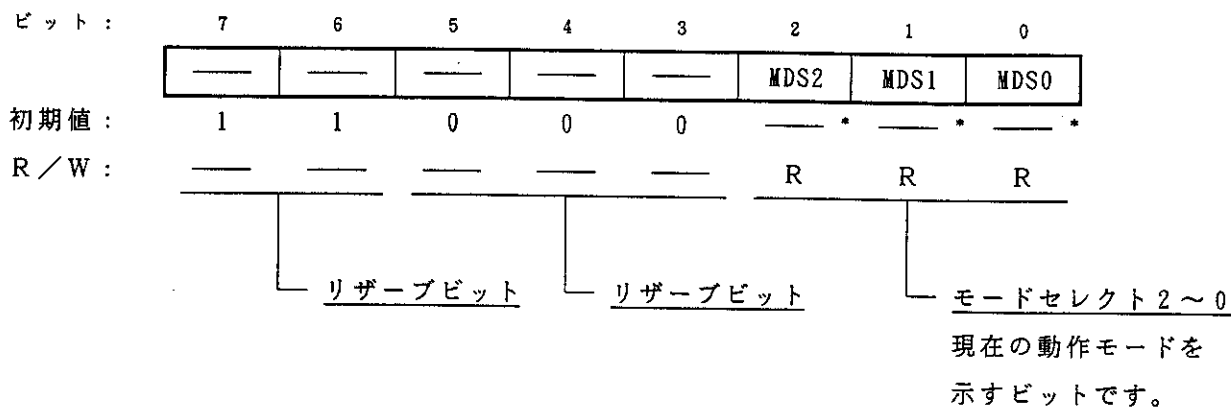
表 3.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF1	モードコントロールレジスタ	MDCR	R	不定
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】* アドレスの下位16ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCRは8ビットのリード専用のレジスタで、本LSIの現在の動作モードをモニタするのに使います。



【注】* MD₂～MD₀端子により決定されます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5～3：リザーブビット

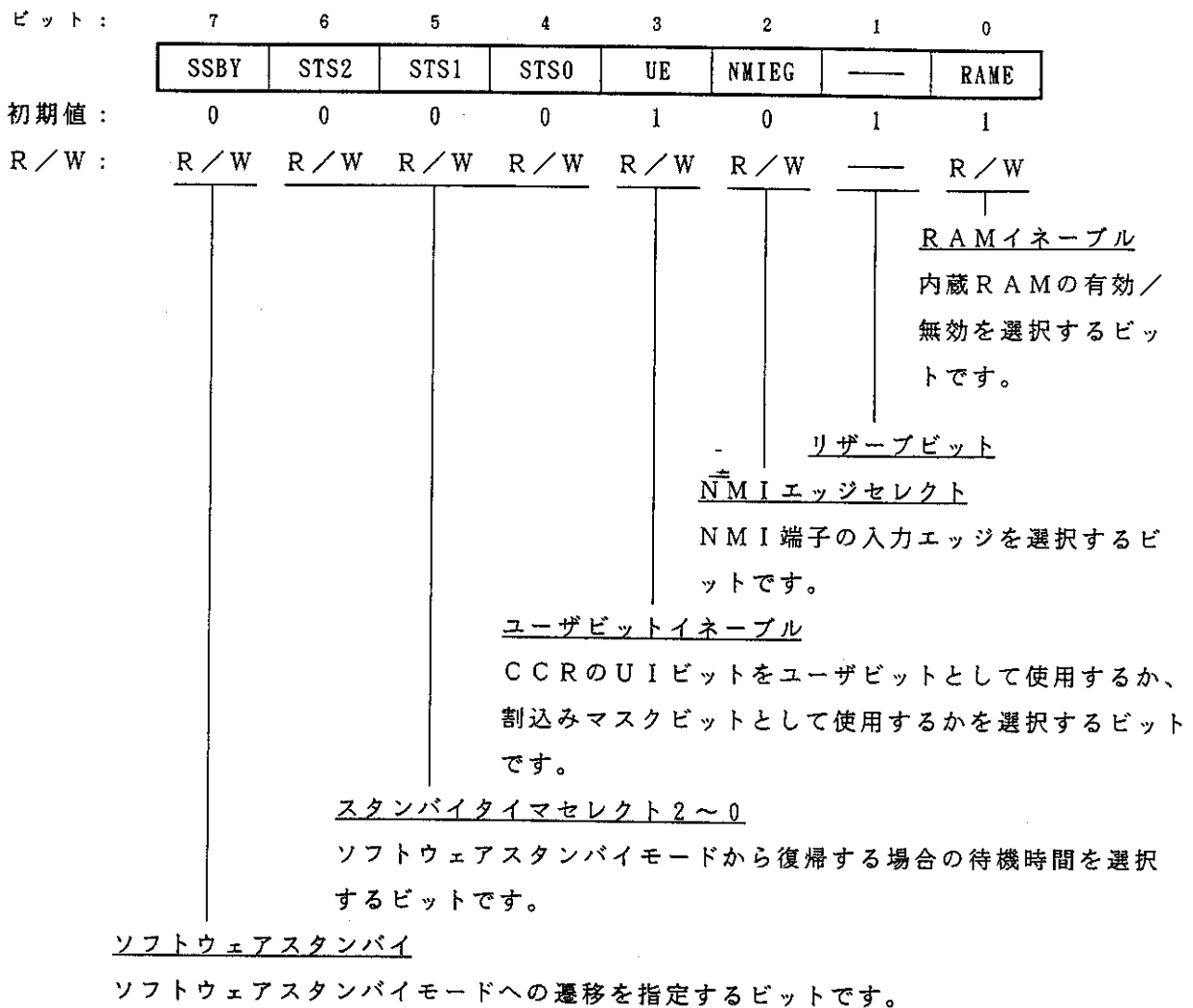
リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

ビット2～0：モードセレクト2～0 (MDS2～0)

これらのビットは、モード端子(MD₂～MD₀)のレベルを反映した値(現在の動作モード)を示しています。MDS2～MDS0ビットはMD₂～MD₀端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCRをリードすると、モード端子(MD₂～MD₀)のレベルがこれらのビットにラッチされます。

3.3 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのレジスタで本LSIの動作を制御します。



ビット7:ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第20章 低消費電力状態」を参照してください)。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説明	
SSBY		
0	SLEEP命令実行後、スリープモードに遷移	(初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移	

ビット6～4：スタンバイタイムセレクト2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

水晶発振の場合、動作周波数に応じて待機時間が7ms以上となるように指定してください。

待機時間の設定については、「20.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	0	待機時間 = 131072ステート
1	0	1	待機時間 = 1024ステート
1	1	—	使用禁止

ビット3：ユーザビットイネーブル（UE）

CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCRのUIビットを、割込みマスクビットとして使用
1	CCRのUIビットを、ユーザビットとして使用 (初期値)

ビット2：NMIエッジセレクト（NMIEG）

NMI端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI入力の立下がりエッジで割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジで割込み要求を発生

ビット1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：RAMイネーブル（RAME）

内蔵RAMの有効／無効を選択します。RAMEビットは、RES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0 RAME	説明
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

3.4 各動作モードの説明

3.4.1 モード1

ポート1、2、5の機能がアドレス端子A₁₀～A₀となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ただし、ABWCRにより少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.2 モード2

ポート1、2、5の機能がアドレス端子A₁₀～A₀となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は16ビットバスモードとなり、すべてのエリアは16ビットアクセス空間となります。ただし、ABWCRによりすべてのエリアを8ビットアクセス空間に設定した場合には、8ビットバスモードとなります。

3.4.3 モード3

ポート1、2、5およびポートAの一部の機能がアドレス端子A₂₃～A₀となり、最大16Mバイトのアドレス空間をアクセスできます。バスモードはリセット直後に8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ただし、ABWCRにより少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。A₂₃～A₂₁は、バスリリースコントロールレジスタ(BRCR)のビット7～5に“0”をライトすると有効になります(本モードではA₂₀は常に出力となります)。

3.4.4 モード4

ポート1、2、5およびポートAの一部の機能がアドレス端子A₂₃～A₀となり、最大16Mバイトのアドレス空間をアクセスできます。バスモードはリセット直後に16ビットバスモードとなり、すべてのエリアは16ビットアクセス空間となります。ただし、ABWCRによりすべてのエリアを8ビットアクセス空間に設定した場合には、8ビットバスモードとなります。A₂₃～A₂₁は、BRCRのビット7～5に“0”をライトすると有効になります(本モードではA₂₀は常に出力となります)。

3.4.5 モード5

ポート1、2、5の機能がアドレス端子A₁₉～A₀となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってアドレスバスとして使用する場合は各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR)を“1”にセットして、ポート1、2、5を出力に設定してください。バスモードはリセット直後に、8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ただし、ABWCRにより、少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.6 モード6

ポート1、2、5およびポートAの一部の機能がアドレス端子A₂₃～A₀となり、最大16Mバイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってポート1、2、5をアドレスバスとして使用する場合は、各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR)を“1”にセットして、ポート1、2、5を出力に設定してください。また、A₂₃～A₂₁を出力する場合には、BRCRのビット7～5に“0”をライトしてください(本モードではA₂₀は常に出力となります)。

バスモードはリセット直後に、8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ただし、ABWCRにより、少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.7 モード7

内蔵ROMとRAM、内部I/Oレジスタで動作するモードです。すべてのポートを使用することができます。

モード7はアドレス空間が1Mバイトとなります。

3.5 各動作モードにおける端子機能

動作モードによりポート1～5、およびポートAの端子機能が切り換わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表3.3 各動作モードにおけるポート1～5、およびポートAの機能

ポート	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート1	A ₇ ～A ₀	A ₇ ～A ₀	A ₇ ～A ₀	A ₇ ～A ₀	P1 ₇ ～P1 ₀ * ²	P1 ₇ ～P1 ₀ * ²	P1 ₇ ～P1 ₀
ポート2	A ₁₅ ～A ₈	A ₁₅ ～A ₈	A ₁₅ ～A ₈	A ₁₅ ～A ₈	P2 ₇ ～P2 ₀ * ²	P2 ₇ ～P2 ₀ * ²	P2 ₇ ～P2 ₀
ポート3	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	D ₁₅ ～D ₈	P3 ₇ ～P3 ₀
ポート4	P4 ₇ ～P4 ₀ * ¹	D ₇ ～D ₀ * ¹	P4 ₇ ～P4 ₀ * ¹	D ₇ ～D ₀ * ¹	P4 ₇ ～P4 ₀ * ¹	P4 ₇ ～P4 ₀ * ¹	P4 ₇ ～P4 ₀
ポート5	A ₁₉ ～A ₁₆	A ₁₉ ～A ₁₆	A ₁₉ ～A ₁₆	A ₁₉ ～A ₁₆	P5 ₃ ～P5 ₀ * ²	P5 ₃ ～P5 ₀ * ²	P5 ₃ ～P5 ₀
ポートA	PA ₇ ～PA ₄	PA ₇ ～PA ₄	PA ₇ ～PA ₆ * ³ 、A ₂₉	PA ₇ ～PA ₆ * ³ 、A ₂₉	PA ₇ ～PA ₄	PA ₇ ～PA ₅ 、A ₂₀ * ³	PA ₇ ～PA ₄

【注】*¹ 初期状態を示しています。A B W C Rの設定により、バスモードを切り替えることができます。8ビットモード時にはP4₇～P4₀に、16ビットバスモード時にはD₇～D₀となります。

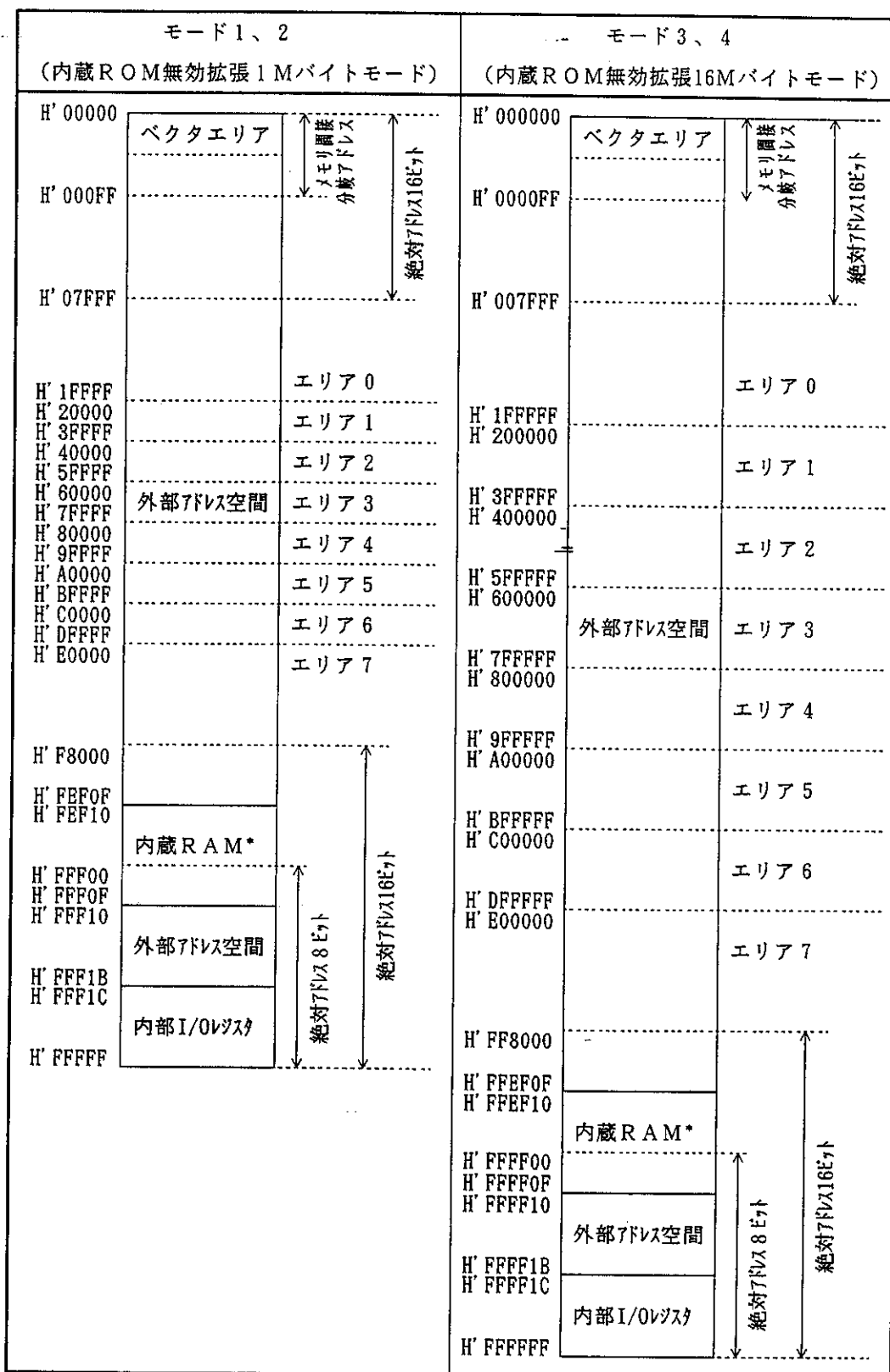
*² 初期状態を示しています。各々対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR)を“1”に設定することにより、アドレスバスとなります。

*³ 初期状態を示しています。A₂₀は常にアドレス出力です。PA₇～PA₅は、B R C Rのビット7～5に“0”をライトすることによりA₂₃～A₂₁出力になります。

3.6 各動作モードのメモリマップ

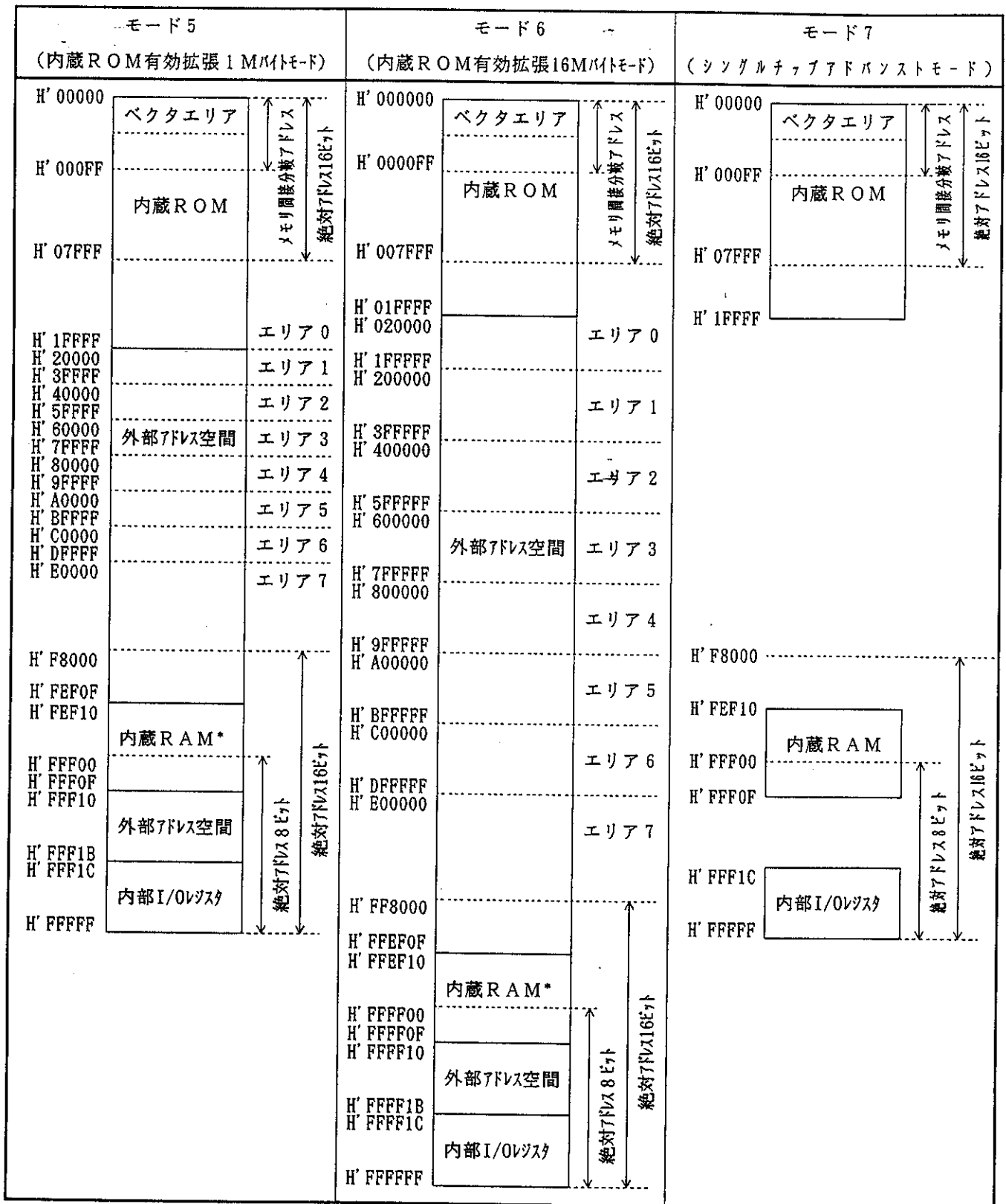
H 8 / 3 0 4 8 のメモリマップを図 3. 1 に、H 8 / 3 0 4 7 のメモリマップを図 3. 2 に、H 8 / 3 0 4 4 のメモリマップを図 3. 3 に、H 8 / 3 0 4 5 のメモリマップを図 3. 4 に示します。アドレス空間は 8 エリアに分割されています。モード 1 とモード 2、モード 3 とモード 4 ではそれぞれバスモードの初期状態が異なります。

また、モード 1、2、5、7 (1Mバイトモード) とモード 3、4、6 (16Mバイトモード) で、内蔵 RAM および内部 I/O レジスタの配置が異なります。また、CPU のアドレッシングモードのうち、絶対アドレス 8 ビット / 16 ビット (@aa:8/@aa:16) で指定できる範囲が異なります。



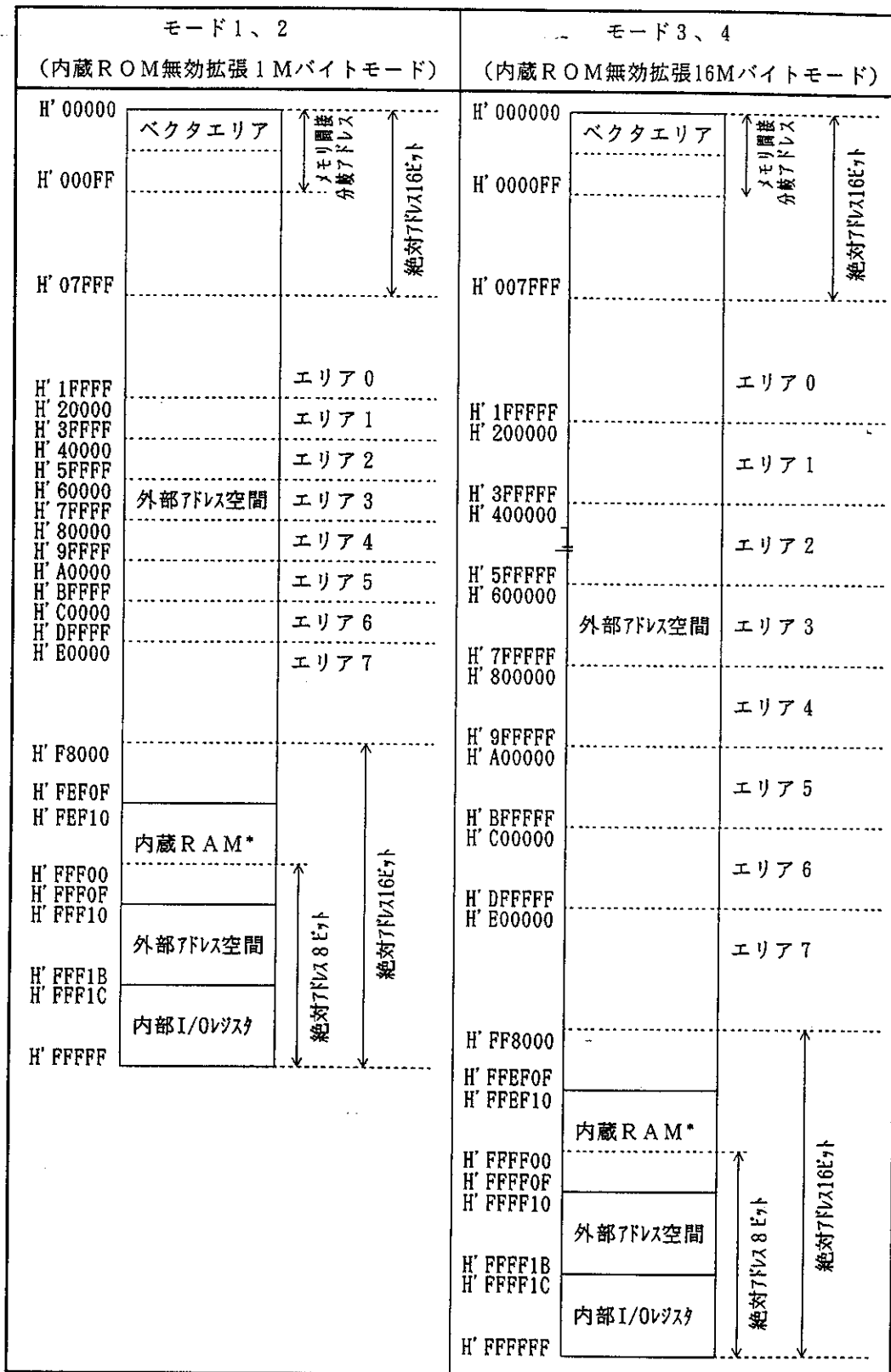
【注】* 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図3.1 H8/3048の各動作モードにおけるメモリマップ(1)



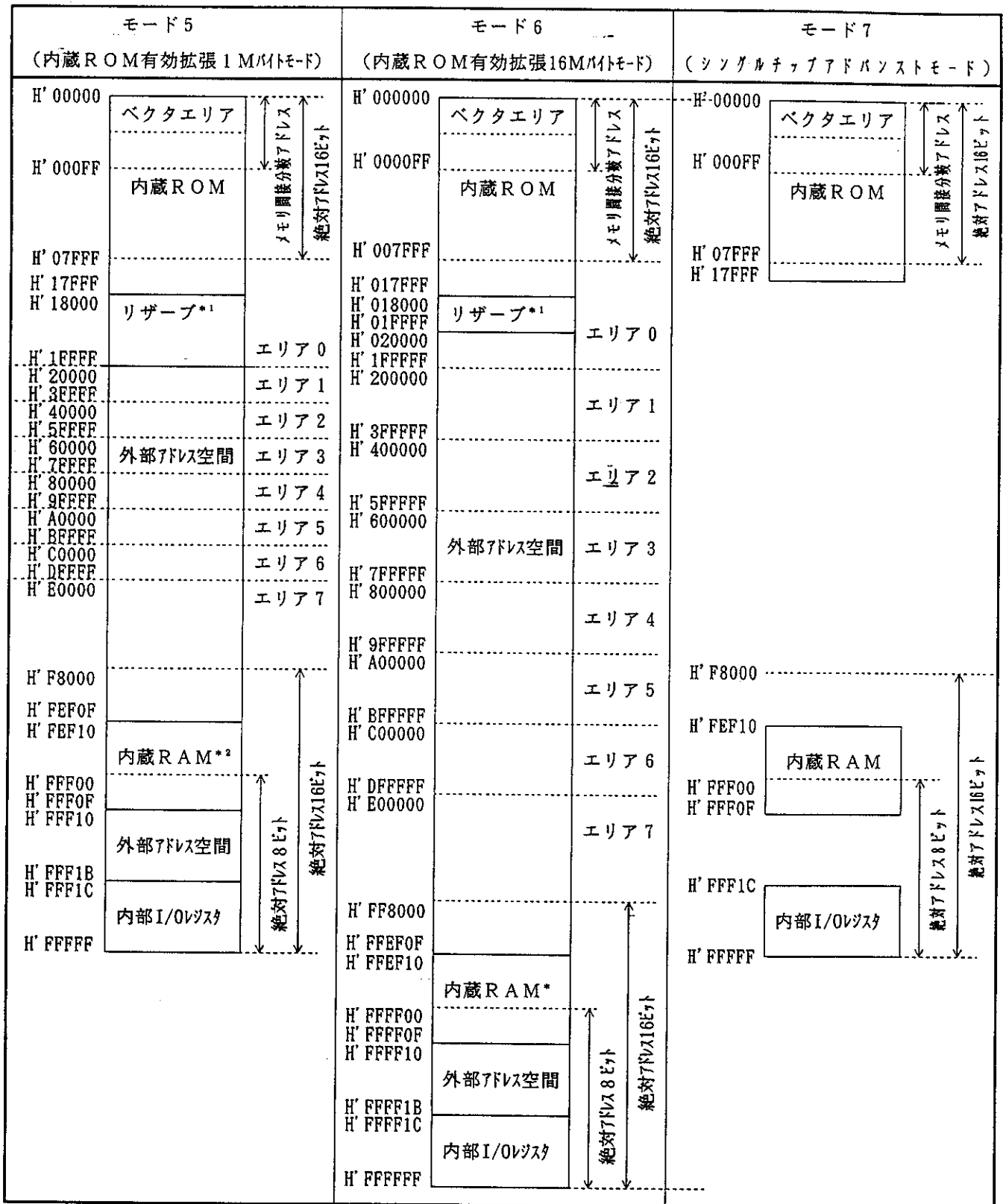
【注】* 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図3.1 H8/3048の各動作モードにおけるメモリマップ(2)



【注】* 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

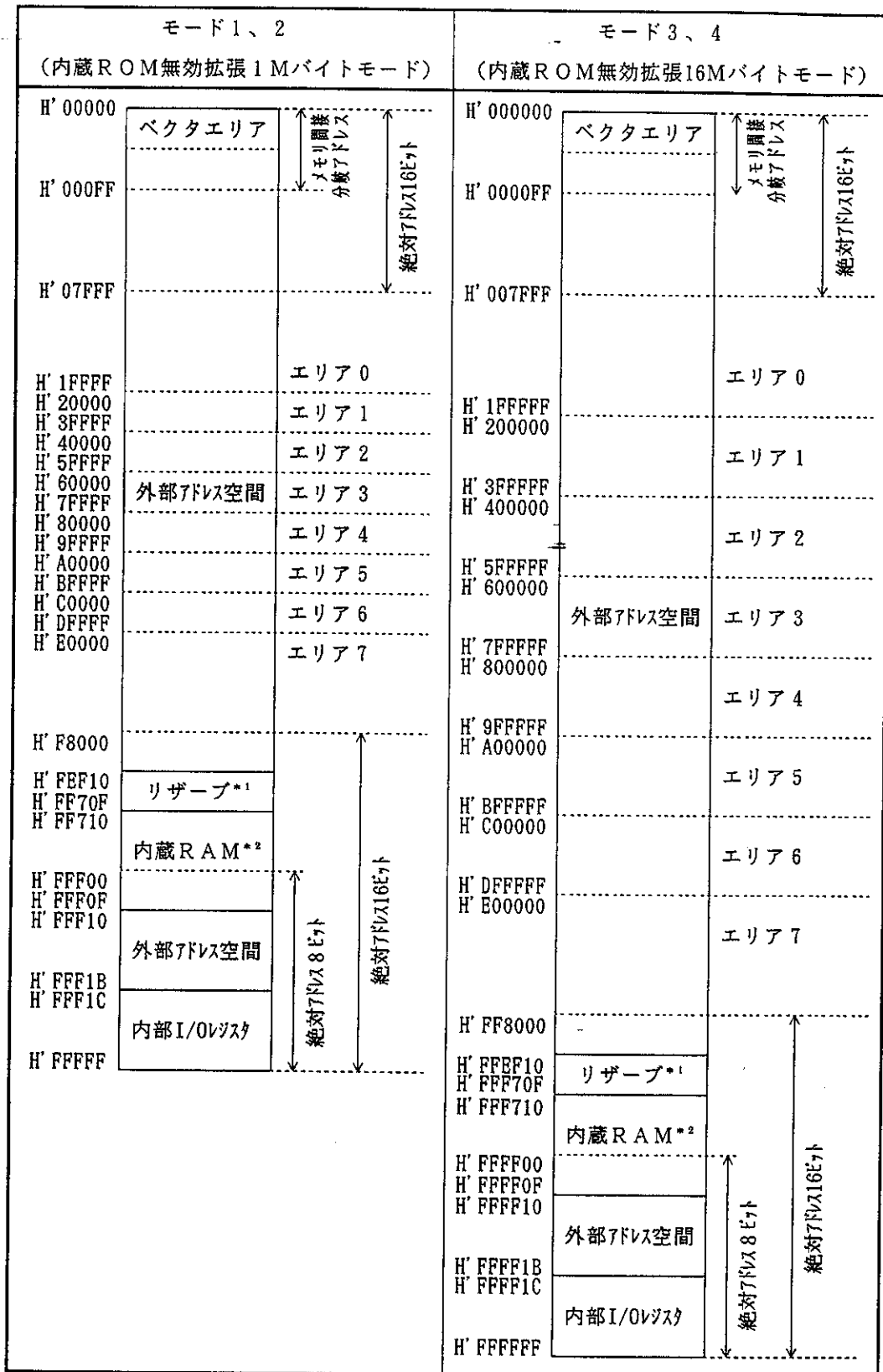
図3.2 H8/3047の各動作モードにおけるメモリマップ(1)



【注】*1 リザーブ領域はアクセスしないでください。

*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

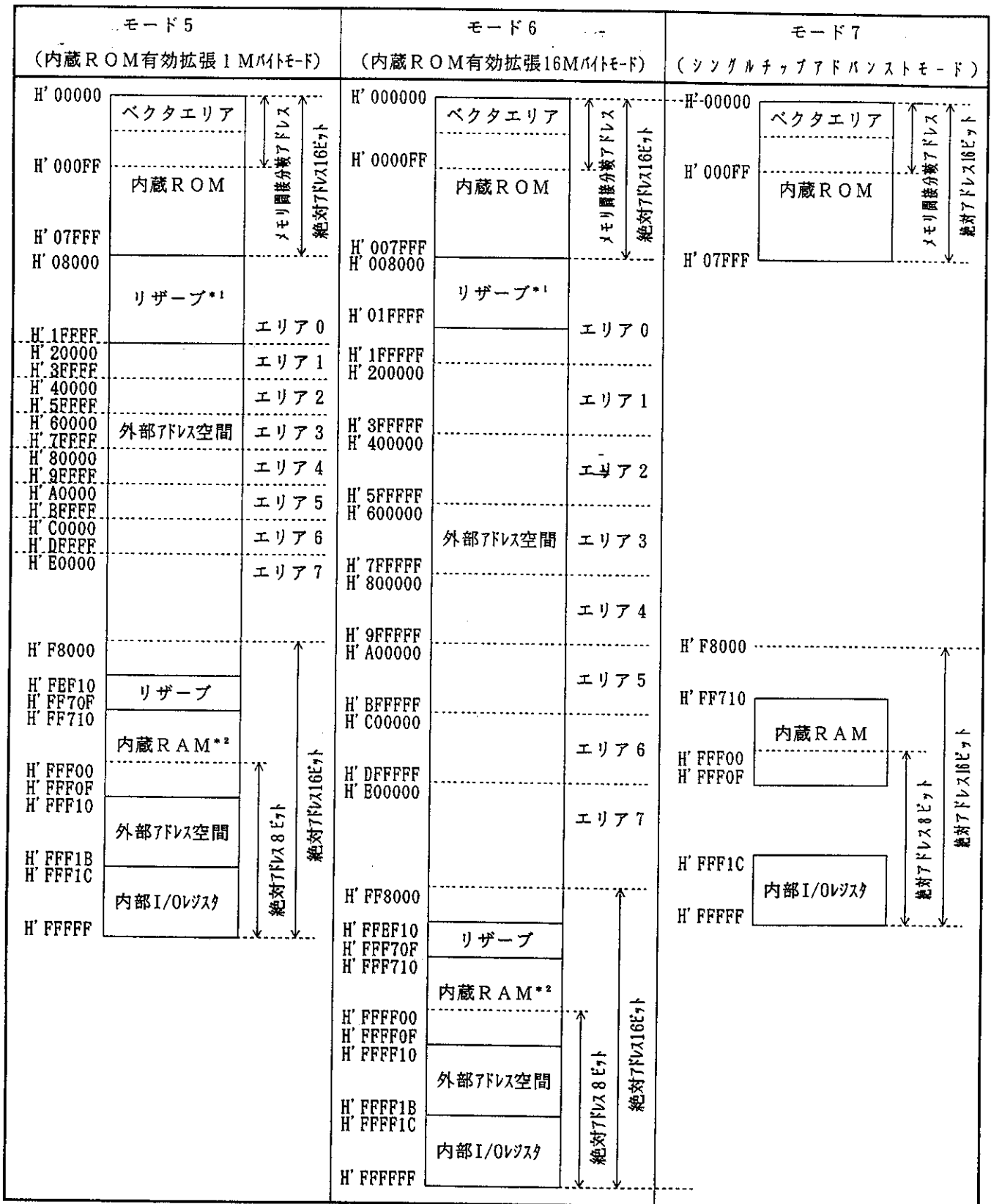
図3.2 H8/3047の各動作モードにおけるメモリマップ(2)



【注】*1 リザーブ領域はアクセスしないでください。

*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

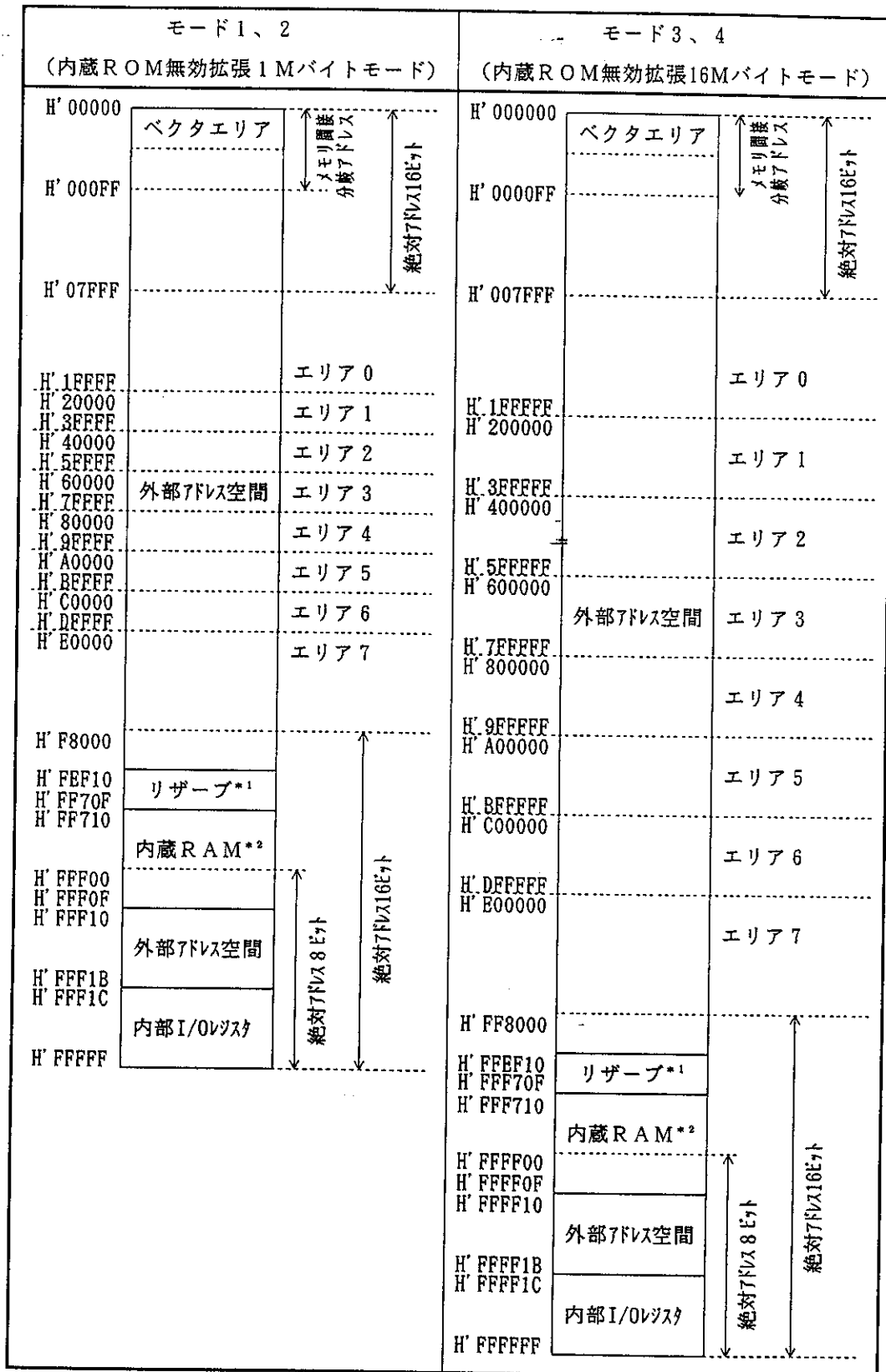
図3.3 H8/3044の各動作モードにおけるメモリマップ(1)



【注】*1 リザーブ領域はアクセスしないでください。

*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

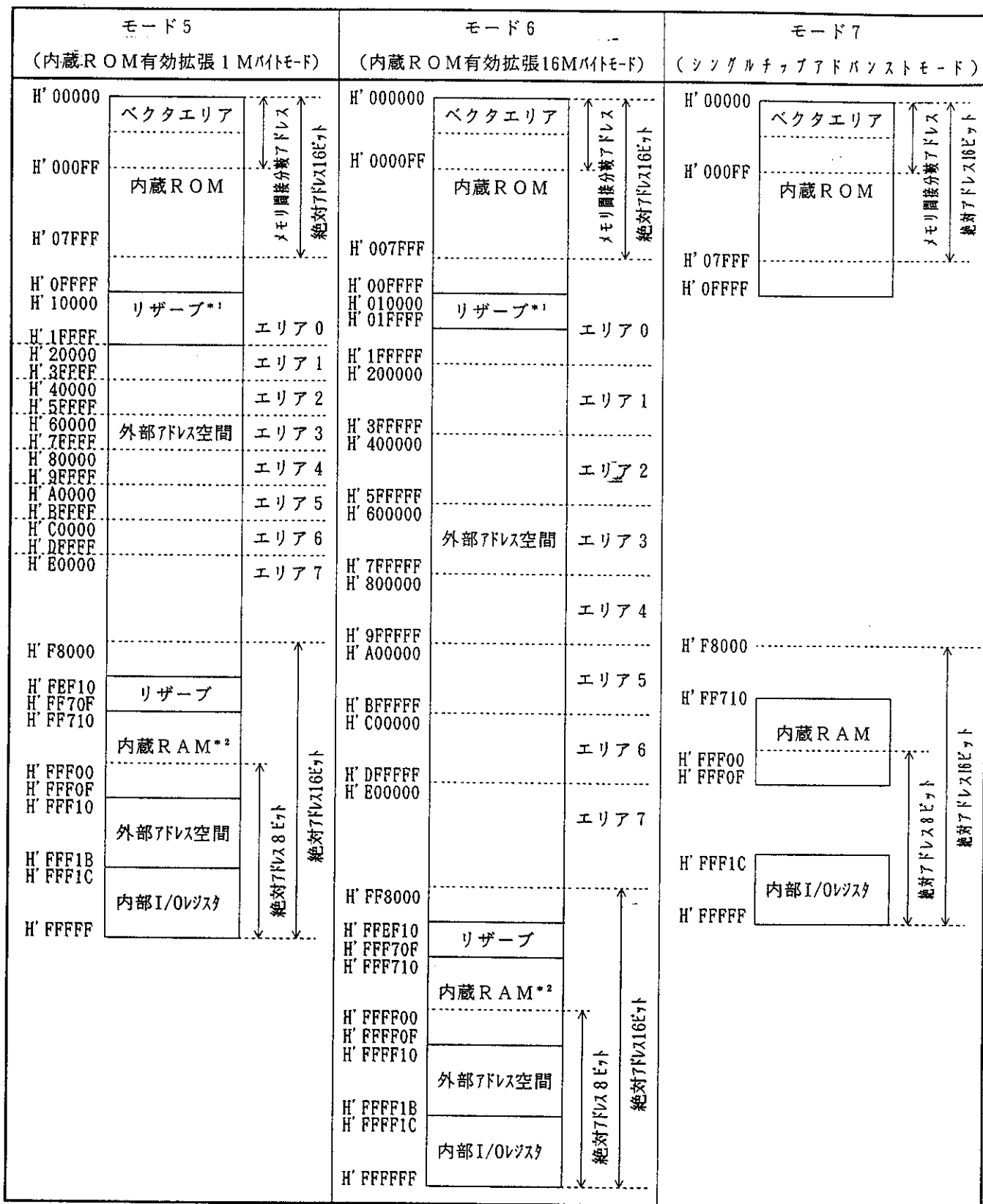
図3.3 H8/3044の各動作モードにおけるメモリマップ(2)



【注】*1 リザーブ領域はアクセスしないでください。

*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図3.4 H8/3045の各動作モードにおけるメモリマップ(1)



【注】*1 リザーブ領域はアクセスしないでください。

*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.4 H8/3045の各動作モードにおけるメモリマップ(2)